国外电子与通信教材系列

数字电路简明教程

Digital Electronics

A Simplified Approach

[美] Robert D. Thompson 著

马爱文 赵 霞 李德良 等译

高 鹏 审校





電子工業出版社
Publishing House of Electronics Industry
http://www.phei.com.cn

数字电路简明教程

Digital Electronics: A Simplified Approach

本书首先从逻辑代数基础入手，接着讲解了门电路、组合逻辑电路、触发器、时序逻辑电路、半导体存储器、可编程逻辑器件等内容。

全书条理清晰，易懂易学，体现了作者丰富的教学实践经验和宽泛的专业知识面，从不同侧面介绍了数字电路的基本概念、基本原理和基本分析方法，并给出了许多实际电路应用及其故障诊断的例子，能够满足大多数读者的需求，使其在数字电路课程的学习中获益最大。

本书主要特点：

- 以循序渐进的方式讲解数字电路操作
- 各章列出重要术语、要点及概述，便于从总体上把握学习目的
- 基础知识讲解与实践应用以及故障诊断紧密结合
- 阶段性进行小结并给出练习题
- 提供了大量习题，能够为读者打下坚实的基础









责任编辑：马　岚
封面设计：毛惠庚

ISBN 7-5053-7645-4/TN · 1603　定价：79.00 元

国外电子与通信教材系列

数字电路简明教程

Digital Electronics

A Simplified Approach

[美] Robert D. Thompson 著

马爱文 赵 霞 李德良 等译

高 鹏 审校

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内容简介

当今，电子技术领域发生了迅猛而巨大的变化，电子技术所涵盖的内容更加广泛。本书通过详细讲述数字电路的基本概念及其基本应用，使读者加深对数字逻辑操作的理解和基本原理的掌握。

本书共13章，首先从逻辑代数基础入手，接着讲解了门电路、组合逻辑电路、触发器、时序逻辑电路、半导体存储器、可编程逻辑器件等内容。书中通过对各种数字逻辑器件及其电路的详细分析，系统地阐述了数字电路的基本概念、基本原理和基本分析方法，每章都有阶段性小结和本章小结，阶段性练习和本章习题，并附有一定数量的例题，非常利于自学和实践应用。

本书可作为高等工科院校电气类、电子类专业的基础课程教材，也可供从事电子技术的工程技术人员参考。

版权贸易合同登记号：图字：01-2001-1174

图书在版编目（CIP）数据

数字电路简明教程 /（美）汤普森（Thompson, R. D.）著；马爱文等译. －北京：电子工业出版社，2003.7
（国外电子与通信教材系列）
书名原文：Digital Electronics：A Simplified Approach
ISBN 7-5053-7645-4

Ⅰ.数…　Ⅱ.①汤…②马…　Ⅲ.数字电路－教材　Ⅳ. TN79

中国版本图书馆CIP数据核字（2003）第054053号

责任编辑：马　岚
印 刷 者：北京兴华印刷厂
出版发行：电子工业出版社　http://www.phei.com.cn
　　　　　北京市海淀区万寿路173信箱　邮编：100036
经　　销：各地新华书店
开　　本：787 × 1092　1/16　　印张：56.75　字数：1453千字
版　　次：2003年7月第1版　　2003年7月第1次印刷
定　　价：79.00元

凡购买电子工业出版社的图书，如有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系。联系电话：（010）68279077

序

2001年7月间，电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师，商量引进国外教材问题。与会同志对出版社提出的计划十分赞同，大家认为，这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材，意味着开设了一门好的课程，甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书，对近代电子学科、特别是对雷达技术的推动作用，就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代，在原教委教材编审委员会的领导下，汇集了高等院校几百位富有教学经验的专家，编写、出版了一大批教材；很多院校还根据学校的特点和需要，陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来，随着教学改革不断深入和科学技术的飞速进步，有的教材内容已比较陈旧、落后，难以适应教学的要求，特别是在电子学和通信技术发展神速、可以讲是日新月异的今天，如何适应这种情况，更是一个必须认真考虑的问题。解决这个问题，除了依靠高校的老师和专家撰写新的符合要求的教科书外，引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，是会有好处的。

一年多来，电子工业出版社为此做了很多工作。他们成立了一个"国外电子与通信教材系列"项目组，选派了富有经验的业务骨干负责有关工作，收集了230余种通信教材和参考书的详细资料，调来了100余种原版教材样书，依靠由20余位专家组成的出版委员会，从中精选了40多种，内容丰富，覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面，既可作为通信专业本科生和研究生的教学用书，也可作为有关专业人员的参考材料。此外，这批教材，有的翻译为中文，还有部分教材直接影印出版，以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里，我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度，充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步，对高校教学工作会不断提出新的要求和希望。我想，无论如何，要做好引进国外教材的工作，一定要联系我国的实际。教材和学术专著不同，既要注意科学性、学术性，也要重视可读性，要深入浅出，便于读者自学；引进的教材要适应高校教学改革的需要，针对目前一些教材内容较为陈旧的问题，有目的地引进一些先进的和正在发展中的交叉学科的参考书；要与国内出版的教材相配套，安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求，希望它们能放在学生们的课桌上，发挥一定的作用。

最后，预祝"国外电子与通信教材系列"项目取得成功，为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题，提出意见和建议，以便再版时更正。

吴佑寿

中国工程院院士、清华大学教授

"国外电子与通信教材系列"出版委员会主任

出 版 说 明

进入21世纪以来，我国信息产业在生产和科研方面都大大加快了发展速度，并已成为国民经济发展的支柱产业之一。但是，与世界上其他信息产业发达的国家相比，我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天，我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社，我们始终关注着全球电子信息技术的发展方向，始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间，我社先后从世界著名出版公司引进出版了40余种教材，形成了一套"国外计算机科学教材系列"，在全国高校以及科研单位中受到了欢迎和好评，得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，将有助于我国信息产业培养具有国际竞争能力的技术人才，也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于"十五"期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见，我们决定引进"国外电子与通信教材系列"，并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商，其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等，其中既有本科专业课程教材，也有研究生课程教材，以适应不同院系、不同专业、不同层次的师生对教材的需求，广大师生可自由选择和自由组合使用。我们还将与国外出版商一起，陆续推出一些教材的教学支持资料，为授课教师提供帮助。

此外，"国外电子与通信教材系列"的引进和出版工作得到了教育部高等教育司的大力支持和帮助，其中的部分引进教材已通过"教育部高等学校电子信息科学与工程类专业教学指导委员会"的审核，并得到教育部高等教育司的批准，纳入了"教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书"。

为做好该系列教材的翻译工作，我们聘请了清华大学、北京大学、北京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望，具有丰富的教学经验，他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严谨与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外，对于编辑的选择，我们达到了专业对口；对于从英文原书中发现的错误，我们通过与作者联络、从网上下载勘误表等方式，逐一进行了修订；同时，我们对审校、排版、印制质量进行了严格把关。

今后，我们将进一步加强同各高校教师的密切关系，努力引进更多的国外优秀教材和教学参考书，为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足，在选题、翻译、出版等方面的工作中还有许多需要改进的地方，恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

译 者 序

数字电子技术是通信和电子工程类各专业的一门专业基础课，是研究各种数字逻辑器件的物理特性、电路及其应用的一门学科。数字电路是微处理器、微计算器的硬件基础。本书内容精炼，重点突出，反映了作者具有丰富的教学实践经验和宽泛的专业知识面。全书从不同侧面介绍了数字电路的基本概念及其应用，能满足大多数读者的需求，使其在数字电路课程的学习中获得最大的收益。

在内容安排上，作者注意贯彻从实际出发，由浅入深、由特殊到一般、从感性上升到理性等原则，通过对各种逻辑器件及其电路的分析来阐述数字电路的基本概念、基本原理和基本分析方法。对于基本的和常用的逻辑电路，除了进行定性分析外，还介绍了其设计方法、给出了许多实际电路应用及其故障诊断的例子，对提高读者的实际应用及解决问题的能力有很大的帮助。

本书的一个重要特点是过程分析十分详细，循序渐进地引导读者理解逻辑操作和设计概念，并将所学知识综合运用。另外一个特点是各章都列出了重要术语和要点，然后在章中适当的时候进行阶段性小结，这样能够使读者从总体上清楚地知道学习目的，并及时总结各节所学知识。章末的习题量也比较大，供读者实践，并且较难的思考题都标有 CT，这类稍难的习题一般是前面所学内容的逻辑应用或几个不同原理的综合运用，可供读者加深理解，使得对所学内容的掌握更上层楼。

本书由马爱文、赵霞、李德良、谢颖等人翻译，全书由高鹏审校，其他参译人员还有张政保、杨文飞、何英、王瑾、王子章、李力、王焕刚、张力和李蔚虹等。由于译者水平有限，书中一定存在不少错误和不妥之处，敬请各方面的读者给与批评指正。

目　录

第1章 简　　介

1.1 历史回顾

20世纪初发明了真空管，早期的计算机使用了数以千计的这种体积很大且功耗也很大的器件来完成其计算任务。

ENIAC（Electronic Numerical Integrator and Calculator）计算机到1946年才公诸于众。它重达30吨，可以装满一个用来容纳两辆汽车的车库。通常情况下，ENIAC的可靠工作过程能够持续约7分钟，直到它采用的18 000个真空管中的某一个出现问题。ENIAC是通过接线来连接机器内的不同电路进行编程的。如果重新编程，则需要重新连接成千上万条的电线才能完成一项新任务。因此，重新编程是一件非常耗费时间的工作。尽管存在以上这些缺点，但是当ENIAC工作过程正常时，它还是能够完成每秒5 000次的加法或减法运算。

1948年，贝尔实验室发明了晶体管。这一历史性的事件没有获得媒体的太多关注。人们对这项发明将会对未来造成多么巨大的影响几乎没有什么认识。

20世纪50年代出现了5吨重的UNIVAC I（Universal Automatic Computer，通用自动计算机）。UNIVAC I卖给了美国人口普查局。这些早期的基于真空管的计算机被归类为第一代计算机，其特征是体积巨大且真空管产生的热量过多。绝大多数现代计算器的计算功能与这些早期计算机的计算功能相当。

第二代计算机（1959~1964）采用了性能更加可靠的晶体二极管和晶体三极管。与真空管计算机相比，这些计算机体积更小、速度更快、价格更便宜且性能更可靠。

第三代计算机（1965~1970）采用了集成电路（IC）技术。通过将数百甚至数千个晶体管制作在一块硅片上的工艺，最终产生了集成电路。自然，IC技术的出现导致了计算机具有更快的处理速度、更强的存储能力以及更小的机器体积等优点。

微处理器则是当代计算机的识别特征。在过去的30年中，微处理器的性能和速度不断得到提高。制造技术方面的科技进步使得越来越多的元件能够集成到越来越小的空间中。例如，Intel的4004微处理器包含了2 300个晶体管；486DX2微处理器包含了120万个晶体管；Pentium处理器包含了310万个晶体管；Pentium Ⅱ处理器则包含了750万个晶体管。

微处理器的更新换代比流行歌曲还要快。Intel公司的4004、Apple公司的6502、Motorola公司的6800以及Zilog公司的Z-80微处理器纷纷出现，又都成为了历史。但是，它们确实都为个人计算机（PC）和数字电路做出了历史贡献。

从早期的真空管到晶体管（20世纪50年代），从晶体管到集成电路（20世纪60年代），从集成电路到微处理器（20世纪70年代），计算机逐步发展成为今天的外形小巧、功能强大的不可思议的机器。

自从1971年Intel公司的第一片微处理器出现以来，数字电子器件的生产迅速扩大，其发展速度大大超出了人们的想像。第一片微处理器，即Intel公司的4004，是一个4位芯片，每秒可以执

行6万条指令。Intel公司的8086微处理器于1978年面世，而1991年发布的486DX微处理器是一个32位芯片，每秒能够执行410万条指令。

像PC这种如今可称为高性能的数字系统，总有一天会进入博物馆成为历史文物。对于今天的许多PC而言，那一天可能已经不会太远。昨天的数字实验电路经过不断改进，今天就可以投产了更快的微处理器和存储器件已经离我们很近了，这一点从PC的发展史中可以得到很好的证明。总之，数字技术在其他许多领域中也取得了很大的进展。

例如，到音乐商店走一走就可以发现光盘（CD）在许多场合已经完全取代了磁带。这些CD利用数字技术进行记录，目前其音质非常卓越。近年来，数字音频磁带（DAT）、盒式数字致密磁带（DCC）和袖珍磁盘（MD）已经重新定义了该行业的存储容量。计算机控制的机器人奇迹般地改变了生产能力。嵌入式计算机控制了大多数汽车引擎的功能。另外，辅助导航设备也已装备到许多新型汽车中。在医疗领域，已经在医院和医生诊疗室里使用了达到最新技术发展水平的数字设备。绝大多数的新楼房也已安装了安全系统。所有这一切的出现都应归功于数字技术。

在生活中，人们每天都可以大量地感受到数字技术，如石英闹钟、寻呼机、移动电话、微波炉、音乐、电视、视频游戏、个人计算机以及互联网络，等等。这样的名字不胜枚举，而且还在不断增加。

过去的几年中，微电子技术取得了显著的进展。20世纪90年代的集成电路比60年代和70年代的电路板要复杂得多。对工业的进一步要求是生产更高集成度、更快速度的电路，而这个要求却不是那么容易做到的。这些要求来自大众对便携式电子器件的狂热，以及对家用计算机完成更多工作的渴望。

在电子学领域中，我们面对的最直接任务是掌握数字电路的理论和应用知识。本书就是为解决这个问题而编写的。在有些情况下，学习设计一个数字电路可以使我们更好地理解该电路的工作过程，本书将会按照该思路讲解一些电路的设计。

1.2　模拟/数字信号

为了掌握本节内容，首先需要比较“模拟”和“数字”这两个术语。模拟信号是在一定电压范围内连续变化的信号。图1.1中的信号就是一个包含无数个电平的交流正弦波信号。图1.2所示的是一个数字信号，是由离散电平组成的。该信号包含了两个电平，在数字技术中把它们称为逻辑低电平（逻辑0）和逻辑高电平（逻辑1）。在图1.2中很容易看出逻辑电平可以用于表示二进制的0和1。数字电路能够理解的正是这些低电平（0）和高电平（1）。这就是经常把二进制称为计算机和其他数字电路的机器语言的原因。

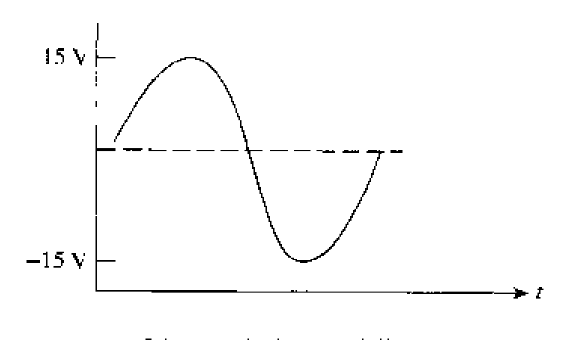


图1.1　交流正弦波信号

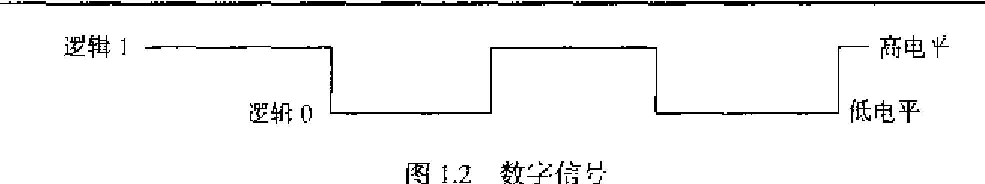


图1.2 数字信号

图1.3显示了两种能够用于产生逻辑0和逻辑1的方法。在图1.3(a)中，开关断开时$V_{out}=5$ V，开关闭合时$V_{out}=0$ V。该电路的设计使得开关断开时，电阻将V_{out}上拉到5 V。在图1.3(b)中，开关断开时$V_{out}=0$ V，开关闭合时$V_{out}=5$ V。该电路的设计使得开关断开时，电阻将V_{out}下拉到0 V。通常将用逻辑1代表高电平，逻辑0代表低电平的方法称为正逻辑，本书使用的就是这种类型的逻辑表示方法。图1.3要说明的正是这一点。一般来说，高电平和低电平数字信号都是由数字电路产生的。

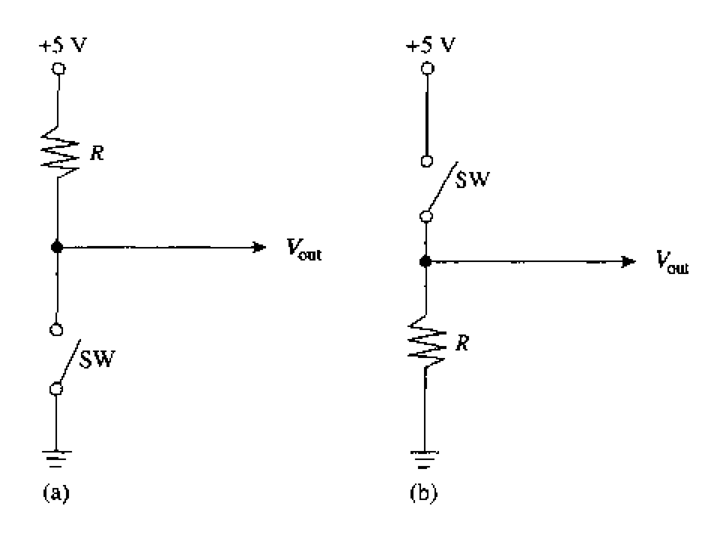


图1.3 产生逻辑0和逻辑1

1.3 数字集成电路的分类

目前使用的许多数字集成电路都可以买到，通常把它们称为芯片。根据所含的逻辑门数目，这些集成电路可以分为以下几类：

1. **小规模集成电路（SSI）**：指所有少于12个逻辑门的数字集成电路。本书中的许多电路就是这种类型的电路。
2. **中规模集成电路（MSI）**：指逻辑门数目介于12~99之间的集成电路。第10章包含了一些最流行的MSI集成电路。
3. **大规模集成电路（LSI）**：指含有99~2 999个逻辑门的集成电路。本书第13章介绍的可编程逻辑器件（PLD）中的大多数都是此类集成电路。
4. **超大规模集成电路（VLSI）**：指包含3 000~99 999个逻辑门的集成电路。
5. **特大规模集成电路（ULSI）**：指所含逻辑门超过100 000的所有集成电路。

1.4 各章的内容安排

第2章比较深入地讲述了二进制（基2）、八进制（基8）和十六进制（基16）的计数系统。因为读者一般习惯于十进制的思考方式，所以本章首先对十进制计数系统进行了简单的回顾。这些内

容主要是为建立二进制、八进制和十六进制计数系统的基本概念奠定基础。如前所述，数字系统是对逻辑0和逻辑1电平进行操作的，这些电平用于表示一定的状态，或者用于表示系统中的数据和指令。因为数字系统由这些二进制机器语言操作，所以有关二进制的内容包括顺序计数以及二进制数到十进制数、十进制数到二进制数的转换。在数字系统中经常会遇到大量二进制数的书写问题，八进制和十六进制计数系统的引入实际上就是为了简化这种书写方式。因此，本章讲述了从书写麻烦的二进制数到书写更方便的八进制数和十六进制数的转换方法。第2章还包括了几种在数字技术中用到的特殊编码。

第3章讲述逻辑门，包括与门、或门、与非门、或非门和非门。这些最基本的逻辑门是所有数字电路的基础，用于构成组合逻辑电路和时序逻辑电路。组合逻辑电路没有存储能力，因此其输出完全取决于当时的输入。时序逻辑电路具有存储能力，所以其输出不仅取决于当时的输入，而且还与以前的输入序列有关。实现一个电路也就是构建一个电路，或是说建立一个真实的硬件产品。通过基于当前输入进行决策，逻辑门能够用于解决逻辑问题。例如，如果满足条件A，也满足条件B，则与门将输出一个高电平，表明输入均为真。如果满足条件A或条件B，则或门将输出一个高电平。本章包括逻辑电路的静态（输入不变）分析和动态（输入变化）分析以及故障诊断。

第4章介绍了布尔代数，它是逻辑电路的数学描述。布尔代数用数学符号描述逻辑功能。使用这些符号可以使逻辑电路的设计在数学上进行简化。这种简化能够使电路的构建使用更少的逻辑门和更少的集成电路芯片。这种简化还有不少其他优点：使电路板的面积更小、功耗更小、电路成本更低。另外，因为布尔方程式表达了逻辑电路的工作过程方式，所以逻辑电路的布尔代数方程式使技术人员能够分析电路的工作过程情况，并对有缺陷的电路进行故障诊断。第4章首先介绍了用来表示逻辑函数的数学符号，然后讲解了如何表示和简化布尔表达式，如何使用真值表，并得到最终的逻辑电路设计方案。

学到第5章时，就应该非常熟悉基本逻辑门的工作过程了。第5章提供了一些用各种逻辑门连接在一起完成某些特定功能的例子。本章首先讲述了异或操作和同或操作，用于使用奇偶发生器和奇偶校验器进行故障诊断，同样的系统也用于计算机启动时的内存检测。本章还分析研究了实际的诊断、控制、译码和选择电路。

第6章详细讲解了锁存器电路和触发器电路。同第3章中讲到的逻辑门的概念一样，本章的内容对于打牢数字理论的坚实基础非常重要。锁存器和触发器常用于存储或转换数据。实际上，锁存器电路或触发器电路只不过是一个具有存储能力的时序逻辑电路。触发器可以用于诸如递增或递减计数器之类的时序逻辑电路的设计。本章对最常用的锁存器和触发器集成电路进行了详细的讲解，最后讲述了触发器的实际应用和故障诊断。

第7章讲解了如何使用计数器完成计数操作和分频操作，并从工作过程和设计角度讲述了两类基本的计数器：异步计数器和同步计数器。将这两种类型的计数器组合起来形成的混合计数器也在本章中进行了讨论。用触发器设计计数器的方法是在第6章讲述的。这一章采用的例子是用分频电路获得计算机中使用的TOD时钟。另外，还举例说明了一个从000到999计数的计数器。

第8章介绍寄存器。寄存器是一些用于存储、转换或移位数据的锁存器和触发器的组合。本章对不同分类的寄存器进行了说明，还给出了几个电路，表明寄存器如何用于代码检测器或乘/除法电路。

第9章有两个基本目的：二进制运算和二进制运算电路。为了介绍二进制运算，本章先对十进制运算进行了简单的回顾。一旦讲清楚二进制运算的机理，紧接着对二进制运算电路工作过程进行了分析，给出了半加器电路、全加器电路和加/减法电路。本章讲解了二进制编码的十进制（BCD）

运算，并分析了BCD加法电路，最后讨论了算术逻辑单元（ALU）集成电路，并对其算术和逻辑运算都进行了分析。

正如在本章前面的集成电路分类中已经提到的，中规模集成电路（MSI）包含12~99个逻辑门。许多各种各样的MSI电路可以用于数字电路中。第10章给出了几个重要的MSI电路，并对它们进行了分析，其中有译码器、编码器、数据分配器、数据选择器和数值比较器。实际应用和故障诊断部分讲解了用在计算机地址译码电路、显示译码器、逻辑函数发生器、并行－串行转换器和串行－并行转换器中的MSI芯片。书中还在其他几章详述了另外几种MSI芯片的特殊作用。例如，第7章讨论了MSI计数器，第8章讨论了MSI寄存器。

本书讨论了几种不同的集成电路制作技术。第11章讲述了最常用的晶体管－晶体管逻辑（TTL）和互补金属氧化物半导体（CMOS）技术。分析这两种技术之间的接口（TTL电路到CMOS电路和CMOS电路到TTL电路）可以发现，一般要求有专用的电路使TTL逻辑信号达到某种要求，以便与CMOS电路兼容，或是改变CMOS信号，使其与TTL电路兼容。本章讨论了相关的接口要求，详细说明了具有三态输出的特殊逻辑门和电路，还讲述了数据转换器。数据转换器是将数据从数字状态转换到模拟状态和从模拟状态转换到数字状态的电路。正是这种转换器提供了模拟和数字之间的连接。

第12章介绍了存储器的基本概念。本章对只读存储器（ROM）和随机存储器（RAM）进行了详细讨论。另外，还介绍了有关这些类型的存储器的基础知识，讲解了存储器电路的工作方式以及它们的组织和寻址方式。

第13章介绍了可编程逻辑器件（PLD）。"可编程逻辑器件"是一个广义的概念，泛指那些尚未被约定的逻辑阵列。本章详细讲解了两类PLD：可编程逻辑阵列（PLA）和可编程阵列逻辑（PAL）。最后，对现场可编程门阵列（FPGA）器件进行了分析。这些器件可以为逻辑门的功能提供丰富的寄存器环境。

本书还包含了几个附录。附录A包括关于晶体管－晶体管逻辑（TTL）和互补MOS（CMOS）器件的技术内容。附录A中的内容实际上是补充性的，不学这部分内容也不会影响到其他内容的学习。附录B选择了一些制造商的数据表，附录C概述了本书中用到的IEEE逻辑符号。附录D是全书各章复习题和阶段性练习的答案。

第2章 计数系统与编码

重要术语

American Standard Code for Information 美国标准信息交换码（ASCII）
Binary 二进制
Binary-Coded Decimal(BCD) 二进制编码的十进制
Binary-Coded Octal(BCO) 二进制编码的八进制
Binary-Coded Hexadecimal(BCH) 二进制编码的十六进制
Bit 位
Byte 字节
Decrement 递减
8-4-2-1 Code 8-4-2-1 码
Excess-3(XS3) Code 余3（XS3）编码
Gray Code 格雷码
Hexadecimal 十六进制
Increment 递增
Least Significant Bit(LSB)/Digit(LSD) 最低有效位/数字位
Modulus(MOD) 模
Most Significant Bit(MSB)/Digit(MSD) 最高有效位/数字位
Nibble 半字节
Octal 八进制
Positional-Weighted Numbering System 位权计数系统
Propagation Delay Time 传输延迟时间
Radix 基（数）
Radix Division 基数除
Radix Multiplication 基数乘
Sum of Weights 位权和

本章要点

1. 二进制、八进制、十六进制顺序计数。
2. 给出一个以特殊数为基的数，将其转换为十进制、二进制、八进制和十六进制的数。
3. 给出一个二进制编码的十进制数，将其转换为十进制数，反之亦然。
4. 给出一个格雷编码的数，将其转换为二进制数，反之亦然。
5. 描述BCD码、格雷码、余3编码和ASCII编码。

概述

因为数字电路只能理解“开”和“关”两种状态，所以首先学习一下计数系统是很重要的。开和关的状态可以用电压来表示，但是它们必须能够转化为数字。由于在数字电路中只存在两种状态（开和关），所以使用了二进制计数系统。该系统只使用数字0和1。

二进制是以2为基的数制。在二进制计数系统中，用于表示高和低两个逻辑电平的分别是逻辑1和逻辑0。在数字电路中，电平表示为“位”（bit）。单词“bit”源自二进制数字（binary digit）。由于二进制用于所有的数字系统，所以就需要有一种方法来将十进制数转化为二进制数。另外，为了

使数字电路输出的二进制变成可读的十进制形式，还需要一种将二进制数转化为十进制数的方法。本章讲述了将十进制数转化为二进制数和将二进制数转化为十进制数的方法。

读者很快就会发现，对任何数都使用其二进制形式是一件非常艰巨的任务。数字系统能够非常容易地处理二进制数，但我们不能。因此，使用数字系统时，除了二进制系统，还经常使用另外两种计数系统。八进制是一个以 8 为基的计数系统，该系统只使用0~7这 8 个数字。十六进制是以 16 为基的计数系统，它使用数字0~9和字母A~F进行计数。这两种计数系统提供了书写大量二进制数据的一种简化方法。

一个计数系统的基（radix）指的就是其基数（base），基数写为数的下标。由于本章使用了几种不同的计数系统，所以二进制数、八进制数和十六进制数都用系统的基数来识别。例如，如果数 3 是一个八进制数，它将被写为 $3_{(8)}$；如果是一个十六位数，将被写为 $3_{(16)}$。计数系统的基可以表明使用的是哪一种计数系统。另外，基还可以标识系统中使用的不同符号的总数量。如果本书中某数没有下标，那么除非有特殊说明，一般情况下该数是一个十进制数。

随着本章的逐步深入，除采用十进制和二进制外，采用八进制和十六进制的必要性将变得越来越明显。为了说明这一点，本章将不断对二进制、八进制、十六进制数与相应的十进制数进行对比。

研究计数系统时，经常使用十进制、二进制、八进制或十六进制数。输入键盘的数在计算机系统内部会自动转化为二进制数。如果按下键盘上的数字“9”键，则该数立即被转换成一个表示9的二进制编码，并送到计算机的系统板上。该数将保存在计算机内的某个存储单元中。包含16位、20位甚至更多位的地址将用于指定特定的存储单元。为了简化一个以技术数据形式出现的如此长的二进制地址，通常都将它转换为十六进制数。

本章的主要作用是使读者熟悉十进制、二进制、八进制和十六进制计数系统，并详细讲解一种计数系统到另一种计数系统的转换。本章最重要的目的是讲解如何将某种特殊基数的数转换为另外三种基数的数。例如，给出一个二进制数，读者应该能够将其转换为对应的十进制数、八进制数和十六进制数。

另外，本章将讲述某些用于各种计数系统的二进制编码。已开发的一些编码是为了使电路用户感到友好，并提高系统的可靠性和工作过程性能。还有一些编码是为了标准化和检测错误而开发的。对于这些编码（二进制编码的十进制，即BCD码、格雷码、余3编码，美国标准信息交换码ASCII），在本章的后面部分将进行详细的讲解。

2.1　十进制计数系统简要回顾

十进制计数系统是一个位权计数系统，这表明每一个数位的位置都有一个特定的权（值）。例如，数字 5 根据小数点的不同位置代表不同的值。数 0.5，5 和 500 都含有一个 5，但是每个 5 的位权值不同。众所周知，十进制系统使用 10 个不同的基本符号：0，1，2，3，4，5，6，7，8 和 9。每个符号称为一个数位。例如，如果用位权决定数60 328.4的值，其计算方式如下（各位权值可以参考表 2.1）：

10^4	10^3	10^2	10^1	10^0	.	10^{-1}
6	0	3	2	8	.	4

$$(6 \times 10^4) + (0 \times 10^3) + (3 \times 10^2) + (2 \times 10^1) + (8 \times 10^0) + (4 \times 10^{-1})$$

表 2.1 十进制计数系统的位权

10 的幂	10^5	10^4	10^3	10^2	10^1	10^0	10^{-1}	10^{-2}
位权	100 000	10 000	1 000	100	10	1	0.1	0.01

注：一个数位的位权值由其在数中相对于小数点的位置确定。在小数点的左边，位权值每隔小数点一位，计数系统的基数就乘一次。在小数点的右边，位权值每隔小数点一位，计数系统的基数就除一次。

在本例中，把每个位置的权值相加，以确定十进制数的值，该过程称为位权和方法。

$$
\begin{array}{rrrlrr}
 & 6 \times & 10\,000 & (10^4) & = & 60\,000.0 \\
+ & 0 \times & 1\,000 & (10^3) & = + & 0.0 \\
+ & 3 \times & 100 & (10^2) & = + & 300.0 \\
+ & 2 \times & 10 & (10^1) & = + & 20.0 \\
+ & 8 \times & 1 & (10^0) & = + & 8.0 \\
+ & 4 \times & 0.1 & (10^{-1}) & = + & 0.4 \\
\hline
 & & & & & 60\,328.4
\end{array}
$$

某列的数位乘上其权值就得到该列的值。注意，本例中 0 没有值，但是对于位权 1 000（10^3）而言，还需要作为一个占位符。因为人们一般都习惯于用十进制，所以上述的处理显得毫无必要。但是当使用其他计数系统时，该处理过程就非常必要了。产生这种必要性的原因是，人们不习惯使用以 2，8 和 16 为基数的系统进行思考。

在数 $60\,328.4_{(10)}$ 中，最高有效位（MSD）是 6。MSD 指的是一个数中位权最大的数位。在十进制数中最高有效位一般就是最左边的数位。

数 60 328.4 中的最低有效位（LSD）是 4。LSD 指的是一个数中位权最小的数位。在整数中，它总等于表示单位的数字（单位 = 10^0）。整数的小数点如果没有表示出来，则认为小数点在该数的最右边。小数点主要是用于将一个数的整数部分和小数部分分开。

实际上，所有的位权计数系统都是类似的，都有基数、小数点、最低有效位和最高有效位以及各位的值。

2.2 二进制计数系统

要点

1. 二进制顺序计数。
2. 给出一个十进制数，将其转换为二进制数。
3. 给出一个二进制数，将其转换为十进制数。

与十进制计数系统一样，二进制计数系统也是一个位权计数系统。由于二进制系统只使用数字0和1，所以它是一个基数为2的系统。二进制系统的位权值用与十进制系统相同的方式来决定。其位权值如表2.2所示。与十进制计数系统相似，二进制系统的位权表也是从小数点左边的第一位为基数（2）的零次幂开始。任何数的零次幂都是 1。二进制计数系统的每一位表示 2 的某一个适当的幂。

表 2.2 二进制计数系统的位权

2 的幂	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0	2^{-1}	2^{-2}
位权	256	128	64	32	16	8	4	2	1	0.5	0.25

要用二进制进行计算，先需要比较一下表2.3中表示的数。逐项选取表2.2中所示的位权值，并以位权和的方式逐项相加，二进制计数才有意义。检验$0011_{(2)}$的计算：

$$\begin{array}{cccc} 2^3 & 2^2 & 2^1 & 2^0 \\ 0 & 0 & 1 & 1_{(2)} \end{array}$$

$$(1\times 2^1) + (1\times 2^0) =$$
$$(1\times 2) + (1\times 1) =$$
$$2 + 1 = 3$$

注意，尽管$11_{(2)}$左边的两个0的位权值必须表示出来，但它们并没有实际的值，是可以忽略的。$0011_{(2)}$递增一次变为$0100_{(2)}$，递减一次则变为$0010_{(2)}$。

表2.3 十进制和二进制计数

十进制	二进制
0	0000
1	$0001 = 2^0$
2	$0010 = 2^1$
3	0011
4	$0100 = 2^2$
5	0101
6	0110
7	0111
8	$1000 = 2^3$
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111
16	$10000 = 2^4$
32	$100000 = 2^5$
64	$1000000 = 2^6$
128	$10000000 = 2^7$
256	$100000000 = 2^8$
512	$1000000000 = 2^9$
1024	$10000000000 = 2^{10}$

如表2.3所示，4位总共可以计数到15。为了确定计数到任意大小的数所需要的二进制位数，可以使用下面的公式：

最大计数值 = 2^n-1

式中，n = 所需要的二进制位数。

$$\begin{aligned} \text{最大计数值} &= 2^n - 1 \\ &= 2^4 - 1 \\ &= 16 - 1 \\ &= 15 \end{aligned}$$

上式用数学方式表明，用4位二进制可以计数到最大为15的数。尽管目前还只能通过猜测2的幂次来确定所需要的二进制位数，但稍微熟悉后就会发现这并不难。读者应该重点记住，$2^{10} = 1\,024$，

$2^{20}=1\,048\,576$，在明白每增加一次幂，二进制数就翻一倍后，以上面这两个数为参考，就可以很容易地猜出所需的二进制位数。

如果不想这样猜测，也可以通过计算得到所需的二进制位数。例如，从0到$15_{(10)}$（$1111_{(2)}$）的二进制数为：

0000	0001	0010	0011
0100	0101	0110	0111
1000	1001	1010	1011
1100	1101	1110	1111

这种计数方法就像用一个能够计数到$1111_{(2)}$的二进制计数器产生的一样。尽管0000并不是一个有实际意义的计数值，但却是计数器的起始状态。由于计数是从0000状态开始的，最大计数到15，所以计数器产生的状态数是16。计数器产生的最大状态的数目被定义为模（MOD），它的大小为2^n，其中n是所用的位数。因为$0000_{(2)}$状态不是数字，所以最大计数值（2^n-1）比模小1。

如果n代表所需的位数，它可以由下式得到：

$n=\log$ 所需的模 $\div \log 2$

式中n＝所需的位数。

下面计算计数到$15_{(10)}$所需的二进制数的位数。包括零状态，电路的模为$16_{(10)}$。

$$n=\log 16 \div \log 2$$
$$=4$$

计数到1 023需要多少位呢？

$$n=\log 1\,024 \div \log 2$$
$$=10$$

注意，模等于最大计数值加1。

最大计数值 $=2^n-1$
$=2^{10}-1$
$=1\,024-1$
$=1\,023$

所以，需要10位数才能计数到1 023。

计数到1 999需要多少位呢？

$$n=\log 2\,000 \div \log 2$$
$=10.965$（四舍五入为整数）

最大计数值 $=2^n-1$
$=2^{11}-1$
$=2\,048-1$
$=2\,047$

正如上面计算的，需要11位数才能计数到2 047。该值大于所需的最大计数值1 999，但是，10位只能允许计数到1 023，所以必须用11位数。使用一个11位的计数器，可以从0（$00000000000_{(2)}$）计数到2 047（$11111111111_{(2)}$）。2^n-1的结果必须大于或等于所需的最大计数值。如果结果大于所需的计数值，可以强迫计数器提前终止计数。这种计数方法称为截位计数，将在第7章中讨论。

2.2.1　二进制数到十进制数的转换

如果必须确定$1101_{(2)}$对应的十进制表示，可以采用一种称为加权求和的方法来解决。该方法就是将每一位为1的位置的权值累加起来。

$$\begin{array}{cccc} 2^3 & 2^2 & 2^1 & 2^0 \\ 1 & 1 & 0 & 1_{(2)} \end{array}$$

$$(1\times 2^3)+(1\times 2^2)+(1\times 2^0)$$

注意，2^1位的权值没有累加，因为该位是0。参考表2.2，确定2^3，2^2和2^0各位的权值。

$$(1\times 8)+(1\times 4)+(1\times 1)=$$
$$8+4+1=13_{(10)}$$

本例中，为1的各位的值可以简单地累加在一起。尽管需要进行一些相对较大的二进制数的运算，但加权求和法还是很可靠的。

在数$1101_{(2)}$中，可以假设二进制小数点和最低有效位（LSB）在右边，最高有效位（MSB）在左边。如无其他说明，本书都是这么假设的。然而，在一些数字电路图中却经常可以看见LSB在左边的情况。当本书中出现这种情况时，LSB和/或MSB都将标注出来。

另一种用于将二进制数转换为十进制数的方法称为基数相乘法。学会这种方法后，也可以将其用于八进制和十六进制到十进制的转换。基数相乘法的处理可以将二进制、八进制或十六进制整个数转换为十进制数。这种处理是通过使用正在转换的计数系统的基数重复相乘完成的。作为一个使用这种方法的例子，图2.1说明了如何将$11100_{(2)}$转换为十进制数。

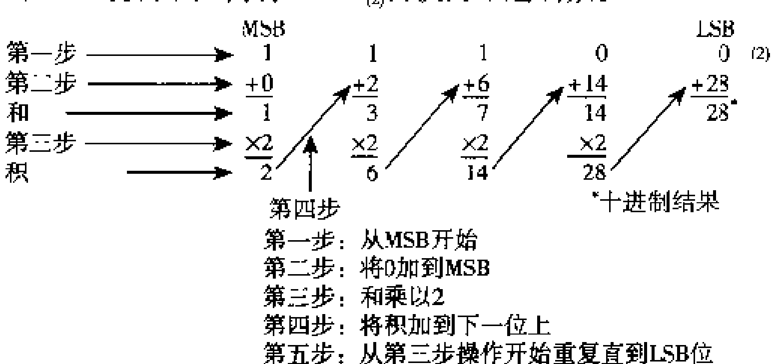


图2.1　二进制到十进制的转换，基数相乘法

第一步：从要转换的二进制数的MSB开始。

第二步：将0加到MSB。

第三步：和乘以2。

第四步：将乘积值加到下一位上。

第五步：从第三步操作开始重复直到LSB位。

> **注意**：在乘积加到最低有效位LSB后，不要再乘以2了，最后这一次的加法运算的结果就是与要转换的二进制数对应的十进制数

在这种二–十进制转换的方法中，由于重复使用了二进制计数系统的基数与和值相乘的运算，所以该方法称为基数相乘法。例2.1中的结果可以用加权求和法进行验证。

$$
\begin{array}{lllll}
2^4 & 2^3 & 2^2 & 2^1 & 2^0 \\
1 & 1 & 1 & 0 & 0_{(2)}
\end{array}
$$

$$(1\times 2^4)+(1\times 2^3)+(1\times 2^2) =$$
$$(1\times 16)+(1\times 8)+(1\times 4) =$$
$$16 + 8 + 4 = 28_{(10)}$$

下面再举一个解决类似问题的例子，以加深对基数相乘法原理的理解。

$100101_{(2)} = _______{(10)}$

1	0	0	1	0	1	
+0	+2	+4	+8	+18	+36	
1	2	4	9	18	37	十进制数
×2	×2	×2	×2	×2		
2	4	8	18	36		

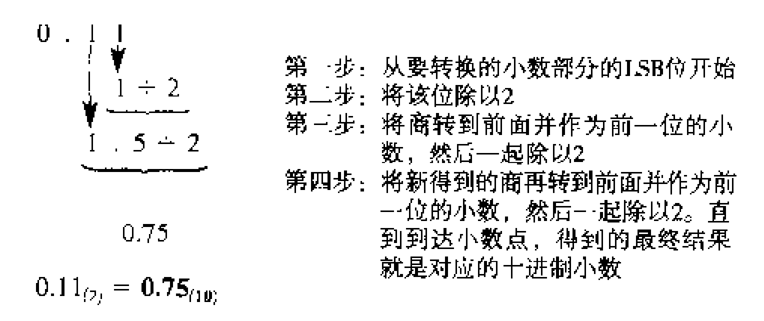
$100101_{(2)}$对应的十进制数为37。

上面说明的有关基数相乘的过程用于二进制数的整数部分。如果该二进制数还含有小数部分，则需要使用加权求和法或基数相除法将小数部分转换为十进制小数。

先说明加权求和法：

$$0.11_{(2)} = _______{(10)}$$
$$(1\times 2^{-1}) + (1\times 2^{-2}) =$$
$$(1\times 0.5) + (1\times 0.25) =$$
$$0.5 + 0.25 = 0.75$$
$$0.11_{(2)} = 0.75_{(10)}$$

在进行二进制小数到十进制小数的转换时，还可以使用基数相除法，该方法包含连续被2除的运算。



$0.11_{(2)} = \mathbf{0.75_{(10)}}$

下面将$0.101_{(2)}$转换为对应的十进制数。

```
0 . 1 0 1
    |  |  ↓
    |  ↓  1 ÷ 2
    ↓  0 . 5 ÷ 2
    1 . 25 ÷ 2
      0.625
```

$0.101_{(2)} = \mathbf{0.625_{(10)}}$

2.2.2　十进制数到二进制数的转换

能够将十进制数转换为二进制数与能够将二进制数转换为十进制数同样重要。基数相除法可以用于将十进制整数转换为二进制数，也可以用于将十进制整数转换为其他数制（二进制、八进制或十六进制）的数。只要重复将被转换的十进制整数除以要转换为的计数系统的基数即可。使用该方法转换十进制整数为二进制数时，重复除以2即可。例如，图2.2所示即是将$14_{(10)}$转换为对应的二进制数。使用基数相除法的计算过程如下：

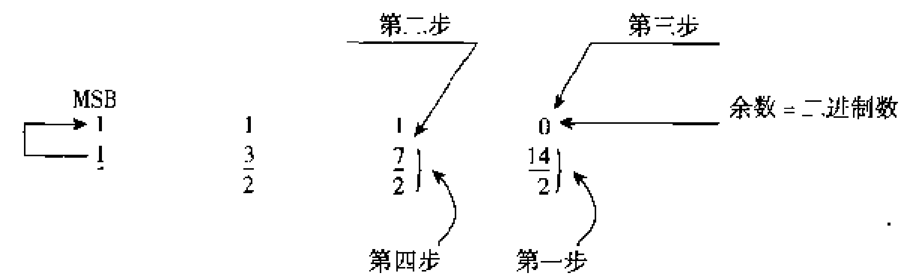
第一步： 将十进制数除以2。

第二步： 将得到的商的整数部分放到靠近刚除过的数的左边。

第三步： 将余数写在刚除过的数的上面。

第四步： 将第二步中得到的整数除以2。再重复第二步，第三步和第四步，直到商为1。商为1时，如例中箭头所示将1写在上面。这最后一个1就是十进制整数对应的二进制数的最高有效位。每次除运算得到的余数就是对应的二进制数的位。

注意： 如果使用计数器做除法，余数总是0或0.5，具体是哪一个值则由十进制数的奇偶性决定。因为以2为基数的计数系统的0.5就是1，所以余数0.5在二进制答案中等于实际的余数1。



第一步：将十进制数除以2
第二步：将得到的商的整数部分放到靠近刚除过的数的左边
第三步：将余数写在刚除过的数的上面
第四步：将第二步中得到的整数除以2。再重复第二步，第三步和第四步，直到商为1。商为1时，如例中箭头所示将1写在上面

图2.2　十进制到二进制的转换（基数相除法）

$14_{(10)} = \mathbf{1110_{(2)}}$

利用上面说明的步骤将 $92_{(10)}$转换为二进制数：

→ 1	0	1	1	1	0	0*	二进制数
$\frac{1}{}$	$\frac{2}{2}$	$\frac{5}{2}$	$\frac{11}{2}$	$\frac{23}{2}$	$\frac{46}{2}$	$\frac{92}{2}$	

注意：在最后一次除运算中，当2除以2时，商的整数部分为1，把它放到靠近刚除过的数的左边，余数为0。不要忘了，最后一个商必须放到上面。

$92_{(10)}$ = **$1011100_{(2)}$**

由于基数相除法用于整数的转换，所以将十进制数的小数部分转换为对应的二进制数就必须使用基数相乘法。

将 $0.875_{(10)}$转换为对应的二进制数：

```
        0.875
         × 2
MSB     1.750
         × 2
        1.500
         × 2
LSB     1.000
```

上述处理过程由小数部分乘以2运算的多次重复构成。第一次乘以2运算的乘积中的1是对应二进制数的最高有效位。第二次乘运算（0.750 × 2）产生了另一个1，最后一次乘法运算也产生了一个1，它是对应二进制数的最低有效位。如式所示，在十进制小数点左边的这些1构成了对应的二进制数。因此：

$0.875_{(10)}$ = **$0.111_{(2)}$**

将 $0.375_{(10)}$转换为对应的二进制数：

```
        0.375
         × 2
        0.750
         × 2
        1.500
         × 2
LSB     1.000
```

$0.375_{(10)}$ = **$0.011_{(2)}$**

最低有效位是答案 $0.011_{(2)}$中的最右边的一位。在乘法问题中它总是最低位。

2.2.3　使用计数器

当计数器可以解决不同进制数之间的转换问题时，为什么还要费劲地去学习复杂的转换过程呢?

假设有一个计数器，用它可以指定一种不同于十进制的数制。该工具能够大大节约数制转换所需的时间。建议使用计数器完成不同数制间数的转换工作，但还应掌握数制转换的基本知识，因为有些时候计数器可能不起作用。

现在，试着在计数器上将 $4\,096_{(10)}$ 转换为二进制数。除非有一个非常昂贵的计数器，否则将得到一个"error"信息。如果计数器只能够显示 9 个字符，则在另一种数制中，其位数将会受限。$111111111_{(2)} = 511_{(10)}$，这是 9 位计数器能够在二进制和十进制之间进行转换的最大数。对于目前的技术水平，这是一个很严格的限制。

如果有人仍然认为没有必要学习这些数制转换的方法，那么可以考虑以下情形：当你应聘一个电子技术职位，考试时不能携带计数器或不允许使用计数器，该怎么办呢?

2.2 节复习题

A. 二进制计数系统是一个位权计数系统。

(1) 对

(2) 错

B. 将一个数减 1 指的是________。

(1) 计数增

(2) 计数减

C. $111_{(2)}$ 递增的二进制结果是什么?

D. 什么方法能够用于将 1011 这样的二进制数转换为对应的十进制数?

E. 用 8 个二进制位可以表示的最大十进制数是多少?

F. 定义术语"模"。

将下列二进制数转换为对应的十进制数：

G. $101_{(2)} =$ ________$_{(10)}$

H. $1111_{(2)} =$ ________$_{(10)}$

I. $1101_{(2)} =$ ________$_{(10)}$

J. $1010100_{(2)} =$ ________$_{(10)}$

K. $100001_{(2)} =$ ________$_{(10)}$

L. $11101110_{(2)} =$ ________$_{(10)}$

M. $11.11_{(2)} =$ ________$_{(10)}$

将下列十进制数转换为对应的二进制数：

N. $4_{(10)} =$ ________$_{(2)}$

O. $10_{(10)} =$ ________$_{(2)}$

P. $15_{(10)} =$ ________$_{(2)}$

Q. $16_{(10)} =$ ________$_{(2)}$

R. $20_{(10)}$ = ______$_{(2)}$

S. $140_{(10)}$ = ______$_{(2)}$

T. $375_{(10)}$ = ______$_{(2)}$

U. $23.562\,5_{(10)}$ = ______$_{(2)}$

V. $12.375_{(10)}$ = ______$_{(2)}$

2.3 八进制计数系统

要点

1. 八进制顺序计数。
2. 给出八进制数，将其转换为十进制数。
3. 给出十进制数，将其转换为八进制数。
4. 给出八进制数，将其转换为二进制数。

注意： 本节的内容可以不学，这并不会影响对本书其他部分的学习。

“八进制”指的是“以 8 为基数的数”。这种位权计数系统使用的数字是 0，1，2，3，4，5，6 和 7。各位的权值如表 2.4 所示。

表 2.4 八进制计数系统的位权

8 的幂	8^5	8^4	8^3	8^2	8^1	8^0	8^{-1}	8^{-2}
位权	32 768	4 096	512	64	8	1	0.125	0.015 625

表 2.5 十进制和八进制计数

十进制	八进制	十进制	八进制
0	0	13	15
1	1	14	16
2	2	15	17
3	3	16	20
4	4	17	21
5	5	18	22
6	6	19	23
7	7	20	24
8	10	21	25
9	11	22	26
10	12	23	27
11	13	24	30
12	14	25	31

当使用十进制计数到达最高数字（9）时，自动移到下一个高位上，即 9 到 10。数 $10_{(10)}$ 实际上指的是 1 个 10（10^1）和 0 个单位（10^0）。当使用八进制计数到达最高数字（7）时，必须做同样的事，即移到下一个更高的位上。因此，八进制计数将以 4，5，6，7，10 和 11 等形式出现，数 $10_{(8)}$ 指的是 1 个 8（8^1）和 0 个单位（8^0）。数值 $11_{(8)}$ 指的是（1×8^1）+（1×8^0），它等于十进制数的 9。比较一下表 2.5 中的十进制数和八进制数。

由于八进制数有时用于数字系统的技术数据，所以八进制数和大家更为熟悉的十进制数之间的转换是有必要的。

2.3.1　八进制数到十进制数的转换

加权求和的方法也可以用于将八进制数转换为对应的十进制数。如果要将八进制数$26_{(8)}$转换为十进制数，由表 2.5 可以查出对应的十进制数是$22_{(10)}$。下面验证一下它的正确性：

$$
\begin{array}{lll}
8^1 & & 8^0 \\
2 & & 6_{(8)} \\
(2 \times 8^1) & + & (6 \times 8^0) = \\
(2 \times 8) & + & (6 \times 1) = \\
16 & + & 6 \quad = 22_{(10)}
\end{array}
$$

基数相乘法也可以代替加权求和法用于八进制到十进制整数部分的转换。转换的过程与二进制到十进制的转换基本相同。惟一的不同是现在的基数是 8。所以，只要重复乘以 8 即可。下面，对上面使用加权求和法转换的数再用基数相乘法计算一次。

将八进制数$26_{(8)}$转换为十进制数：

除了在第二步中用8乘以和外，其他步骤都按照图2.1所示的二进制到十进制转换的方法进行。

```
  2     6(8)
 +0   +16
  2  ↗ 22    十进制数
 ×8 /
 16
```

$26_{(8)} = \mathbf{22}_{(10)}$

下面将$377_{(8)}$转换为对应的十进制数：

```
  3      7       7(8)
 +0    +24    +248
  3  ↗ 31   ↗255    十进制数
 ×8 /  ×8  /
 24    248
```

$377_{(8)} = \mathbf{255}_{(10)}$

对于八进制数的小数部分，需要使用基数除以 8 的方法。

将$0.625_{(8)}$转换为对应的十进制数。

```
0 . 6 2 5
|   |   ↓
|   |   5 ÷ 8
|   ↓
|   2 . 6 2 5 ÷ 8
↓
6   . 3 2 8 1 2 5 ÷ 8
        0 . 7 9 1
```

$0.625_{(8)} = \mathbf{0.791}_{(10)}$

2.3.2 十进制到八进制的转换

下面举例说明将一个十进制整数转换为对应八进制数的基数相除法。下面除了是除以8以外，其他的都与图2.2相同。

将$100_{(10)}$转换为对应的八进制数：

```
┌──► 1    4    4        八进制数
└─── 1   12   100(10)
         8    8
```

$100_{(10)} = \mathbf{144}_{(8)}$

注意：在计数器上100/8 = 12.5，余数为4，因为它就是要转换到的计数系统基数的0.5倍。为了得到正确的形式，其小数部分乘以要转换到的计数系统的基数。一旦得到正确的形式，余数就构成了对应的八进制数。

将$79_{(10)}$转换为对应的八进制数：

```
┌──► 1   1   7       八进制数
└─── 1   9   79
         8   8
```

$79_{(10)} = \mathbf{117}_{(8)}$

注意：在计数器上79 ÷ 8的小数部分为0.875，小数部分0.875乘以要转换到的计数系统基数，就得到了对应的八进制数的最低有效位。

为了转换十进制的小数部分，需要将上面的计算过程颠倒过来，即使用基数相乘法将十进制小数转换为八进制数。

$0.625_{(10)} = _______{(8)}$

0.625

$\underline{\times 8}$

5.000

$0.625_{(10)} = \mathbf{0.5}_{(8)}$

2.3.3 八进制数到二进制数的转换

使用八进制的一个主要优点在于它相对而言可以很方便地转换为二进制。

因为7是八进制计数系统的最大数字，所以所有的八进制数字都能够如表2.6所示转换为三个一组的二进制数。

要将任意八进制数转换为二进制数，可把每一位八进制数转换为三个一组的二进制数，如：

$144_{(8)} = _______{(2)}$

1	4	$4_{(8)}$
001	100	$100_{(2)}$

三位一组的二进制合在一起构成转换结果。$144_{(8)} = \mathbf{1100100}_{(2)}$，我们通过使用基数相乘法将其分别转换为十进制数进行验证。

```
1    4     4(8)
0   +8   +96
1   12   100      十进制数
8   ×8
8   96
```

```
1    1    0     0     1     0     0(2)
0   +2   +6   +12   +24   +50   +100
1    3    6    12    25    50    100      十进制数
2   ×2   ×2    ×2    ×2    ×2
2    6   12    24    50   100
```

表 2.6　二进制编码的八进制数

八进制数	二进制数
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

$144_{(8)} = \mathbf{100}_{(10)}$
$1100100_{(2)} = \mathbf{100}_{(10)}$

将每位八进制数按三位一组书写的简单方法就是所谓的二进制编码的八进制数（binary-coded octal，BCO）。就是这种简洁的写法使得八进制数在数字系统中得到了广泛的使用。

将 $4075_{(8)}$ 转换为对应的二进制数：

```
 4    0    7    5(8)
100  000  111  101(2)
```

$4075_{(8)} = \mathbf{100000111101}_{(2)}$

2.3.4　二进制数到八进制数的转换

如果把用于获取 BCO 数的计算过程倒过来，就可以将二进制数直接转换为对应的八进制数。

将 $1010110_{(2)}$ 转换为对应的八进制数：

```
010  101  110(2)
 2    5    6(8)
```

将二进制数分成三位一组，从最低有效位开始转换。然后，写出每组二进制数代表的八进制数字，这些八进制数字组合在一起就构成了对应的八进制数。

将 $1111.11_{(2)}$转换为对应的八进制数：

$\underbrace{001}\ \underbrace{111}\ .\ \underbrace{110}$

1 7 . 6

$1111.11_{(2)} = 17.6_{(8)}$

在上面所示的转换中，二进制数的小数部分也被转换为八进制数。注意，转换中插入了一个0，以构成小数点右边的一组三位二进制数。在开始转换前总是需要先建立三位一组的形式。如果上面的转换中不在小数部分加入0，则小数部分的转换结果就会变为3。

2.3 节复习题

A. 八进制的基数是________。

(1) 8

(2) 10

(3) 16

B. 在计数系列中紧跟在 $17_{(8)}$后面的数是________$_{(8)}$。

将下列八进制数转换为对应的十进制数：

C. $17_{(8)}$ =________$_{(10)}$

D. $26_{(8)}$ =________$_{(10)}$

E. $100_{(8)}$ =________$_{(10)}$

F. $567_{(8)}$ =________$_{(10)}$

G. $1251_{(8)}$ =________$_{(10)}$

将下列十进制数转换为对应的八进制数：

H. $10_{(10)}$ = ________$_{(8)}$

I. $26_{(10)}$ = ________$_{(8)}$

J. $100_{(10)}$ = ________$_{(8)}$

K. $331_{(10)}$ = ________$_{(8)}$

L. $101_{(10)}$ = ________$_{(8)}$

将下列八进制数转换为对应的二进制数：

M. $10_{(8)}$ = ________$_{(2)}$

N. $32_{(8)}$ = ________$_{(2)}$

O. $147_{(8)}$ = ________$_{(2)}$

将下列二进制数转换为对应的八进制数：

P. $101110111_{(2)}$ = ________ $_{(8)}$

Q. $1101010000_{(2)}$ = ________ $_{(8)}$

R. $1011.1_{(2)}$ = ________ $_{(8)}$

2.4　十六进制计数系统

要点

1. 用十六进制数顺序计数。
2. 将给出的十六进制数转换为十进制、二进制和八进制数。
3. 将给出的其他进制数转换为十六进制数。

随着20世纪70年代PC机的出现和不断普及，更快的速度、更大的字长和地址长度也不断出现。

如果一本解释PC机工作过程的技术文献在提到内存地址时，总是用$1111111000001010110 1_{(2)}$来表示，大家都会认为这种表示方法非常麻烦。尽管对于现代科技而言，这么大的二进制数非常普遍，但是它在使用和理解时还是不实用。十六进制计数系统能够克服二进制表达方式的这种问题。

十六进制（hex）计数系统（基数为16）需要16个字符。除了0到9这10个数字外，还使用了字母A到F，以满足16个字符的要求。在十六进制计数系统中，就不应该把A，B，C，D，E和F看成字母表中的字母了，它们应该被看成数字，$A_{(16)} = 10_{(10)}$，$B_{(16)} = 11_{(10)}$，等等，详细的对应关系如表2.7所示。

表2.7　十进制和十六进制计数

十进制	十六进制	十进制	十六进制
0	0	17	11
1	1	18	12
2	2	19	13
3	3	20	14
4	4	21	15
5	5	22	16
6	6	23	17
7	7	24	18
8	8	25	19
9	9	26	1A
10	A	27	1B
11	B	28	1C
12	C	29	1D
13	D	30	1E
14	E	31	1F
15	F	32	20
16	10	33	21

在十六进制计数时也可以使用其他计数系统采用的基本法则。也就是说，当到达最高数字（在十六进制中为F）时，必须移到下一个更高的位。我们有必要研究表2.7中十进制和十六进制计数的对比，并查看表2.8中显示的位权，以确定计数系统的正确性，并理解这种计数方法。

表 2.8 十六进制计数系统的位权

16 的幂	16^5	16^4	16^3	16^2	16^1	16^0	16^{-1}
位权	1 048 576	65 536	4 096	256	16	1	0.062 5

2.4.1 十六进制数到十进制数的转换

与二进制和八进制数一样，需要采用一种方法将十六进制数转换为对应的十进制数。该系统也是一个加权求和系统，但是本书不讲解这种方法，只讲解更常用的使用基数相乘法转换十六进制整数的过程。

学到这里，读者应该已经非常熟悉这种方法了，所以只讲解几个例子就足够了。除了重复相乘的是 16 以外，其他计算过程与二进制到十进制和八进制到十进制的转换完全相同。

将十六进制数 1F 转换为对应的十进制数：

$1F_{(16)} = _______{(10)}$

```
   1      F
  +0    +16
  ---   ---
   1  ↗  31     十进制数
  ×16
  ---
   16
```

$1F_{(16)} = \mathbf{31_{(10)}}$

为了熟练地掌握十六进制数到十进制数的转换，必须记住 A 到 F 所对应的十进制数。在上面的转换中，$F = 15_{(10)}$。

将 $1CE_{(16)}$ 转换为对应的十进制数：

```
   1      C      E
  +0    +16   +448
  ---   ---   ----
   1  ↗  28  ↗ 462     十进制数
  ×16   ×16
  ---   ---
   16   448
```

$1CE_{(16)} = \mathbf{462_{(10)}}$

对于十六进制数的小数部分，可以通过基数相除法进行转换，如将 $0.B4_{(16)}$ 转换为对应的十进制数：

```
0 .B  4
   |  ↓
   |  4 ÷ 16
   ↓
  11.2  5 ÷ 16
    0.703
```

$0.B4_{(16)} = \mathbf{0.703_{(10)}}$

2.4.2 十进制数到十六进制数的转换

用于十进制到十六进制整数部分转换的是基数相除法。

将十进制数692转换为对应的十六进制数：

```
┌───► 2    B     4      二进制数
└──── 2   43    692
          ──    ───
          16     16
```

$692_{(10)} = \mathbf{2B4_{(16)}}$

本例中，692 ÷ 16 = 43.25，0.25乘以要转换到的计数系统的基数16，得到余数为4。43 ÷ 16 = 2.687 5。在转换到十六进制时，0.687 5等于余数为11　这里需要记住的关键点是11 = B。

将$0.75_{(10)}$转换为对应的十六进制数：

$0.75_{(10)}$
$\underline{\times\ 16}$
$12.00 = C_{(16)}$

$0.75_{(10)} = 0.C_{(16)}$

连续讲述这些不同进制数之间的转换，有时很容易把人搞糊涂。这种情况并不少见。使人感到混乱的主要问题是，什么时候应该用除法，什么时候应该用乘法，并且应该乘以或除以什么数等。要乘以被转换的计数系统的基数，还是乘以将要转换到的目的计数系统的基数？或是除以这些基数？

下面的指导方针可以帮助分清上述问题：

1. 基数相除法和基数相乘法只能用于将十进制数转换到其他进制数，或从其他进制数转换到十进制数。除了可以用计数器以外，没有别的捷径。
2. 决不能乘以或除以10。因为总是从十进制数转换到其他进制数或从其他进制数转换到十进制数，所以转换中总有一个数是以10为基数的。因此，总是用另一种计数系统的基数来进行乘法或除法的运算。
3. 记住，当从十进制数转换到其他进制数时，除以十进制数的整数部分。从其他进制数转换到十进制数时，乘以要转换数的整数部分。
4. 对于小数部分的转换，则使用与上面描述相反的方法，即除法变乘法，乘法变除法。

2.4.3 十六进制数到二进制数的转换

F是十六进制计数系统中最大的数字。$F = 15_{(10)}$，那么需要多少位才能将十六进制数转换为二进制数呢？最大计数 $= 2^n - 1 = 2^4 - 1 = 15$。所以，需要四位二进制数。所有的十六进制数都可以通过如表2.9所示的四位一组的形式编码为二进制数。

十进制数692 = $2B4_{(16)}$。将十六进制数2B4转换为对应的二进制数：

$2B4_{(16)} = _______{(2)}$

2	B	$4_{(16)}$
0010	1011	$0100_{(2)}$

$2B4_{(16)} = \mathbf{1010110100_{(2)}}$

表 2.9 二进制编码的十六进制数（BCH）

十六进制	二进制
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
A	1010
B	1011
C	1100
D	1101
E	1110
F	1111

上面显示的四位一组的转换方法可以得到十六进制数对应的二进制数。这只不过是一种用二进制编码的十六进制数。为了得到对应的二进制数，只要把每一位十六进制数字变为四位二进制数即可。这种简便的转换方法称为二进制编码的十六进制数（binary-coded hexadecimal，BCH），该方法可以直接将十六进制数转换为二进制数。

2.4.4 二进制数到十六进制数的转换

BCH 的逆过程可以将二进制数转换为对应的十六进制数。

将 $11101011000001_{(2)}$ 转换为对应的十六进制数：

$$\underbrace{0011}_{3}\quad\underbrace{1010}_{A}\quad\underbrace{1100}_{C}\quad\underbrace{0001_{(2)}}_{1_{(16)}}$$

从二进制数的最低有效位开始，将二进制数按四位一组进行分组。注意，为了将所有的数字都凑成四位一组，在上面的二进制数的最左边加了两个 0。分完组后，将每组数写成对应的十六进制数字。这些十六进制数字就组成了要转换的十六进制数。

2.4.5 利用 BCO 和 BCH 的其他方法

可以经常利用 BCO 和 BCH 节省转换时间。如果要求将 $1\,257_{(8)}$ 转换为十六进制数，可以有不同的方法得到想要的结果。首先，可以用基数相乘法将该八进制数转换为对应的十进制数。

```
  1      2      5      7(8)
 +0     +8    +80   +680
  1     10     85    687     十进制数
 ×8     ×8     ×8
  8     80    680
```

然后，可以利用基数相除法将上面得到的十进制数转换为对应的十六进制数。

```
┌──► 2    A    F          十六进制数
└─── 2   42   687(10)
         16    16
```

有一种更简便的方法：先将八进制数转换为三位一组的二进制数，然后再将二进制数四位一组转换为对应的十六进制数。

```
 1    2    5    7(8)
001  010  101  111
  2     A     F(16)
```

上面的转换过程只需要花费很少的时间。将八进制数和十六进制数以二进制数的形式编码，或将二进制数译码为对应的八进制数和十六进制数，在对计算机存储器进行寻址时显得非常简便。另外，计算机中的数据通常用十六进制数表示。

因为PC机的典型操作的数据或地址长度都是四位的倍数，所以十六进制数在计算机中比八进制数用得要更广泛一些。这样做使得将数据组成四位一组并转换为十六进制数很方便。四位的二进制数称为半字节（nibble）。当使用八位数据时，称为一个字节（byte）的数据。

将 $70A.B_{(16)}$转换为对应的八进制数：

```
  7     0     A   .   B(16)
0111  0000  1010 . 1011 0000
 3   4   1   2   .  5   4(8)
```

$70A.B_{(16)} = \mathbf{3412.54_{(8)}}$

这种直接转换的方法节省了大量的时间。转换中，十六进制数先以四位二进制数一组的形式编码，然后变为三位二进制数一组的形式，最后再转换为八进制数。二进制小数点右边的低四位本来是没有权值的，但也被加上了，以便能够得到三位一组的二进制数，从而方便地转换为八进制数。

本章开头给出了一个很长的二进制数地址 $11111110000010101101_{(2)}$。很容易看出，以 $FE0AD_{(16)}$ 形式表示的十六进制地址更容易操作。

2.4 节复习题

A. $1FF_{(16)}$向上数的下一个数是什么？

B. $1FF_{(16)}$向下数的下一个数是什么？

将下列十六进制数转换为对应的十进制数：

C. $CA_{(16)}$ = __________(10)

D. $102_{(16)}$ = __________(10)

E. $BB6_{(16)}$ = __________(10)

F. $12A5_{(16)}$ = __________(10)

将下列十进制数转换为十六进制数：

G. $273_{(10)}$ = ________$_{(16)}$
H. $462_{(10)}$ = ________$_{(16)}$
I. $681_{(10)}$ = ________$_{(16)}$
J. $1\,000.75_{(10)}$ = ________$_{(16)}$

将下列十六进制数转换为对应的二进制数：

K. $1A_{(16)}$ = ________$_{(2)}$
L. $2B3_{(16)}$ = ________$_{(2)}$
M. $3FF_{(16)}$ = ________$_{(2)}$
N. $33B2_{(16)}$ = ________$_{(2)}$

将下列二进制数转换为对应的十六进制数：

O. $110100001_{(2)}$ = ________$_{(16)}$
P. $1111010111101_{(2)}$ = ________$_{(16)}$

将下列八进制数转换为对应的十六进制数：

Q. $21_{(8)}$ = ________$_{(16)}$
R. $604_{(8)}$ = ________$_{(16)}$

阶段性小结（2.1 节～2.4 节）

二进制计数系统是以2为基数的系统，八进制计数系统是以8为基数的系统，十六进制计数系统是以16为基数的系统。八进制和十六进制数提供了一种决定二进制数到底是多少的简单方法，免除了计算大量二进制数的麻烦。

加权求和法可以用于确定任何位权计数数据对应的十进制数。用该方法计算一个数对应的十进制数时，将每位的数字乘以该位的权值，然后将乘积相加。累加的结果就等于对应的十进制数的值。

基数转换过程如图2.3所示。

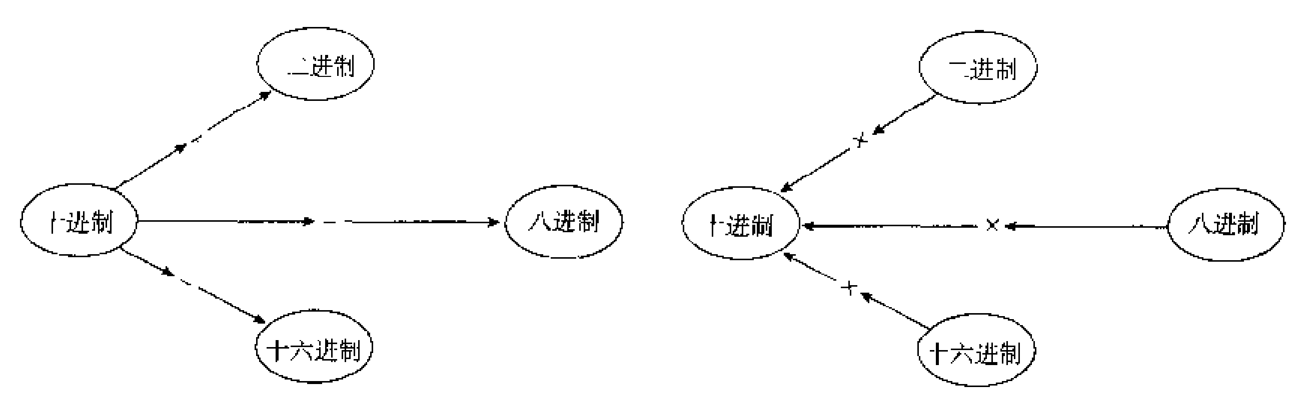


图2.3 基数转换过程

基数相除法可以用于将十进制数的整数部分转换为对应的二进制、八进制或十六进制数。该过程中需要多次重复除以基数。使用基数相乘法可以将十进制小数点右边的数转换为对应的其他进制数。

基数相乘法能够用于将二进制、八进制和十六进制整数转换为对应的十进制数。该过程中需要多次重复乘以基数。使用基数相除法可以将其他进制的小数转换为对应的十进制小数。

基数相除和基数相乘过程只能将一个数从十进制转换到其他进制或从其他进制转换到十进制。例如，这两种方法中没有一种可以将二进制数转换为八进制数。二进制数可以用基数相乘法转换为十进制数，然后可以再利用基数相除法将十进制数转换为八进制数。但是，这种转换方法很费时间。

八进制到二进制的转换可以通过将每一位八进制数作为一组三位的二进制数编码（BCO）完成。将该转换过程倒过来可以实现二进制到八进制的转换。

十六进制到二进制的转换和二进制到十六进制的转换可以通过使用上面曾描述过的将四位二进制数组成一组（BCH）的方法来完成。

八进制到十六进制和十六进制到八进制的数据转换可以很容易地通过使用BCO和BCH方法实现，先将数据编码为二进制数，然后再将二进制数以正确的位组形式进行译码。

表2.10提供了十进制、二进制、八进制和十六进制计数的比较。

表2.10　十进制、二进制、八进制和十六进制计数

十进制	二进制	八进制	十六进制
0	00000	0	0
1	00001	1	1
2	00010	2	2
3	00011	3	3
4	00100	4	4
5	00101	5	5
6	00110	6	6
7	00111	7	7
8	01000	10	8
9	01001	11	9
10	01010	12	A
11	01011	13	B
12	01100	14	C
13	01101	15	D
14	01110	16	E
15	01111	17	F
16	10000	20	10
17	10001	21	11
18	10010	22	12
19	10011	23	13
20	10100	24	14
21	10101	25	15
22	10110	26	16
23	10111	27	17
24	11000	30	18
25	11001	31	19
26	11010	32	1A

阶段性练习（2.1节～2.4节）

1. 八进制计数系统的基数为：

   a. 2

b. 8

c. 10

d. 16

2. $10000_{(2)}$在计数序列中的下一个数是：

a. $11111_{(2)}$

b. $11110_{(2)}$

c. $10001_{(2)}$

d. $1111_{(2)}$

3. $17_{(8)}$在计数序列中的下一个数是：

a. $16_{(8)}$

b. $18_{(8)}$

c. $20_{(8)}$

d. $30_{(8)}$

4. 十六进制计数系统的基数为：

a. 2

b. 8

c. 10

d. 16

5. $1A_{(16)}$ 在计数序列中的前一个数是：

a. $18_{(16)}$

b. $19_{(16)}$

c. $25_{(16)}$

d. $26_{(16)}$

6. 要将一个八进制整数转换为十进制数，应采用基数相________法。

a. 除

b. 加

c. 减

d. 乘

7. 十六进制计数系统是一个位权系统。

a. 对

b. 错

8. 通过将二进制数分成________个一组，可以直接将二进制数转换为八进制数。

a. 二

b. 三

c. 四

d. 六

9. 十六进制数 E 表示的是十进制数________。

a. 9

b. 10

c. 14

d. 15

10. 一个字节的数据包括________位。
   a. 1
   b. 4
   c. 8
   d. 16

将下列数转换成基数如下标所示的数：

11. $21_{(10)}$=________$_{(2)}$
12. $46_{(10)}$=________$_{(2)}$
13. $250_{(10)}$=________$_{(2)}$
14. $105_{(10)}$=________$_{(2)}$
15. $10111_{(2)}$=________$_{(10)}$
16. $101011_{(2)}$=________$_{(10)}$
17. $11111_{(2)}$=________$_{(10)}$
18. $111110101_{(2)}$=________$_{(10)}$
19. $125_{(8)}$=________$_{(10)}$
20. $733_{(8)}$=________$_{(10)}$
21. $FFD_{(16)}$=________$_{(2)}$
22. $3B6_{(16)}$=________$_{(10)}$
23. $255_{(10)}$=________$_{(16)}$
24. $950_{(10)}$=________$_{(8)}$
25. $1AB_{(16)}$=________$_{(8)}$
26. $0.A8_{(16)}$=________$_{(10)}$
27. $05625_{(16)}$=________$_{(8)}$
28. $10110.1_{(2)}$=________$_{(8)}$

2.5 二进制编码的十进制数

要点

1. 说明 BCD 数的优缺点。
2. 给出十进制数，将其转换为 BCD 数；或给出 BCD 数，将其转换为十进制数。

为了增强功能，并达到一定程度的提高和标准化，已经开发出了许多不同的编码用于数字系统中。编码就是一组用于表示一个数字、字母或符号的数位的组合。在绝大多数情况下，编码是无权码。其中之一就是二进制编码的十进制数（BCD）。

2.3节中讲解了八进制到二进制和二进制到八进制的直接转换。2.4节说明了十六进制到二进制和二进制到十六进制的转换。这些使用BCO和BCD进行转换的方法很直观，很容易理解。这主要是因为所有的八进制数（0~7）都能够用三位一组的二进制数表示。而所有的十六进制数（0~F）都能够用四位一组的二进制数表示。

十进制数字 0 到 9 也能够用与 BCH 同样的方式进行编码。因为 $8_{(10)}$ 和 $9_{(10)}$ 必须编码为 1000 和 1001，所以同十六进制数一样，十进制数也要求四位一组。这样会留下6个四位数组成为无效的BCD

数、二进制编码的十进制数，包括无效的BCD数，如表2.11所示。这些没有用到的BCD数在后面将进行讨论。

表 2.11　二进制编码的十进制数（BCD）

十进制码	BCD 码
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
-	1010*
-	1011*
	1100*
-	1101*
-	1110*
-	1111*

* 无效 BCD 数值，未用。

当将一个十六进制数编码为二进制数（BCH）时，编码结果就是对应该十六进制数的二进制数。当将一个十进制数编码为二进制数（BCD）时，得到的结果却不是二进制数。

首先，检查下面的例子，看看为什么不能将十进制数编码为二进制数，并得到与 BCH 编码一样的结果。在下面的例子中，$36_{(10)}$被编码为四位一组的二进制数，但是这并不是 36 对应的二进制数：

$36_{(10)}$ = 0011 0110

$36_{(10)}$ 并不等于 $0011\ 0110_{(2)}$，该二进制数（$110110_{(2)}$）等于 $54_{(10)}$。

2.5.1　十进制数到 BCD 数的转换

如果每个十进制数字都被编码为一组四位的二进制数，可以将其标注为二进制编码的十进制数：

$36_{(10)} = 0011\ 0110_{(BCD)}$

用BCD下标将其进行标注是非常重要的，因为这样才能将其与二进制数区分开。在BCH数中就不用这样，因为结果就是二进制数。将 $92_{(10)}$ 转换为 BCD 数。

$$\underbrace{9}_{1001}\quad \underbrace{2_{(10)}}_{0010_{(BCD)}}$$

2.5.2　BCD 数到十进制数的转换

将上述过程倒过来就可以将BCD数转换为对应的十进制数。从最低有效位开始将 BCD 数按四位一组进行分组。然后，将每组数写成对应的十进制数字。

$$\underbrace{1001}_{9}\quad\underbrace{0010}_{2_{(10)}}{}_{(BCD)}$$

很显然，BCD 数很容易读懂。比较 $1001110_{(2)}$和与其相对的 $0111\ 1000_{(BCD)}$。

$$1001110_{(2)} = 78_{(10)} = 0111\ 1000_{(BCD)}$$

将该 BCD 数读做 $78_{(10)}$非常容易。但是，对于上面的二进制数，需要通过使用基数相乘法或加权求和法进行计算，才能转换为与其对应的十进制数。

由于每个数字用四位二进制编码，所以 BCD 有时也称为 8-4-2-1 编码。这与四位一组的数据中的每一位的权值直接对应。然而，如前所述，BCD 编码并不是一个位权计数系统。

尽管 BCD 数很容易辨识、编码和译码，但是它还存在一些缺点。前面已经提到过，有一些四位组合的数在 BCD 编码中没有用到，这些组合构成了无效的 BCD 数。例如，$10_{(10)} = 0001\ 0000_{(BCD)}$。因此，1010 不是一个有效的 BCD 数。

十进制数 16 在下面分别表示为二进制形式和 BCD 形式。BCD 编码的一个主要缺点是使用了比二进制数更多的位数来表示一个十进制数。

$$16_{(10)} = 10000_{(2)} = 0001\ 0110_{(BCD)}$$

由于把每一位十进制数字强制编码为一组四位二进制数，所以可以很容易地看出，需要采用比编码为二进制数更多的位数才能将十进制数 16 编码为 BCD 数。

需要更多位数编码还带来了另一个缺点：如果 BCD 数用在含有存储器的数字系统中，则需要更多的存储器。处理更多的位数也会消耗更多的能量，从而降低效率。

对于数字电路而言，BCD 编码与纯粹的二进制数并没有什么不同。在系统中，根本无法辨识 BCD 下标。因此，如果对二进制数进行加法运算，数字系统的加法器将依照下面所示的二进制加法法则对其求和。但是，如果这些数是 BCD 数该怎么办呢？系统的运算是相同的。这样，如果没有其他电路纠正内部出现的错误，系统中 BCD 数相加的结果将会出现问题。

二进制加法法则很简单：

$$\begin{array}{r}0\\+0\\\hline0\end{array}\qquad\begin{array}{r}0\\+1\\\hline1\end{array}\qquad\begin{array}{r}1\\+0\\\hline1\end{array}\qquad\begin{array}{r}1\\+1\\\hline10\end{array}$$

采用二进制加法法则将得到：

$$\begin{array}{rcr}0101_{(2)} & = & 5_{(10)}\\ +0101_{(2)} & = & +5_{(10)}\\\hline 1010_{(2)} & = & 10_{(10)}\end{array}$$

另一方面，如果这些数是 BCD 数将会出现什么情况呢？加法器电路不会知道这是 BCD 数，并且会以同一种方式进行运算。所得的和 1010 是一个无效的 BCD 数。这样，当求 BCD 数的和时，必须对和值进行检测，并插入一个纠正因子，以使和值有效。现在，BCD 运算电路要求用另外的电路检测无效的和值，然后用更多的电路纠正该和值，使之成为可用的 BCD 数。第 9 章将讲解这些运算电路。

2.5 节复习题

A. 叙述 BCD 的优点

B. 叙述 BCD 的缺点。

C. 将 $29_{(10)}$ 编码为 BCD 数。

D. 将 $1246_{(10)}$ 编码为 BCD 数。

E. 将 0111 $1000_{(BCD)}$ 译码为十进制数。

F. 将 0010 0011 $0111_{(BCD)}$ 译码为十进制数。

2.6 格雷码

要点

1. 讲述格雷码的目的。
2. 将给出的二进制数转换为格雷码，或将格雷码转换为二进制数。

数字系统中经常用到的另一种用于提高可靠性的编码是格雷码（Gray Code），这种编码有时也称为最小误差编码或反射编码。

在这种编码中，连续变化的数之间只有一位发生状态改变。表 2.12 所示的是格雷码表。如果忽略第一位，则 $8_{(10)}$ 以下的数刚好与 $7_{(10)}$ 以上的数相对应，这就是术语反射编码（Reflected Code）的来历。注意，就后三位而言，7 和 8 = X100，6 和 9 = X101，5 和 10 = X111 等都是对应的。

表 2.12 格雷码

十进制数	二进制数	格雷码
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

格雷码是无权码，所以不是算术编码。表2.12所示的二进制计数只是为了对比才加上去的。如果选择格雷码计数，则在增加或减少一个计数时，只有一位发生改变。这在二进制计数中是不对的。在一些二进制计数中，增加一个计数值可能会导致所有的位发生改变。将二进制数 $0111_{(2)}$ 加 1，其结

果为$1000_{(2)}$。经常改变位状态可能会产生问题，因为它们从高到低的变化速度与从低到高的变化速度并不相同。

要展开论述这个问题，需要回顾晶体管的基本理论。使一个晶体管达到饱和状态所需要的时间为x。正如在许多数字电路中一样，当晶体管都达到饱和状态时，它们就超过了饱和点。因此，使它们从饱和状态转换到截止状态所需要的时间，比从截止状态转换到饱和状态所需要的时间更多。这可以通过比较制造商数据手册中查到的由高到低的传输延迟时间和由低到高的传输延迟时间得到证明。这些延迟时间如图 2.4 所示。传输延迟时间（Propagation Delay Time）是指当输出从一个电平（低或高）转换到其他电平时，从输入波形上的一个特定点到输出波形上的一个特定点之间所需的时间。对于外行而言，这也就是从对电路的请求开始到电路响应为止之间的时间。

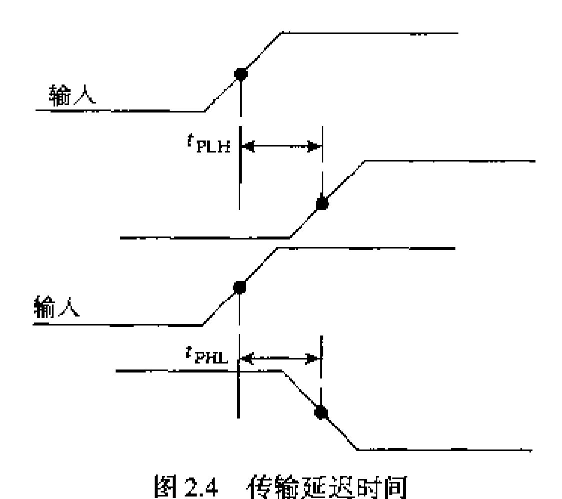


图 2.4　传输延迟时间

找一个7400系列的二输入与非门，检查其传输延迟时间。由高到低的传输延迟时间t_{PHL}的典型值是 7 ns。另一方面，由低到高的传输延迟时间的典型值是 11 ns。前述时间是针对标准 TTL 与非门而言的。这些数字证明它们从饱和状态转换到截止状态比从截止状态转换到饱和状态所需的时间更多。

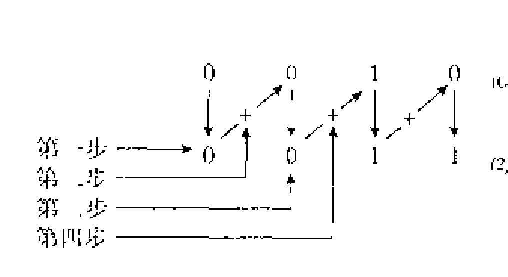
在电路的工作过程中，这种传输延迟时间上的不一致会产生什么影响呢？考虑一个如下所示的递增计数器的计数系列。

二进制计数	实际计数序列	格雷码
0011	0011	0010
	0000　短期计数错误	
0100	0100	0110
	0000　短期计数错误	
0101	0101	0111

由于从高到低的传输延迟时间t_{PHL}更短，将会产生短期计数错误。简而言之，由 1 变为 0 发生在 0 变为 1 之前。尽管该问题能够在译码电路中被屏蔽掉，但是采用格雷码还是可以使这种错误变得最小，因为在格雷码中只有一位数字的状态会发生变化。同样的原因，格雷码一般还用于将诸如角度变换器的每分钟转数（r/min）和旋转方向等机械量转换为电量。

2.6.1 格雷码到二进制数的转换

要将格雷码转换为对应的二进制数，可以按图2.5所示的步骤进行。注意，图中的第一步提出“将最高有效位（MSB）降低”。因为格雷码是一种无权码，所以使用术语“MSB”并不是很合适，然而，用在这里仅仅为了指示要降低的位的位置。



第一步：将最高有效位（MSB）降低

第二步：将MSB加到对角位置的下一个有效位上

第三步：将得到的和的值放在被加的位下面。注意：如果产生进位，舍去进位

第四步：将和再加到对角位置的下一个有效位上。重复第三步和第四步，直到把格雷码的所有位都加一遍

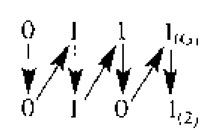
图2.5 格雷码到二进制数的转换

将 $0010_{(G)}$转换为对应的二进制数。

$0010_{(G)}=\mathbf{0011}_{(2)}$

在图2.5中，没有产生进位。如图中的例子所示，如果产生了进位，进位必须舍去。

将 $0111_{(G)}$转换为对应的二进制数。



1+1=0，进位被舍去。

$0111_{(G)}=\mathbf{0101}_{(2)}$

2.6.2 二进制数到格雷码的转换

要将二进制数转换为对应的格雷码，可以按图2.6所示的步骤进行。

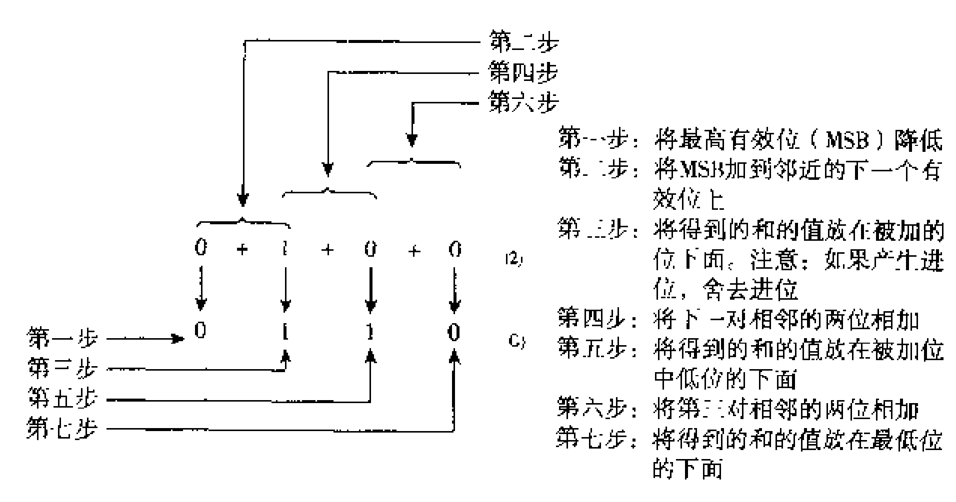
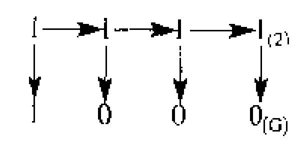


图2.6 二进制数到格雷码的转换

将 $0100_{(2)}$转换为对应的格雷码。
如果产生进位，还是应该舍去进位。

$0100_{(2)}$=$\mathbf{0110}_{(G)}$

将 $1111_{(2)}$转换为对应的格雷码。



$1111_{(2)} = \mathbf{1000}_{(G)}$

上例中的所有加法运算的和都是 1+1 = 0，并带有一个进位，该进位舍去。
要分清究竟是加邻位还是加对角位，需要记住一句话：“二进制到格雷码，加邻位”。
尽管在上面的例子中格雷码只有四位，但是它也可以扩展到任意多位。

2.6 节复习题

A. 格雷码的主要目的是什么？
B. 格雷码是一种位权码。
  (1) 对
  (2) 错
C. 将 $0101_{(2)}$转换为对应的格雷码。
D. 将 $11011001_{(2)}$转换为对应的格雷码。
E. 将 $1101_{(G)}$转换为对应的二进制数。
F. 将 $10110110_{(G)}$转换为对应的二进制数。

2.7 其他特殊编码

要点

1. 将给出的十进制数转换为余 3 编码，或将给出的余 3 编码转换为十进制数。
2. 说明 ASCII 的意义和用法。

2.7.1 余 3 编码

因为余 3XS3 编码是一种自补码，所以余 3 编码是用来设计运算电路的。这种编码通过给每位十进制数字加 3，然后将和编成四位一组，就像 BCD 码一样。

$$\begin{array}{r} 5 \\ +3 \\ \hline 8 \end{array} = 1000_{(XS3)} \qquad \begin{array}{r} 8 \\ +3 \\ \hline 11 \end{array} = 1011_{(XS3)}$$

表2.13所示的就是XS3编码。四位一组的数0000，0001，0010，1101，1110和1111在XS3码中没有用到。

表2.13　余3编码（XS3编码）

十进制	余3编码
0	0011
1	0100
2	0101
3	0110
4	0111
5	1000
6	1001
7	1010
8	1011
9	1100

要将含有多个数字的十进制数转换成XS3编码，将3加到每位数字上，然后将和编成四位二进制数。

将$68_{(10)}$转换为XS3编码的过程为：

$$\begin{array}{rr} 6 & 8 \\ +3 & +3 \\ \hline 9 & 11 \end{array}$$

1001　$1011_{(XS3)}$

将$509_{(10)}$转换为XS3编码的过程为：

$$\begin{array}{rrr} 5 & 0 & 9 \\ +3 & +3 & +3 \\ \hline 8 & 3 & 12 \end{array}$$

1000　0011　$1100_{(XS3)}$

将上述过程反过来即可将一个XS3编码的数转换为十进制数。先将四位一组的XS3编码写成十进制数，然后每位减去3。

0110　1001　$0111_{(XS3)}$

$$\begin{array}{rrr} 6 & 9 & 7 \\ -3 & -3 & -3 \\ \hline 3 & 6 & 4_{(10)} \end{array}$$

0110　1001　$0111_{(XS3)}$ = **$364_{(10)}$**

尽管XS3编码是一种无权码，但是它的自补码特性使其在运算电路中非常有用。第9章将说明其用法。

2.7.2　美国标准信息交换码

PC机导致了对数字世界标准化的巨大需要。首先，需要一个标准编码表示来自键盘的数据。进行标准化即可实现系统硬件的交换。在标准化之前，每个生产制造商都开发了各自的编码，以表示

键盘数据，这使得许多系统几乎完全无法与其他系统在接口上兼容。而且，即使有可能，硬件交换也十分困难。

由于 ASCII 将字母表中的字母和数字一起编码，所以是一种字母数字混合编码。ASCII 是 7 位的编码，7 位二进制数可以表示 128（2^7）种不同的字符和命令。ASCII 在许多计算机上用于传输信息。128 个码可以表示所有大写字母和小写字母、0~9 这 10 个十进制数字、标点符号以及其他的一些特殊符号。另外，ASCII 码还包含一些用于格式化文本的命令码。所有这些字符、命令以及它们的编码数和二进制表示都显示在表 2.14 中。表 2.15 定义了用于 ASCII 中的字符的意义。

可以对表 2.14 中的大写字母 "A" 和小写字母 "a" 进行一个有趣的比较。大写字母 "A" 是 0100 0001（十六进制的 41），而小写字母 "a" 是 0110 0001（十六进制的 61）。两个 7 位编码仅仅只有一位不同。

另一个有趣的地方应该是由表 2.14 产生的，每个代码含有 8 个二进制位。由于 ASCII 是 7 位编码，所以每个二进制编码的最高有效位都是 0。但是，第 8 位能够用上，而且是用在绝大多数的现代计算机中。当用上第 8 位时，这种编码被称为扩展 ASCII 码。扩展 ASCII 码允许在系统中使用另外 128 个图形字符。

表 2.14　美国标准信息交换码

代码	字符	二进制	十六进制
0	NUL	0000 0000	00
1	SOH	0000 0001	01
2	STX	0000 0010	02
3	ETX	0000 0011	03
4	EOT	0000 0100	04
5	ENQ	0000 0101	05
6	ACK	0000 0110	06
7	BEL	0000 0111	07
8	BS	0000 1000	08
9	HT	0000 1001	09
10	LF	0000 1010	0A
11	VT	0000 1011	0B
12	FF	0000 1100	0C
13	CR	0000 1101	0D
14	SO	0000 1110	0E
15	SI	0000 1111	0F
16	DLE	0001 0000	10
17	DC1	0001 0001	11
18	DC2	0001 0010	12
19	DC3	0001 0011	13
20	DC4	0001 0100	14
21	NAK	0001 0101	15
22	SYN	0001 0110	16
23	ETB	0001 0111	17
24	CAN	0001 1000	18
25	EM	0001 1001	19
26	SUB	0001 1010	1A
27	ESC	0001 1011	1B
28	FS	0001 1100	1C

（续表）

代码	字符	二进制	十六进制
29	GS	0001 1101	1D
30	RS	0001 1110	1E
31	US	0001 1111	1F
32	SP	0010 0000	20
33	!	0010 0001	21
34	"	0010 0010	22
35	#	0010 0011	23
36	$	0010 0100	24
37	%	0010 0101	25
38	&	0010 0110	26
39	'	0010 0111	27
40	(	0010 1000	28
41	)	0010 1001	29
42	*	0010 1010	2A
43	+	0010 1011	2B
44	,	0010 1100	2C
45	-	0010 1101	2D
46	.	0010 1110	2E
47	/	0010 1111	2F
48	0	0011 0000	30
49	1	0011 0001	31
50	2	0011 0010	32
51	3	0011 0011	33
52	4	0011 0100	34
53	5	0011 0101	35
54	6	0011 0110	36
55	7	0011 0111	37
56	8	0011 1000	38
57	9	0011 1001	39
58	:	0011 1010	3A
59	;	0011 1011	3B
60	<	0011 1100	3C
61	=	0011 1101	3D
62	>	0011 1110	3E
63	?	0011 1111	3F
64	@	0100 0000	40
65	A	0100 0001	41
66	B	0100 0010	42
67	C	0100 0011	43
68	D	0100 0100	44
69	E	0100 0101	45
70	F	0100 0110	46
71	G	0100 0111	47
72	H	0100 1000	48
73	I	0100 1001	49
74	J	0100 1010	4A
75	K	0100 1011	4B
76	L	0100 1100	4C

（续表）

代码	字符	二进制	十六进制
77	M	0100 1101	4D
78	N	0100 1110	4E
79	O	0100 1111	4F
80	P	0101 0000	50
81	Q	0101 0001	51
82	R	0101 0010	52
83	S	0101 0011	53
84	T	0101 0100	54
85	U	0101 0101	55
86	V	0101 0110	56
87	W	0101 0111	57
88	X	0101 1000	58
89	Y	0101 1001	59
90	Z	0101 1010	5A
91	[	0101 1011	5B
92	\	0101 1100	5C
93	]	0101 1101	5D
94	^	0101 1110	5E
95	_	0101 1111	5F
96	`	0110 0000	60
97	a	0110 0001	61
98	b	0110 0010	62
99	c	0110 0011	63
100	d	0110 0100	64
101	e	0110 0101	65
102	f	0110 0110	66
103	g	0110 0111	67
104	h	0110 1000	68
105	i	0110 1001	69
106	j	0110 1010	6A
107	k	0110 1011	6B
108	l	0110 1100	6C
109	m	0110 1101	6D
110	n	0110 1110	6E
111	o	0110 1111	6F
112	p	0111 0000	70
113	q	0111 0001	71
114	r	0111 0010	72
115	s	0111 0011	73
116	t	0111 0100	74
117	u	0111 0101	75
118	v	0111 0110	76
119	w	0111 0111	77
120	x	0111 1000	78
121	y	0111 1001	79
122	z	0111 1010	7A
123	{	0111 1011	7B
124	|	0111 1100	7C

（续表）

代码	字符	二进制	十六进制
125	}	0111 1101	7D
126	~	0111 1110	7E
127	DEL	0111 1111	7F

表 2.15　ASCII 字符的含义

字符	含义	字符	含义
NUL	空	DC1	直接控制 1
SOH	标题	DC2	直接控制 2
STX	正文开始	DC3	直接控制 3
ETX	正文结束	DC4	直接控制 4
EOT	传输结束	NAK	不应答
ENQ	查询	SYN	同步空闲
ACK	应答	ETB	块传输结束
BEL	蜂鸣声	CAN	取消
BS	退格	EM	存储结束
HT	制表位	SUB	替换
LF	滚行	ESC	退出
VT	光标返回	FS	光标右移
FF	进页	GS	光标左移
CR	回车	RS	光标上移
SO	移出	US	光标下移
SI	移入	SP	空格
DLE	数据链断开	DEL	删除

2.7 节复习题

A. 将 $49_{(10)}$转换为 XS3 编码。

B. 将 $188_{(10)}$转换为 XS3 编码。

C. 将 $1100\ 0110_{(XS3)}$转换为对应的十进制数。

D. 字母组合 ASCII 代表什么？

阶段性小结（2.5 节 ~ 2.7 节）

这些年来，人们已经开发出很多种编码供数字系统使用。绝大多数编码在系统中表现出了一些优点，但是它们通常又伴随着一些缺点。本章讲解了一些最重要的编码及其特性。

因为十进制数很容易被编码为 BCD 数，而且 BCD 数的译码也很容易，所以采用了 BCD 编码，即二进制编码的十进制数。另外，BCD 数也很容易读懂。

要将一个十进制数编码为 BCD 数，可把每一位十进制数字编码为一组四位二进制数，并将结果标上 BCD 下标。要将一个 BCD 数译码，可把每组四位的 BCD 数写成一个十进制数字。因为这些 BCD 数在每四位一组的二进制数中代表了这些数位的权值，所以 BCD 码有时也称为 8-4-2-1 码。

BCD 有一些缺点：(1)与二进制相比，它需要用更多的位数表示一个大于 9 的十进制数；(2)使用更多的位数将要求更多的存储器空间，结果会消耗更多的能量，从而降低效率；(3)在 BCD 运算电路中经常会出现无效的和值，故必须能够检测出这些无效的和值并纠正该错误，而这两项工作都需要使用另外的电路。

格雷码又称为最小误差码。用格雷码连续计数时，每次只有一位的状态发生改变。然而，在二进制计数时，经常在计数增1或减1时有3~4位的状态发生改变。例如，考虑下面的二进制计数：0011到0100，0111到1000，以及1011到1100。由于这些位并不是同时从低到高、从高到低变化，所以位竞争的结果是造成错误的计数。使用格雷码时则不会出现这个问题。

格雷码转换为二进制的方法是：(1)降低最高有效位；(2)从对角方向与右上角的位相加。二进制转换为格雷码的方法是：(1)降低最高有效位；(2)与邻位相加。在这两种转换方法中，加法产生的任何进位都应舍去。

余三编码（XS3）是一种用于运算电路的自补码。十进制数转换为余三编码的方法是：给每位十进制数字加3，然后将和值像BCH编码一样编成四位一组即可。要译码XS3数，将四位一组的编码写成十进制数字，然后将该十进制数字减去3即可。

美国标准信息交换码（ASCII）提供了128个编码，用于代表键盘数据和一些命令编码，为7位编码。扩展ASCII使用了8位二进制数，允许总共256（2^8）种编码。在绝大多数计算机中，其他的编码都用于代表图像符号。

阶段性练习（2.5节~2.7节）

1. 需要多少位才能将一个十进制数字编码为BCD码？
   a. 3　　c. 8
   b. 4　　d. 9
2. 有多少无效的BCD数？
   a. 3　　c. 6
   b. 4　　d. 9
3. 当一个类似311这样的十进制数被编码为二进制编码的十进制数（BCD）时，得到的结果等于对应于该十进制数的二进制数。
   a. 对　　b. 错
4. 将$49_{(10)}$编码为BCD数。
   a. 100 1001　　c. 0100 1001
   b. 111 1100　　d. 0111 1100
5. 将$0011\ 1001\ 1001_{(BCD)}$译码为十进制数。
   a. 66　　c. 612
   b. 399　　d. 921
6. BCD码的另一个名称是8-4-2-1码。
   a. 对　　b. 错
7. 在二进制加法中1 + 1 = 1。
   a. 对　　b. 错
8. 将$1010_{(2)}$转换为格雷码。
   a. A　　c. 1100
   b. 10　　d. 1111
9. 将$11101110_{(2)}$转换为格雷码。
   a. 10011001　　c. 1414
   b. 10110100　　d. EE

10. 将 $1\ 000_{(G)}$转换为对应的二进制数。

a. 0111　　c. 1100

b. 1011　　d. 1111

11. 将 $10111011_{(G)}$转换为对应的二进制数。

a. 11100110　　c. 11010010

b. 11101111　　d. 11001100

12. 格雷码是一种常用于运算电路的权重码。

a. 对　　b. 错

13. XS3 编码又称为最小误差码。

a. 对　　b. 错

14. 下列编码中，哪一种在连续计数时只改变一位的状态。

a. XS3　　c. 格雷码

b. BCD　　d. ASCII

15. 将 $68_{(10)}$转换为 XS3 编码。

a. 0011 0101　　c. 0100 0100

b. 0110 1000　　d. 1001 1011

16. 下列编码中，哪一种常用于表示键盘上的数字、字母和标点符号？

a. XS3　　c. 格雷码

b. BCD　　d. ASCII

17. 标准的 ASCII 码包含_________位。

a. 7　　c. 10

b. 8　　d. 16

18. 8 位的扩展 ASCII 码可以表示多少种字符和命令？

a. 127　　c. 255

b. 128　　d. 256

习题

2.2 节

1. 用二进制写出十进制的 0 到 $9_{(10)}$。注意，每个十进制数用四位一组的二进制数来表示。

2. 将下列二进制数转换为对应的十进制数：

a. $110_{(2)}$　　e. $101100_{(2)}$

b. $1110_{(2)}$　　f. $11110000_{(2)}$

c. $1111_{(2)}$　　g. $11011011_{(2)}$

d. $101011_{(2)}$　　h. $11101.11_{(2)}$

3. 将下列十进制数转换为对应的二进制数：

a. $10_{(10)}$　　e. $260_{(10)}$

b. $20_{(10)}$　　f. $1\ 000_{(10)}$

c. $100_{(10)}$　　g. $2\ 048_{(10)}$

d. $210_{(10)}$　　h. $32.625_{(10)}$

*CT 4. 如果要设计一个计数器电路，使其能够顺序递增计数到 $3\,000_{(10)}$并包括 $3\,000_{(10)}$。假定一个电路能够产生一位计数，在设计中共需要多少电路才能产生要求的二进制计数？

CT 5. 如果上题中的电路不截位，最大计数值将会是________。如果不截位，该电路的 MOD 数是________。

2.3 节

6. 用八进制写出十进制的 0 到 $10_{(10)}$。
7. 将下列八进制数转换为对应的十进制数：

   a. $15_{(8)}$　　e. $171_{(8)}$
   b. $27_{(8)}$　　f. $752_{(8)}$
   c. $55_{(8)}$　　g. $1\,750_{(8)}$
   d. $134_{(8)}$　　h. $144.6_{(8)}$

8. 将下列十进制数转换为对应的八进制数：

   a. $21_{(10)}$　　e. $130_{(10)}$
   b. $27_{(10)}$　　f. $250_{(10)}$
   c. $48_{(10)}$　　g. $1\,012_{(10)}$
   d. $95_{(10)}$　　h. $100.625_{(10)}$

9. 将下列八进制数转换为对应的二进制数：

   a. $15_{(8)}$
   b. $55_{(8)}$
   c. $175_{(8)}$
   d. $402_{(8)}$
   e. $1231_{(8)}$

10. 将下列二进制数转换为对应的八进制数：

    a. $11111_{(2)}$
    b. $101110_{(2)}$
    c. $1111100_{(2)}$
    d. $10000100_{(2)}$
    e. $1111110101_{(2)}$

2.4 节

11. 用十六进制写出十进制的 0 到 $20_{(10)}$。
12. 十六进制数 $39_{(16)}$增 1 后是什么？
13. 十六进制数 $40_{(16)}$减 1 后是什么？
14. 将下列十六进制数转换为对应的十进制数：

    a. $D_{(16)}$　　e. $FF_{(16)}$
    b. $11_{(16)}$　　f. $1AC_{(16)}$
    c. $1B_{(16)}$　　g. $1EE_{(16)}$
    d. $20_{(16)}$　　h. $FFFF0_{(16)}$

---

* 在每章后面标注上 CT 的是需要深入思考的难题。它们一般是以前学习过的材料的逻辑应用，或者是几个不同原理或信息的应用，要得出答案有时会比一般问题困难。

15. 将下列十进制数转换为对应的十六进制数：

a. $10_{(10)}$　　e. $426_{(10)}$

b. $24_{(10)}$　　f. $5\,000_{(10)}$

c. $100_{(10)}$　　g. $10\,000_{(10)}$

d. $200_{(10)}$　　h. $65\,535_{(10)}$

16. 通过将每一位十六进制数编码为一个______位一组的数，可以将十六进制数直接编码为二进制数

17. 将下列十六进制数转换为对应的二进制数：

a. $E_{(16)}$

b. $1C_{(16)}$

c. $2AA_{(16)}$

d. $3B2_{(16)}$

e. $FF0_{(16)}$

18. 将下列二进制数转换为对应的十六进制数：

a. $101011_{(2)}$

b. $1111001100_{(2)}$

c. $10010100000_{(2)}$

d. $10111110001_{(2)}$

e. $1111111100001110_{(2)}$

CT 19. 数字系统的某一个存储器芯片包含8 K的存储单元（每1 K存储器等于1 024个存储单元）。该存储器芯片的最低（起始）地址是$100\,0000\,0000\,0000_{(2)}$。该存储器芯片的最高地址是多少（提示：因为起始地址包含在8 K存储单元中，所以最高地址的存储单元比最低地址高8 191 个存储单元）？

2.5 节

20. 将下列十进制数转换为BCD码：

a. $8_{(10)}$　　d. $100_{(10)}$

b. $17_{(10)}$　　e. $1\,111_{(10)}$

c. $99_{(10)}$　　f. $5\,050_{(10)}$

21. 将下列BCD数转换为十进制数：

a. $0001\,0101_{(BCD)}$

b. $0010\,1001_{(BCD)}$

c. $1001\,0000_{(BCD)}$

d. $0010\,0010\,0010_{(BCD)}$

e. $0011\,0000\,0000\,0000_{(BCD)}$

f. $0011\,0000\,1001\,0001_{(BCD)}$

22. 列出用BCD码代替二进制的优点。

23. 列出用BCD码代替二进制的主要缺点。

24. 在数字系统的运算电路中使用BCD的主要缺点是什么？

2.6节

25. 格雷码的另一个名字是什么?
26. 格雷码是一种有权码
    a. 对
    b. 错
27. 将下列格雷码转换为对应的二进制数:
    a. $0011_{(G)}$
    b. $0100_{(G)}$
    c. $1100_{(G)}$
    d. $1101_{(G)}$
    e. $1111_{(G)}$
    f. $01101010_{(G)}$
28. 将下列二进制数转换为对应的格雷码:
    a. $1001_{(2)}$
    b. $1010_{(2)}$
    c. $1011_{(2)}$
    d. $1111_{(2)}$
    e. $10000_{(2)}$
    f. $10111_{(2)}$

2.7节

29. 将下列十进制数转换为XS3编码:
    a. $6_{(10)}$
    b. $12_{(10)}$
    c. $66_{(10)}$
    d. $719_{(10)}$
30. 将下列XS3编码转换为十进制数:
    a. $0100\ 0011_{(XS3)}$
    b. $0110\ 0110_{(XS3)}$
    c. $0111\ 1000_{(XS3)}$
    d. $1000\ 0101\ 1000_{(XS3)}$

CT 31. 十进制数7和8以二进制形式存储在计算机的相邻存储单元中。查找每个数的ASCII码并将其转换为对应的格雷码和XS3编码。

第3章 逻 辑 门

重要术语

Active-High Signal 高电平有效信号
Active-Low Signal 低电平有效信号
AND Gate 与门
Asserted 置有效
Combinational Logic Circuits 组合逻辑电路
Complementary Metal-Oxide Semiconductor (CMOS) 互补金属氧化物半导体
"Don't Care" Input "无关"输入
Dynamic Operation 动态工作过程
Enable/Enabler 使能/使能端
Floating Inputs 浮点数输入
Inhibit/Inhibitor 禁止/禁止端
Inverter 反相器(非门)
Mnemonic 助记符
NAND Gate 与非门
Negation 非
Negation Indicator 非指示符
NOR Gate 或非门
NOT Gate 非门
OR Gate 或门
Overbar 上划线
Pull-Up Resistor 上拉电阻
Sequential Logic Circuits 时序逻辑电路
Short Logic 短逻辑
Short Logic 短逻辑
Static Operation 静态操作
Transistor-to-Transistor Logic(TTL) 晶体管-晶体管逻辑
Truth Table 真值表
Unused Inputs 未用输入端

本章要点

1. 给出一个逻辑符号，能够识别它，并能够根据输入条件确定输出。
2. 给出一个逻辑门符号，能够画出真值表。
3. 给出一个逻辑门符号，能够识别该逻辑门的使能端和禁止端。
4. 给出一个含有逻辑门的简单电路，根据特征对该电路进行故障诊断，并将故障与该IC隔离。

概述

从理论角度看，计算机电路和其他类型的数字设备的工作过程似乎很复杂，但是其工作过程相对而言还是很简单的，而且具有逻辑性。这种简洁性和逻辑性主要来自于数字设备中逻辑门的使用。

对所有的数字技术而言，逻辑门都是基本的构建框架，形成了用于数字系统的决策电路。这些门通过基于一系列输入条件的决策来解决逻辑问题。要学习本书，需要首先掌握有关逻辑门工作过程的深层知识。

本章中讲到的一些基本逻辑门经常被连接在一起构成组合逻辑电路，组合逻辑电路将在第5章进行深入讨论。为了了解触发器、译码器、编码器、二进制加法器、乘法器以及其他许多在多数数字系统中都可以见到的电路的操作，需要先理解门逻辑。

为了充分了解逻辑电路，必须关心的逻辑函数只有3个。这些函数是与（AND）、或（OR）和非（NOT）。充分了解了这3个函数，就能够深入了解其他类型的逻辑电路。一旦掌握了逻辑门的工作原理，了解更先进的逻辑电路的工作原理就会成为一件很容易的事。

组合逻辑电路是指那些完全基于电路输入来做出判断的电路。组合逻辑电路并不具有记忆能力。下面将要学习的组合逻辑电路仅仅是本章讲解的逻辑门和第5章中讲解的一些高级门电路的组合。本书后面讲述的绝大多数数字电路都是基于逻辑门进行操作的。

第6章至第8章中的时序逻辑电路采用了由逻辑门组成的触发器，它们都被设计为集成电路（IC）。时序逻辑电路的输出取决于存储能力（电路的原有条件）和电路当前的输入。因为时序逻辑电路的下一步操作由以前存储的数据和电路的当前输入决定，所以存储器应存储原有的电路条件。例如，一个时序逻辑电路可以根据当前的输入变化存储一个二进制的“0”或“1”。更重要的是，它可以根据一个以前的输入条件保存二进制的“1”或“0”。

3.1 与门

要点

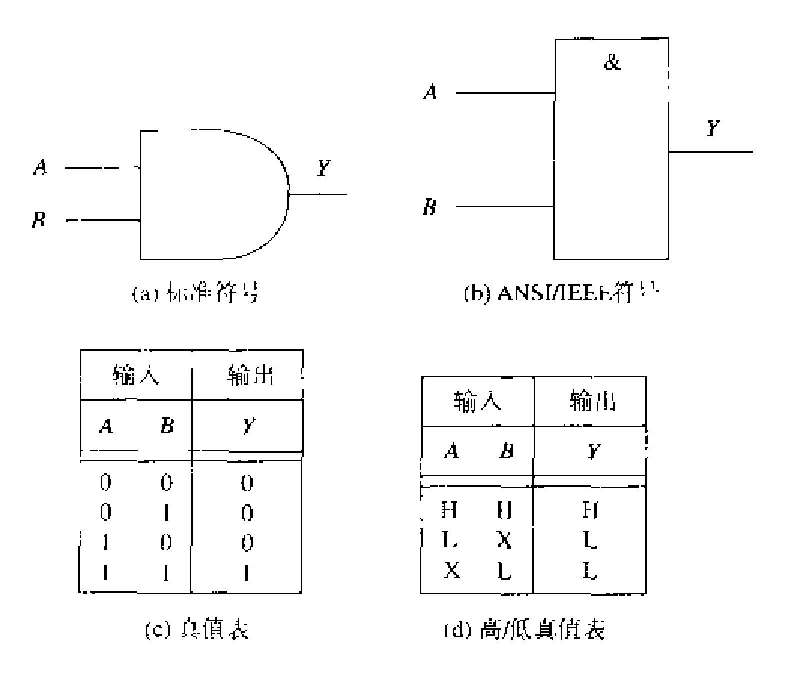
1. 识别与门的逻辑符号。
2. 给出一个与门的逻辑符号，由所给出的输入条件决定与门的输出。

当要求只有所有的输入变量都达到一定条件，才能得到所需要的输出时，应该在数字电路中使用与门。换句话说，如果条件A为真且条件B也为真，该逻辑门应显示为两个输出皆为真。如果条件A或B为假，或条件A和B同时为假，该逻辑门的输出也为假。

利用双门轿车可以进行简单的模拟。与门可以指示出轿车的两个门都关着。如果司机门关着，条件A为真。如果乘客门关着，条件B为真。如果这两个条件都为真，与门的输出可以阻止开门指示器亮。如果其中某个门开着，与门的输出将处于一个使开门指示器接通的电平。

短逻辑是一种用于使逻辑电路分析变得更容易的技术。短逻辑是一套简单的规则，它可以指明一个逻辑门的输入、输出之间的关系。通过设计这种理解逻辑操作的简捷方法，一旦学会了与门和或门的短逻辑，就可以开发其他任何一种逻辑门的逻辑。

图3.1所示的是与门的逻辑符号。一般情况下，本书中的与门都用图3.1(a)所示的标准符号表示。图3.1(b)所示的是与门的ANSI/IEEE符号，它也经常用来表示与门，并有可能在将来代替标准符号。在两种符号中，都是用A和B表示输入，用Y表示输出。这些输入/输出字母都是任意的，并且可以命名为其他许多字母或字母组合。在矩形ANSI/IEEE符号中是一个“与”（&）符号。该符号是一种通用限定符（又称总定性符号），还可以表示与门和与函数。通用限定符一般都位于接近ANSI/IEEE符号顶端的位置。



(a) 标准符号　　(b) ANSI/IEEE符号

输入		输出
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(c) 真值表

输入		输出
A	B	Y
H	H	H
L	X	L
X	L	L

(d) 高/低真值表

图3.1　二输入与门

图3.1(c)所示的表称为真值表或函数表。在数字电路中，经常用真值表表示逻辑电路的操作。真值表列出了每一种可能存在的输入组合以及对应于每种输入的输出结果。正如真值表所示，一个二输入与门有4种可能的输入组合。不考虑输入数目，对任何一种逻辑门的输入组合数目，都可以用2^n进行计算，n等于逻辑门输入的数目。对于一个数字电路/门，通过求2的幂（指数等于输入的数目），能够得到输入组合的总数。在真值表中除了使用0和1，许多开发者还使用L（低＝0）和H（高＝1），这两种表示法并没有实际区别。

由图3.1(c)可以发现，只有当两个输入A和B都为高时，逻辑门的输出才为高。A或B有一个为逻辑0时，输出就为0。使用短逻辑是一种决定与门输出的简单方法。与门的短逻辑是"只要有0输入，输出就为0"。用外行的话来说，短逻辑说明了逻辑门是如何工作的。

二输入与门可以看成两个相连的开关。为了使能量或信号通过这两个开关，就需要这两个开关都闭合。因为原始逻辑电路使用继电器来完成逻辑功能，所以逻辑门经常被称为开关电路。

与门的短逻辑是"只要有0输入，输出就为0"，在分析图3.1(c)中的真值表时应该仔细思考这句话。如果A为低，输出Y将为低。在这种输入条件下，输入B的电平就无关紧要了。A为低时，可以把B输入作为"无关"条件，因为此时无论B是高还是低，输出都为低。

如果B为低，情况也一样：与门的输出将为低，输入A成为无关输入。X用于表示无关条件。图3.1(d)的真值表中用到了这种无关条件的表达方式。图3.1(d)中的高/低真值表与图3.1(c)中的真值表是对等的。

图3.2中所示的电路足以证明与门的功能很容易实现。如果A和B为低，D_1和D_2导通，电流通过R_D连接到+5 V电源上。因此，R_D底端的输出为低。

如果一个输入为低，另一个为高，也存在同样的情况。例如，如果输入A为低，输入B为高，则D_1导通，电流流过R_D，输出仍然为低。

当输入A和B均为高时，D_1和D_2均为反向偏置，没有电流通过。由于没有电流流过R_D，电压不会下拉，所以输出为+5 V（逻辑1）。该电路产生了逻辑与的功能，并且证明了短逻辑"只要有0输入，输出就为0"是对的。

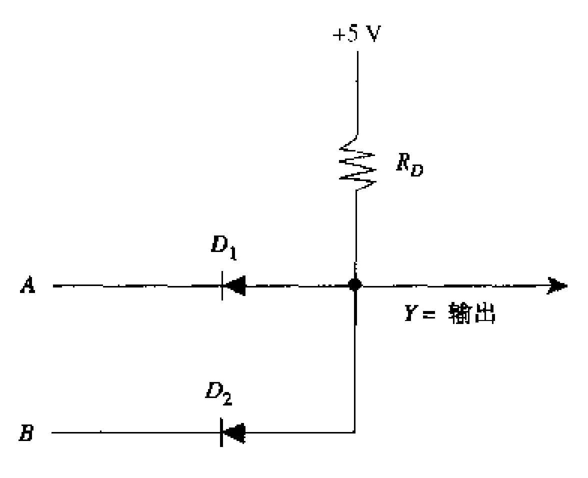
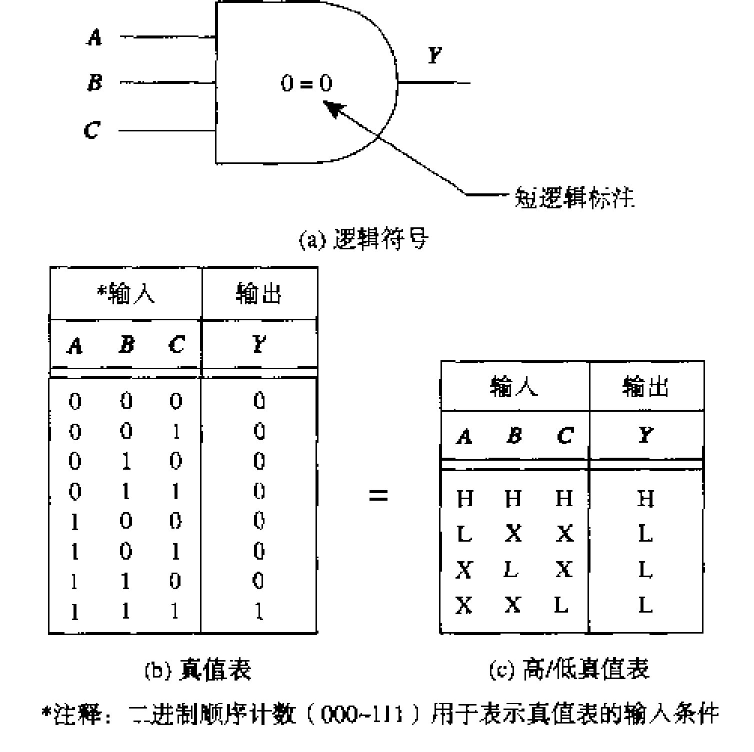


图 3.2　电阻－二极管逻辑电路

如图3.3(a)所示，在逻辑符号中标注逻辑门的短逻辑是一种非常好的辅助学习工具。一旦掌握了这些逻辑门的短逻辑，就没必要再进行这种标注了。但是，现在最好还是使用这种辅助工具。图中所示的与门有三个输入端。不过，它的短逻辑与二输入与门的是相同的。实际上，无论输入的数目是多少，对于所有的与门而言，短逻辑都是“只要有0输入，输出就为0”。在数字电路中，八输入的与门也很常见。短逻辑中第一位的值指明的是输入电平，表明“只要有0输入”；短逻辑中第二位的值指明的是输出电平，表明“输出就为0”。



(a) 逻辑符号

*输入			输出
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(b) 真值表

=

输入			输出
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

(c) 高/低真值表

*注释：二进制顺序计数（000~111）用于表示真值表的输入条件

图 3.3　三输入与门

注意，在图3.3(b)的真值表中，与门短逻辑的0输入电平表示了三输入与门8个可能输入条件中的7个。换句话说，8个可能输入组合条件中的7个条件都至少含有一个逻辑0。因此，正如与门短逻辑中所言，该与门的输出在这7种中任一输入条件下都是逻辑0。只有当输入A，B和C都是高电平时，该与门的输出才是逻辑1。图3.3(c)还列出了高/低真值表。

3.1 节复习题

A. 画出一个二输入与门的标准逻辑符号。

B. 叙述与门的短逻辑。

C. 如果 $A=1$，$B=1$，二输入与门的输出是什么？

D. 如果 $A=1$，$B=1$，而 $C=0$，则一个三输入与门的输出是什么？

E. 画出一个四输入与门的真值表，输入用 A，B，C 和 D 表示，输出用 Y 表示。

3.2 或门

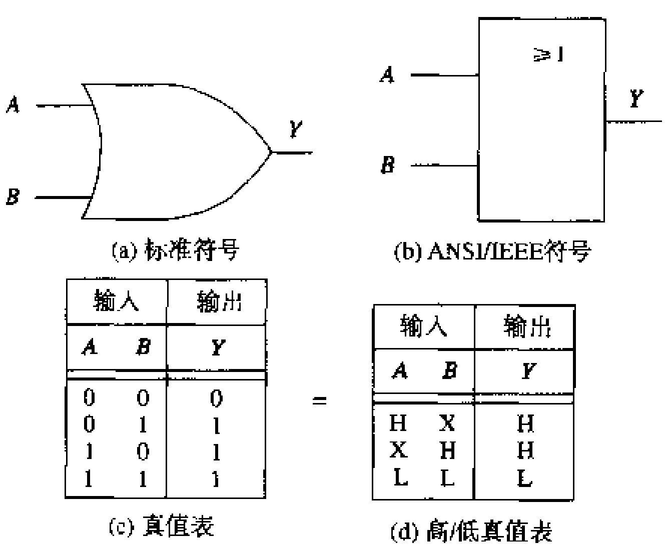
要点

1. 识别或门的逻辑符号。
2. 给出或门的逻辑符号，由所给的输入条件决定或门的输出。

如果要求当任意一个输入变量达到某一条件时，都能够得到所需的输出，就要用到或门。也就是说，如果条件 A 为真或条件 B 为真，或者条件 A 和 B 都为真，该逻辑门的输出都能够体现出至少有一个输入条件为真。如果没有任何输入条件为真，该逻辑门也能够指示出来这种情况。

这里，可以再用一次模拟汽车开门的例子。在上述情况下，或门将用于指出某一个门开着。如果司机门开着，条件 A 为真。如果乘客门开着，条件 B 为真。如果两个门都开着，则条件 A 和 B 都为真。只要有一个门开着，或门的输出就可以通过接通开门指示器指示出该状态。

图 3.4 所示的是或门的逻辑符号。图 3.4(a)是或门的标准逻辑符号，而(b)则是 ANSI/IEEE 符号。图 3.4(b)中的通用限定符（$\geqslant 1$）对或门或者或函数进行了标注。该特定的通用限定符指示：至少有一个输入有效时，输出才会有效。注意，高电平有效信号和低电平有效信号将在 3.3 节、3.5 节和 3.6 节中讨论。



(a) 标准符号　　(b) ANSI/IEEE符号

输入		输出
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(c) 真值表

=

输入		输出
A	B	Y
H	X	H
X	H	H
L	L	L

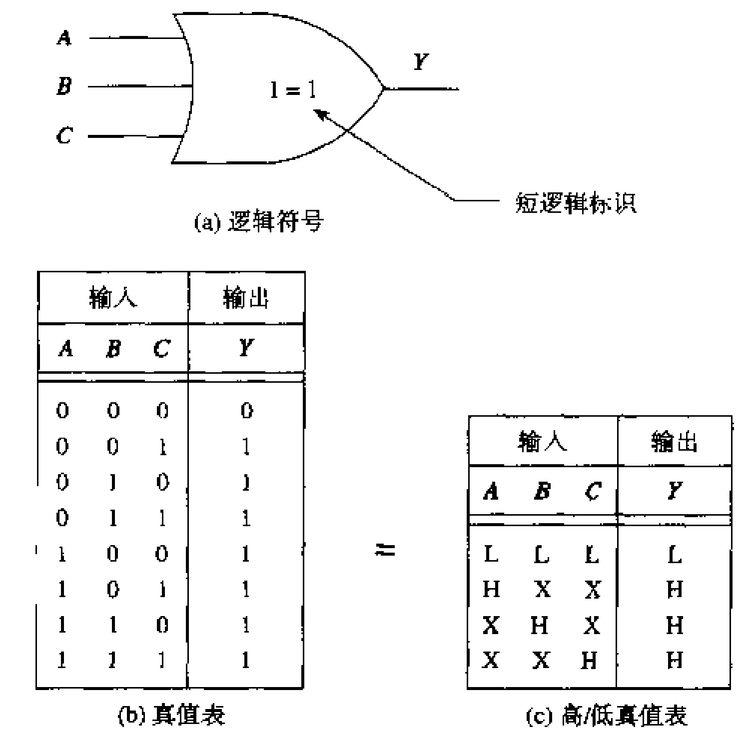
(d) 高/低真值表

图 3.4　二输入或门

图3.4中的真值表表明该逻辑门将会在输入A或B为真或输入A和B均为真时输出高电平。只有当A和B均为低时，该逻辑门的输出才为低。可以把二输入或门理解为两个开关并联。为了使能量或信号通过开关，需要有一个开关闭合或两个开关都闭合。

另一种叙述或门功能的更简单的方法是短逻辑。或门的短逻辑是“只要有一个输入为1，输出就为1”。注意，在图3.4(d)的高/低真值表中，当输入A为高时，输入B为无关项，反之亦然。可以根据或门的短逻辑思考上面这句话。

图3.5所示的是一个三输入或门及其真值表。该真值表再一次证明了或门的短逻辑是“只要有一个输入为1，输出就为1”。无论一个逻辑门的输入数目为多少，短逻辑对于任何类型的逻辑门都是适用的。



(a) 逻辑符号

输入			输出
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

(b) 真值表

=

输入			输出
A	B	C	Y
L	L	L	L
H	X	X	H
X	H	X	H
X	X	H	H

(c) 高/低真值表

图3.5　三输入或门

如果研究图3.6所示的二输入或门的组合，可以发现该电路提供的结果与图3.5中所示的三输入或门的结果相同。或门的短逻辑证明，如果A或B为高，则Y为高，因此Z也将为高。同样，无论输入A或B为什么，只要C为高，Z就为高。对图3.6(b)中真值表的分析可以证明三输入的电路将提供8种输入组合。图3.6(a)所示的逻辑电路的真值表与图3.5(b)所示的真值表完全相同。

3.2 节复习题

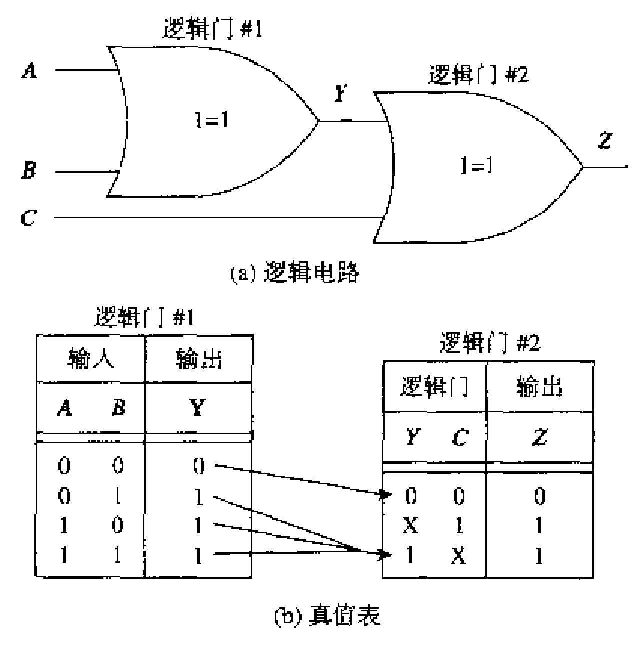
A. 画出一个二输入或门的标准逻辑符号。

B. 叙述或门的短逻辑。

C. 如果$A=0$，$B=0$，二输入或门的输出是什么？

D. 如果$A=1$，$B=1$，而$C=0$，则三输入或门的输出是什么？

E. 画出一个二输入或门的真值表，输入用A和B表示，输出用Y表示。



(a) 逻辑电路

逻辑门 #1

输入		输出
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

逻辑门 #2

逻辑门		输出
Y	C	Z
0	0	0
X	1	1
1	X	1

(b) 真值表

图 3.6 或门组合

3.3 非门

要点

1. 识别非门的逻辑符号。
2. 给出非门的逻辑符号，由所给的输入条件决定非门的输出。

最简单的数字电路是反相器。反相器经常称为非门（NOT gate）。使用这种逻辑门可以实现逻辑非的功能。逻辑非功能就是一种将输入信号转换为其互补形式并在输出端表示的方法。简而言之，它可以将逻辑0变为逻辑1，或将逻辑1变为逻辑0。这种处理常被称为非。尽管这种门不具有判定功能，但是仍把它称为逻辑门。

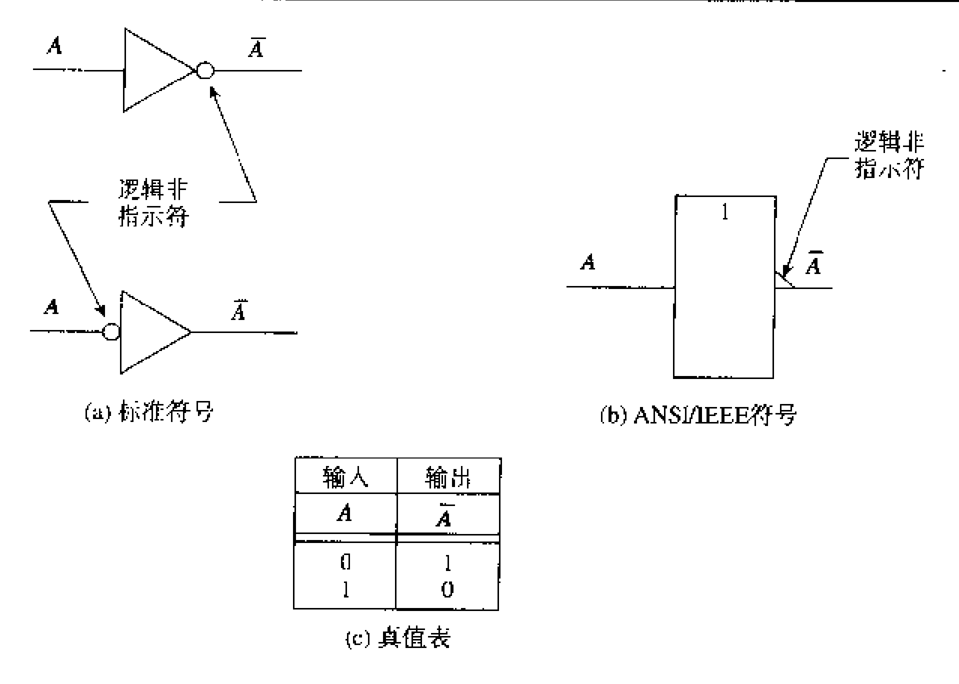
图3.7所示的是非门的逻辑符号。图3.7(a)中的每个标准符号中的圆圈代表的就是反相，并且常被称为非指示符。注意，图中的圆圈既可以放在非门符号的输入端，也可以放在输出端。在第4章中，将讨论关于圆圈放在不同位置的意义。但是，无论在哪个位置，圆圈表示的都是反相。

图3.7(b)所示的ANSI/IEEE符号显示了一个输入（A）和一个输出（$\overline{A}$）。输出端的符号$\overline{A}$带有一条横线，它是一个标志符，用来指示反相输出或指示低电平有效输出。

图3.7(c)所示的真值表表明，如果$A=0$（输入），则$\overline{A}=1$（输出）；如果$A=1$，则$\overline{A}=0$。因为加到反相器输入端的信号标为A，所以从逻辑关系上而言，输出就必然是$\overline{A}$。输出变量$\overline{A}$上的横线表明对输入变量A求反。$\overline{A}$一般读为A非。有时，也用符号（'）代替横线。这时，可以把信号分别称为原A、A非或A杠，最常用的是A非。

该电路的输入标为A，字母A是任选的，也可以标为其他字母或字母组合。例如，MEMR就在许多计算机中用于表示“存储器读”信号。如果图3.7(a)或图3.7(b)所示的反相器的输入标为MEMR，则其输出将被标记为$\overline{\text{MEMR}}$。

用字母标识信号的方法有时称为助记符。助记符是指那些用来在系统中命名或标识一条线或一个输入/输出信号的字母。如果这些字母有助于识别某一条系统线的用法，则将其称为助记符。上面用到的MEMR就是助记符的一个很好的例子。



输入	输出
A	$\bar{A}$
0	1
1	0

(c) 真值表

图 3.7 反相器

由于在数字电路中只使用两种逻辑电平，所有有效的信号必须是逻辑0（低电平）或逻辑1（高电平）。在数字系统中的许多电路中都要求有一个特定的信号电平作为器件的时钟，或关闭/开启该器件。有时，在系统的某一点上要求用一个低电平来关闭器件，而在同一个系统的其他某个点上又有可能要求将此信号反相为高电平，以开启一个逻辑门或其他的电路/器件。

首先，可以举一个微处理器复位（RESET）输入信号的例子。在数字计算机中，微处理器是其中央处理器（CPU），它可以对指令进行译码并控制系统。一些微处理器的RESET信号被作为一个有效信号。单词RESET上不加横线表明该信号是一个高电平有效信号。该信号的名字就隐含着（而且也确实意味着）该信号必须被设置为高电平才能复位微处理器。在微处理器正常工作的绝大多数时间里，RESET信号都处于低电平状态。然而，一旦它变为高电平，微处理器就会被复位。这种复位条件将使微处理器立即终止当前的活动并重新启动。当计算机电源发生短暂中断时，总会引起由RESET信号变为高电平（有效）造成的复位状态。

在计算机中，有些地方的复位信号必须是低电平才能完成复位功能。当需要低电平有效信号时，RESET信号要被送到如图3.8所示的反相器，以产生低电平信号。反相器的输出$\overline{\text{RESET}}$表示该信号现在是低电平有效信号。从非门的输出端得到的复位信号可用于所有需要低电平有效的输入端，以实现初始化的复位操作。

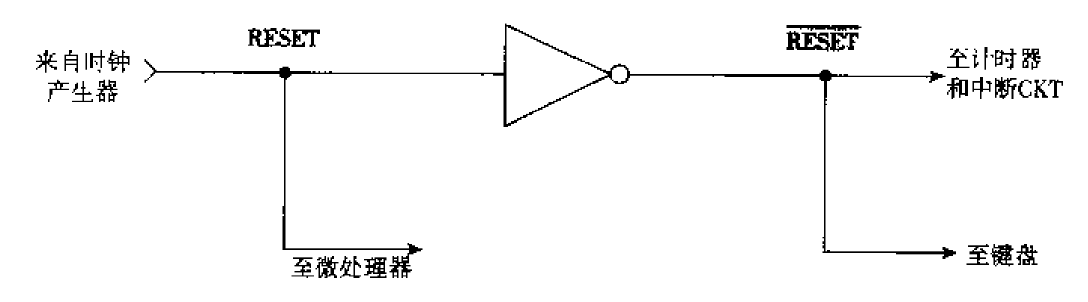


图 3.8 复位反相器

下面的例子用到了高电平有效的复位信号RESET和低电平有效的复位信号$\overline{RESET}$。如表3.1所示，当一个信号处于有效电平时，称为被“置有效”（asserted）。

表 3.1　置有效信号电平

信号	有效电平	信号电平		条件
RESET	H	1	=	置有效电平
RESET	H	0	=	未置有效电平
$\overline{RESET}$	L	0	=	置有效电平
$\overline{RESET}$	L	1	=	未置有效电平

注意：所有上面没有带横线的信号都是高电平有效的。当它们为逻辑1时，被置有效。所有上面带横线的信号都是低电平有效信号。当它们为逻辑0时，被置有效。

有时，当一个信号为高电平时可以完成某一个操作，当该信号为低电平时可以完成另一个操作。标为 $RD/\overline{WR}$ 的信号线就是这样一个例子。该信号允许一个计算机在该信号线为高电平时读寄存器，为低电平时写寄存器。在这种情况下，该信号就有两种有效电平。

3.3 节复习题

A. 画出非门的标准逻辑符号。

B. 画出非门的真值表。

C. 当在某个字母上面画上一道横线时，表示什么意思？

D. 叙述“置有效”的定义。

E. 信号 $\overline{MEMR}$ 的有效电平是什么？

阶段性小结（3.1 节～3.3 节）

逻辑门用于数字电路中作为判断电路。

在数字电路中共有3种基本的逻辑功能：与、或和非。

短逻辑是一套简单的规则，能够指明逻辑门的输入、输出之间的关系。

与门用于辨别是否所有的输入条件都满足要求。

与门的短逻辑是“只要有一个输入为0，输出就为0”。

真值表（函数表）指明了逻辑门/电路的工作过程规律。真值表列出了逻辑门/电路可能存在的每一种输入组合，以及对应于每种输入组合的输出信号。

以逻辑门的输入线的数目为指数，求2的幂即可得到一个逻辑门可能存在的所有输入组合的总数。

逻辑门的无关输入指的是，无论该输入是高电平还是低电平都无关紧要。无关输入不会影响逻辑门的工作过程结果。在真值表中，无关输入用 X 表示。

当要表示任意一个输入满足条件时，需要使用或门。

或门的短逻辑是“只要有一个输入为1，输出就为1”。

逻辑门的短逻辑与该逻辑门的输入数目无关。与门的短逻辑“只要有一个输入为0，输出就为0”，对于八输入与门和对于二输入或三输入与门同样正确。

反相器，常称为非门，可以提供信号的反相信号。反相处理有时称为“非”。用标准逻辑门符号上的圆圈来标识反相。这个圆圈称为非指示器。

字母或字母组上面的横线（¯）表示该信号经过了逻辑非处理。$\bar{A}$通常读为"A非"或"A杠"。

信号被置有效是指它处于有效电平。当一个信号被置有效时，通常指其将要完成某一项功能。高电平有效信号是指当它处于逻辑1时，该信号有效。低电平有效信号是指当它处于逻辑0时，该信号有效。RESET信号就是这样的一个例子。如果信号被标记为RESET，则当该信号处于高电平时，将使某个电路复位。如果信号被标记为$\overline{RESET}$，横线表明该信号是低电平有效的。这表示当该信号为低电平时，将使某个电路复位。

阶段性练习（3.1节～3.3节）

1. 图3.9所示的逻辑符号表示一个二输入________门。
   a. 或
   b. 与
   c. 非
2. 或门的短逻辑为
   a. 只要有一个输入为0，输出就为0。
   b. 只要有一个输入为0，输出就为1。
   c. 只要有一个输入为1，输出就为1。
   d. 只要有一个输入为1，输出就为0。
3. 图3.10所示的ANSI/IEEE符号表示一个________门。
   a. 或
   b. 与
   c. 非

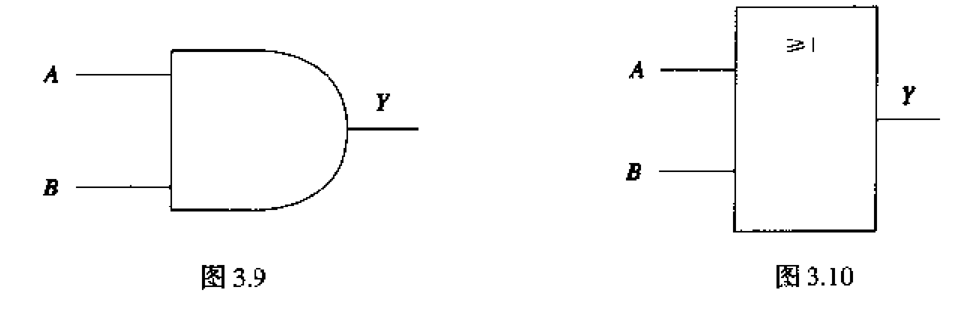


图3.9　　　　图3.10

4. 只有当所有的输入都是高电平信号时，与门的输出才为逻辑1。
   a. 对
   b. 错
5. 只有当所有的输入都是高电平信号时，或门的输出才为逻辑1。
   a. 对
   b. 错
6. 一个五输入逻辑门有多少种不同的输入组合？
   a. 4
   b. 8
   c. 16
   d. 32

7. 与函数可以看成是并联的两个开关。
   a. 对
   b. 错
8. 如果一个二输入与门的输入 A 为低电平，则输入 B 是一个无关输入。
   a. 对
   b. 错
9. 在真值表中，无关输入用 X 表示。
   a. 对
   b. 错
10. 与门的短逻辑是
   a. 只要有一个输入为 1，输出就为 0。
   b. 只要有一个输入为 1，输出就为 1。
   c. 只要有一个输入为 0，输出就为 1。
   d. 只要有一个输入为 0，输出就为 0。
11. 反相器常被称为非门。
   a. 对
   b. 错
12. 非门标准符号上的非指示器（圆圈）可以放在该逻辑门的输入端或输出端。
   a. 对
   b. 错
13. 图 3.11 所示的逻辑符号代表一个________门。
   a. 或
   b. 与
   c. 非

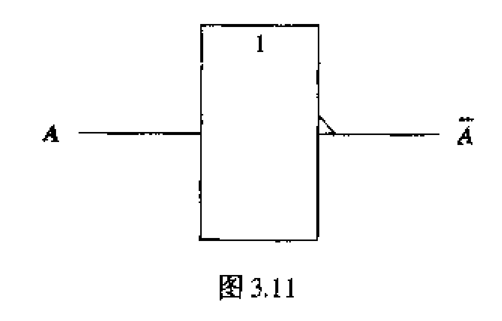


图 3.11

14. 缩写词 MEMR 表示________。
   a. 低电平有效信号
   b. 高电平有效信号
15. 当 $\overline{RESET}$ 为逻辑 0 电平时，是指________。
   a. 置有效
   b. 未置有效

3.4　与、或、非组合逻辑电路

要点

1. 说明将短逻辑变为$\overline{\text{短逻辑}}$的规则。
2. 给出包含与、或、非门的组合逻辑电路的逻辑图，在给出输入条件下确定电路的输出。

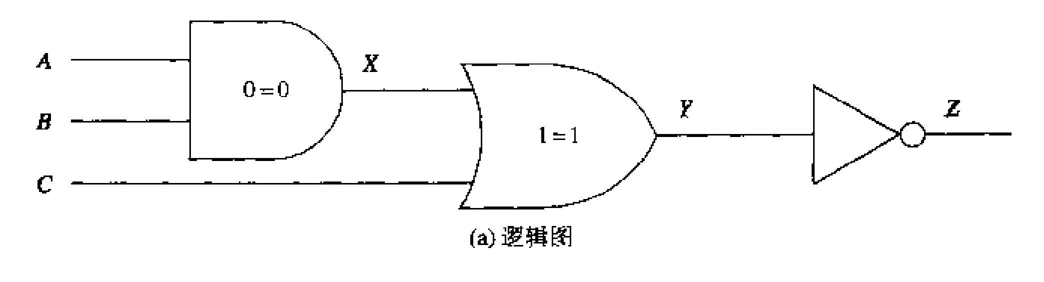
从与门的短逻辑来看，可以推出该逻辑门的另一个公理。这个概念称为$\overline{\text{短逻辑}}$（注意上面的横线）。与门的短逻辑是“只要有一个输入为0，输出就为0”。$\overline{\text{短逻辑}}$的规则是将“只要有一个输入”改为“所有输入”，并将输入和输出的电平反相。这样，可以得到与门的$\overline{\text{短逻辑}}$概念为“所有输入为$\overline{0}$，输出才为$\overline{0}$”。

在对二进制数进行操作时，需要记住的另一个事实是$\overline{0}=1$。也就是说，如果信号不为0，则它一定是1。同理，$\overline{1}=0$。

由于$\overline{0}=1$，与门的$\overline{\text{短逻辑}}$变为“所有输入为1，输出才为1”。该逻辑对所有的与门都适用。而且，$\overline{\text{短逻辑}}$的概念也可以应用于所有类型的逻辑门。

如果知道或门的短逻辑，就应该能够迅速将其转换为$\overline{\text{短逻辑}}$。或门的短逻辑为“只要有一个输入为1，输出就为1”，它可以转换为“所有输入为$\overline{1}$，输出才为$\overline{1}$”，而这与“所有输入为0，输出才为0”是一样的。或门的真值表可以证明该公理是正确的。

对图3.12所示的组合逻辑电路进行分析时，为了确定真值表中的输出Y和Z，就使用了短逻辑。稍后可以看到另一种简单的分析方法，但是目前还要使用短逻辑的概念。为了分析方便，在图3.12(a)的与门和或门中已经标出了各自的短逻辑。



(a) 逻辑图

A	B	C	Y	Z
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

(b) 真值表

图3.12　组合逻辑电路

1. 条件 $A=0$，$B=0$，$C=0$。
   与门的输出（X）为0。注意，这里的X表示的是该逻辑门的输出，而不是一个无关条件。由于 $X=0$ 和 $C=0$ 输入到或门，由"所有输入为0，输出才为0"可知，或门的输出为0。这样，正如图3.12(b)所示，反相器（非门）输出的结果为1。
2. 条件 $A=0$，$B=0$，$C=1$。
   与门的输出 X 为0。然而，由于 $C=1$，或门的输出 Y 为1。因此，在这种情况下，或门的输入 X 就变成一个无关项。输出 Y 为逻辑1，它反相后为 $Z=0$。
3. 条件 $A=0$，$B=1$，$C=0$。
   与门的输出 X 为0。由于或门的两个输入都为0，所以它的输出（Y）也为0。因此，输出 Z 必然是1。

花几分钟的时间分析该电路的其余五种输入组合。如果能够顺利地进行这种分析，而且结果与图3.12(b)中真值表所示的 Y 和 Z 相同，就可以继续下面的学习内容。如果进行这种分析时有问题，可以按3.1节、3.2节和3.3节的顺序进行快速复习。

3.4 节复习题

A. 将短逻辑变为$\overline{\text{短逻辑}}$的基本规则是什么？

B. $\overline{1}=0$

(1) 对

(2) 错

C. $\overline{\text{短}}$逻$\overline{\text{辑}}$的概念只能应用于与门。

(1) 对

(2) 错

D. 与门的$\overline{\text{短逻辑}}$是什么？

E. 写出图3.13所示电路的真值表，要求表示出对应该电路所有输入组合的输出 Y 和 Z。

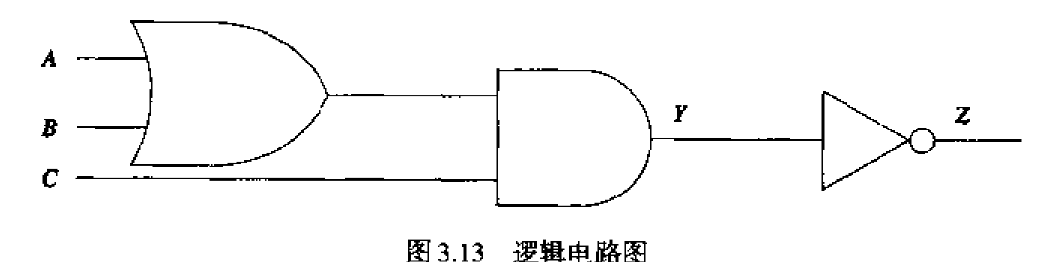


图3.13 逻辑电路图

3.5 与非门

要点

1. 识别与非门的逻辑符号。
2. 给出一个与非门的逻辑符号，由所给的输入条件决定与非门的输出。

有时候，在数字电路中需要使用与门的功能，但是希望在输出端得到低电平有效的逻辑电平。前面已经讲过，当所有的输入都为高电平时，与门的输出才为高电平。因此，与门的输出称为高电平有效输出。只要在与门的输出端加一个反相器，就可以很简单地改变与门输出的有效电平。该方法如图3.14所示。在该电路中，只有当输入A和B均为高电平时，输出（Y）才会是低电平。所有其他的输入组合都将在非门的输出端产生一个高电平信号。在该电路中，低电平输出信号才是有效输出电平，高电平输出是无效输出。

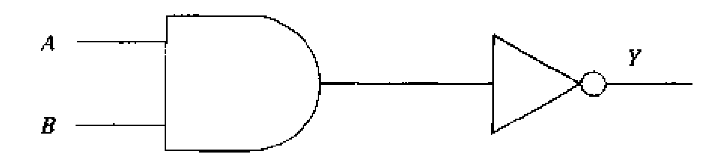
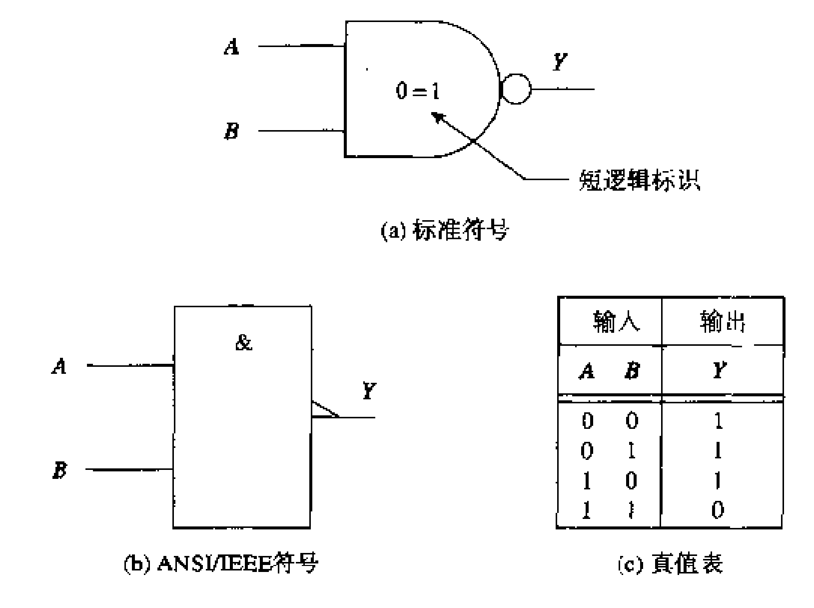


图3.14　带反相器的与门

为了用一种更简单的方法来解决这个问题，而不是再额外加一个逻辑门，已经专门设计出了与非门（NAND）。图3.15显示了与非门的逻辑符号和真值表。注意，在图3.15(a)所示的标准逻辑符号的逻辑门输出端的圆圈（非指示符）。该圆圈表示对经过逻辑与操作后的信号进行的反相操作是与非门的一种功能，并且是一种内含的功能。该圆圈代替了图3.14中外加的非门，并使与非门的输出是低电平有效。在图3.15(b)的ANSI/IEEE符号中，Y输出端的对角斜线是表明输出为低电平有效的标记。



(a) 标准符号

输入		输出
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

(b) ANSI/IEEE符号　　(c) 真值表

图3.15　二输入与非门

与门和与非门之间的惟一区别是，在与非门中，经过逻辑与操作后的信号还要反相，因此可以很容易地得到与非门的短逻辑。首先，从与门的短逻辑入手。由于经过逻辑与操作后的信号还要反相才最终输出，所以短逻辑就是“只要有一个输入为0，输出就为$\overline{0}$”。注意，与门的短逻辑和与非门的短逻辑之间的惟一区别是，与非门输出端的短逻辑电平反相了。只要在逻辑门符号上看见圆圈或对角斜线，就可以很容易地记住与非门的短逻辑。“只要有一个输入为0，输出就为$\overline{0}$”与“只要有一个输入为0，输出就为1”是相同的。图3.15(c)所示的与非门的真值表证明了这个短逻辑。

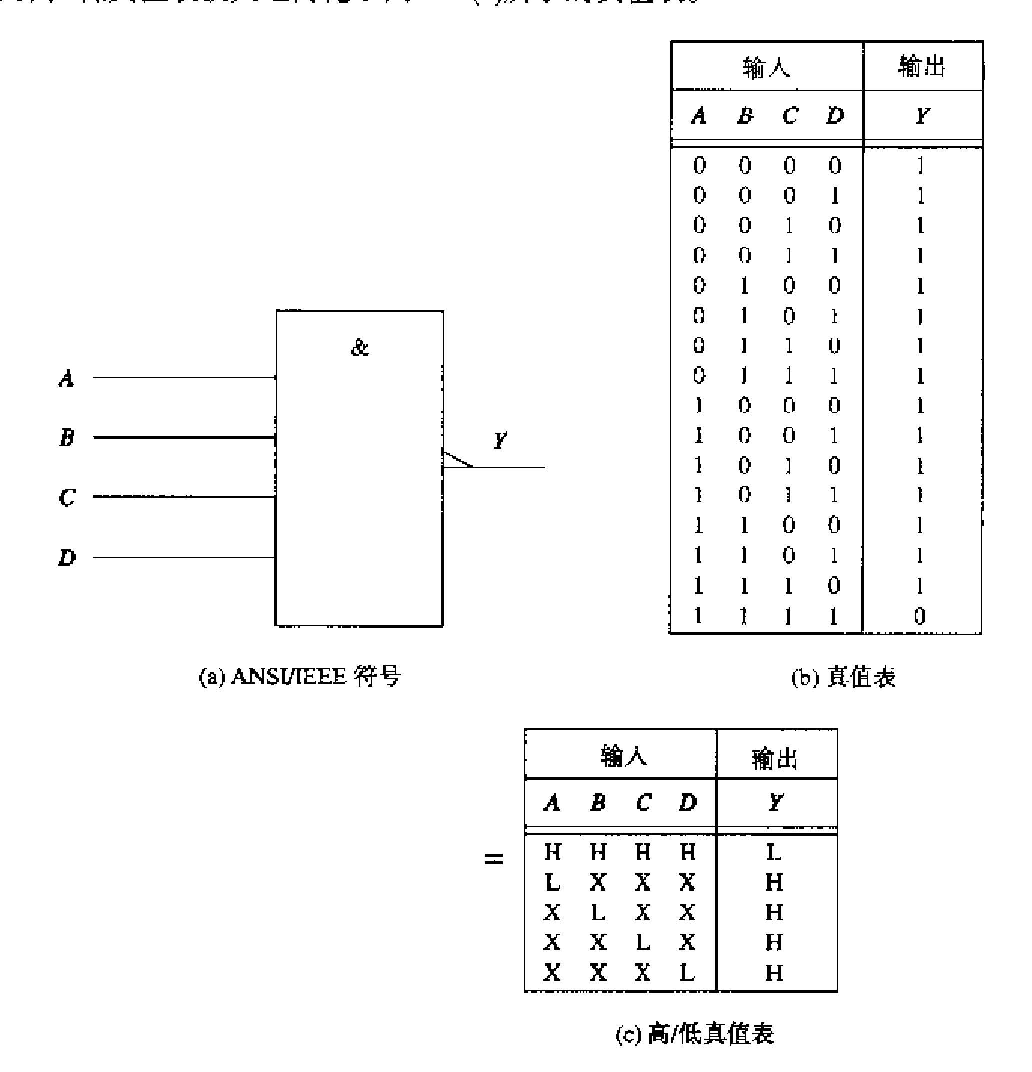
正如把与门的短逻辑变为短逻辑一样，与非门的短逻辑也能够以完全相同的方式变为短逻辑，只要将“只要有一个”变为“所有”，并对输入和输出的逻辑电平都进行反相即可。这样，与非门的短逻辑就变为“所有输入为$\overline{0}$，输出才为$\overline{1}$”。还可以将其变为“所有输入为1，输出才为0”。

由与门和与非门的真值表（如图3.16所示）可以看出，两个逻辑门的输出电平正好相反。自然，这是因为与非门的输出端反相了。只有当输入A和B都是高电平时，与门的输出才是有效的高电平。只有当满足同样的条件时，与非门的输出才会变成有效的低电平。对这两个逻辑门而言，其他三种输入组合所输出的都是无效电平。

输入		与门的输出	与非门的输出
A	B	Y	Z
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

图3.16 与门/与非门真值表

图3.17所示的是一个四输入与非门的ANSI/IEEE符号和真值表。注意，图3.17(c)所示的使用无关输入项的高/低真值表极大地简化了图3.17(b)所示的真值表。



(a) ANSI/IEEE 符号

输入				输出
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

(b) 真值表

=

输入				输出
A	B	C	D	Y
H	H	H	H	L
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H

(c) 高/低真值表

图3.17 四输入与非门

3.5 节复习题

A. 画出一个二输入与非门的标准逻辑符号。

B. 说出与非门的短逻辑。说出与非门的短逻辑。

C. 如果 $A=0$ 且 $B=1$，与非门的输出是什么？

D. 如果 $A=1$ 且 $B=1$，与非门的输出是什么？

E. 画出一个三输入与非门的真值表，用 A，B 和 C 表示输入，用 Y 表示输出。

3.6 或非门

要点

1. 识别或非门的逻辑符号
2. 给出一个或非门的逻辑符号，由所给的输入条件决定或非门的输出。

有一些数字电路要求或函数的输出为低电平有效。前面已经讲过，任何一个输入为高电平，则或门的输出就为有效高电平。可以再使用一次反相器来完成这种有效电平的转换，如图3.18所示。不过，如果使用或非门，则可以更简单地解决这个问题，因为在或非门中电平的转换是在内部完成的

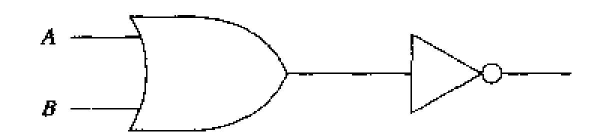
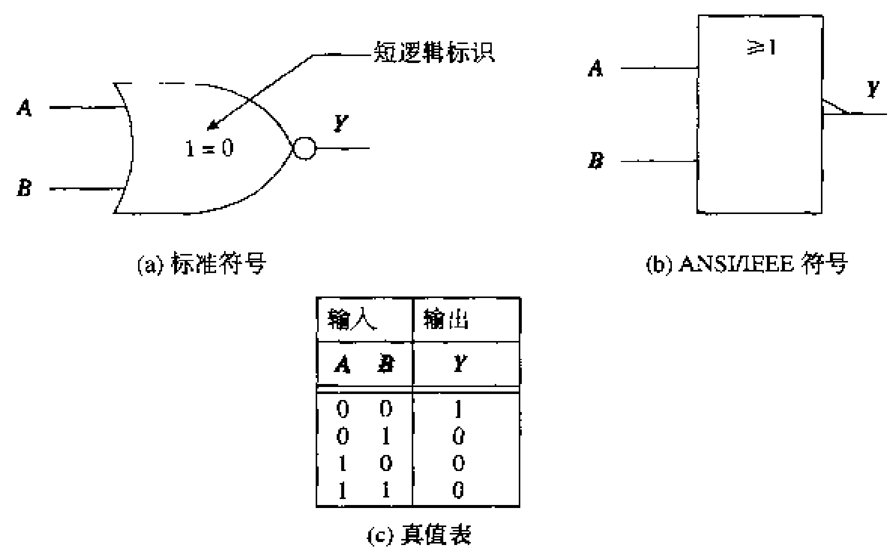


图 3.18 带有反相器的或门

图 3.19 所示的是或非门的逻辑符号和真值表。在图 3.19(a)中的逻辑门输出端所加的圆圈（非指示符）表示电平转换。圆圈表示经过或运算后的信号转换是或非门的一个内置功能。图 3.19(b)中的通用限定符（≥1）代表或功能，输出端（Y）的对角斜线代表或非门的电平转换功能（低电平有效输出）。



(a) 标准符号

(b) ANSI/IEEE 符号

输入		输出
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

(c) 真值表

图 3.19 二输入或非门

或门和或非门之间的惟一区别是，在或非门中对经过或运算的信号还要进行电平转换。由或门的短逻辑可以得到或非门的短逻辑。或门的短逻辑是“只要有一个输入为1，输出就为1”，由于或非门对电平的转换功能，或非门的短逻辑可以变为“只要有一个输入为1，输出就为$\overline{1}$”。记住，在该短逻辑中，输出逻辑电平经过了逻辑非的操作。这样，或非门的短逻辑就成为“只要有一个输入为1，输出就为0”。图3.19(c)所示的或非门的短逻辑证实了这一点。只要看见或非门符号上的圆圈或对角斜线，就可以很容易地由或门的短逻辑推出或非门的短逻辑。

由前面讨论的规则，该短逻辑还可以变为$\overline{\text{短逻辑}}$。可以推出，$\overline{\text{短逻辑}}$为“所有输入为0，输出才为1”。

为了便于比较，或门和或非门的真值表都显示在图3.20中。由于对输出电平的转换，或非门的输出电平与或门刚好相反。只要有一个输入条件为真，或门的输出就是有效的高电平；只要有一个输入条件为真，或非门的输出就是有效的低电平。

输入		或门输出	或非门输出
A	*B*	*Y*	*Z*
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

图3.20 或门/或非门的真值表

3.6节复习题

A. 画出一个二输入或非门的标准逻辑符号和ANSI/IEEE符号。

B. 说出或非门的短逻辑。说出或非门的$\overline{\text{短逻辑}}$。

C. 如果$A=1$且$B=1$，一个二输入或非门的输出是什么？

D. 如果$A=0$且$B=0$，一个二输入或非门的输出是什么？

E. 如果$A=0$，$B=0$，$C=0$，$D=1$，一个四输入或非门的输出是什么？

阶段性小结（3.4节～3.6节）

为了得到一个逻辑门的$\overline{\text{短逻辑}}$，其规则为：将该逻辑门短逻辑中的“只要有一个”变为“所有”，并将短逻辑中的输入、输出电平都取反。

在掌握逻辑图之前，应该在逻辑图的每个逻辑门上标注出其短逻辑，以帮助分析电路。

$\overline{0}=1$，$\overline{1}=0$。

与非门的短逻辑是“只要有一个输入为0，输出就为1”。通过使用与门的短逻辑，并对与门的输出进行反相处理，即可得到该短逻辑。与非门的反相功能要求对输出进行逻辑非处理。

与非门的$\overline{\text{短逻辑}}$是“所有输入为1，输出才为0”。

在同样的输入条件下，与非门的输出逻辑电平总是和与门的输出逻辑电平相反。

或非门的短逻辑是“只要有一个输入为1，输出就为0”，其$\overline{\text{短逻辑}}$是“所有输入为0，输出才为1”。

在同样的输入条件下，或非门的输出逻辑电平总是和或门的输出逻辑电平相反。

图3.21显示了上面讨论过的除非门以外的所有逻辑门的短逻辑和$\overline{\text{短逻辑}}$。非门的操作太简单，不需要短逻辑。

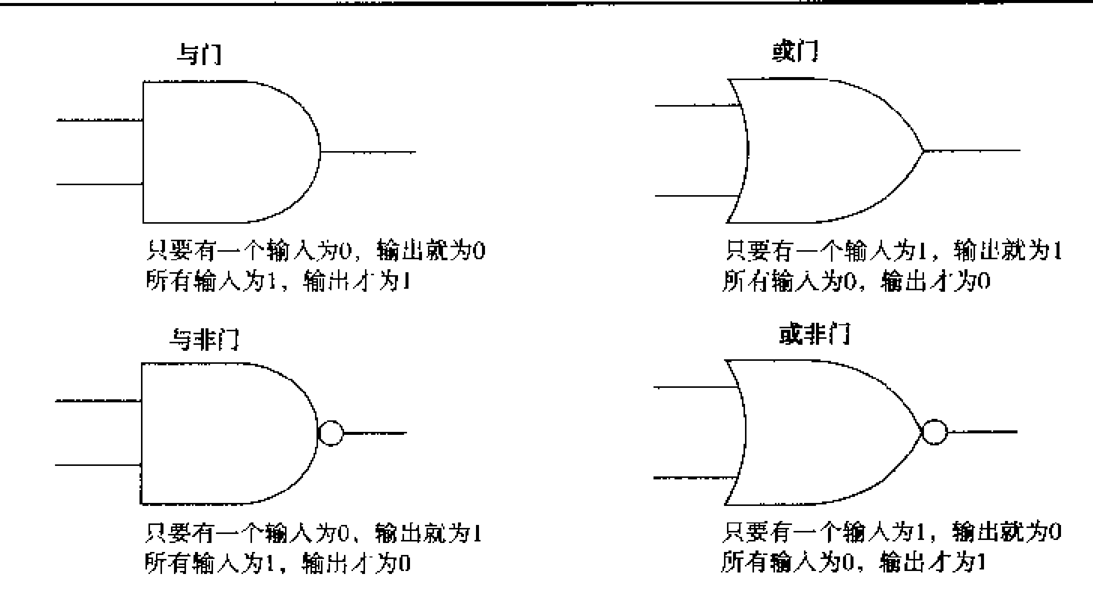


图 3.21　短逻辑和$\overline{\text{短逻辑}}$

阶段性练习（3.4 节 ~ 3.6 节）

1. 与门的$\overline{\text{短逻辑}}$是
   a. 只要有一个输入为 0，输出就为 0。
   b. 只要有一个输入为 1，输出就为 1。
   c. 所有输入为 0，输出才为 0。
   d. 所有输入为 1，输出才为 1。
2. 或门的$\overline{\text{短逻辑}}$是
   a. 只要有一个输入为 0，输出就为 0。
   b. 只要有一个输入为 1，输出就为 1。
   c. 所有输入为 0，输出才为 0。
   d. 所有输入为 1，输出才为 1。
3. 图 3.22 所示的标准逻辑符号表示的是一个________门。
   a. 或
   b. 与
   c. 或非
   d. 与非

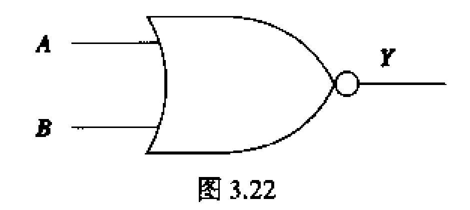


图 3.22

4. 图 3.23 所示的 ANSI/IEEE 符号表示的是一个________门。
   a. 或
   b. 与
   c. 或非
   d. 与非

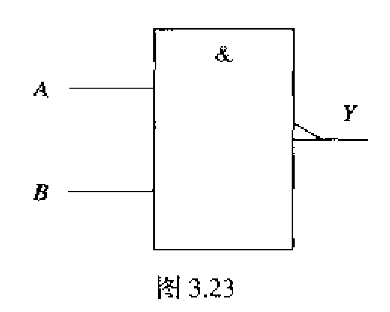


图 3.23

5. 与非门标准符号上的圆圈表示反相。
   a. 对
   b. 错
6. 或非门的短逻辑是
   a. 只要有一个输入为 0，输出就为 0。
   b. 只要有一个输入为 1，输出就为 1。
   c. 只要有一个输入为 0，输出就为 1。
   d. 只要有一个输入为 1，输出就为 0。
7. 与非门的短逻辑是
   a. 只要有一个输入为 0，输出就为 0。
   b. 只要有一个输入为 1，输出就为 1。
   c. 只要有一个输入为 0，输出就为 1。
   d. 只要有一个输入为 1，输出就为 0。
8. 如果 $A=0$，$B=0$，$C=0$，一个三输入与非门的输出是什么？
   a. 逻辑 0
   b. 逻辑 1
9. 如果 $A=1$，$B=1$，$C=1$，一个三输入与非门的输出是什么？
   a. 逻辑 0
   b. 逻辑 1
10. 如果 $A=0$，$B=0$，$C=0$，一个三输入或非门的输出是什么？
   a. 逻辑 0
   b. 逻辑 1

3.7 逻辑电路的动态工作过程

要点

1. 定义静态工作过程和动态工作过程。
2. 给出一个逻辑门的符号及其输入时序波形，画出该逻辑门的输出波形。
3. 定义使能端和禁止端。
4. 辨别能够使能或禁止与门、或门、与非门和或非门的逻辑电平。

前面讲述的逻辑门的工作过程都是在输入为静态条件下进行的。换句话说，逻辑门的输入设定在某一个逻辑电平，并在电路分析期间保持不变。通常这种情况称为静态工作过程。

实际上，绝大多数情况下逻辑门的输入都是在不断改变的，这种情况称为动态工作过程。如果使用短逻辑或短逻辑，则利用时序图进行动态分析的过程并不复杂。

这里提供了另一种学习逻辑门工作过程的简单方法，用来作为补充内容，以保证在学习动态分析前充分理解逻辑门的工作过程。

如果逻辑门的输入和输出是以高、低电平的形式进行讨论的，并且与逻辑函数直接相关，则可以得到一些非常简单的短逻辑和短逻辑的概念。在进行此类分析时，必须牢记两点：

1. 只有两个逻辑函数需要考虑：与函数和或函数。
2. 如果在输入端或输出端没有圆圈符号，则将输入或输出看成高电平。如果在输入端或输出端有圆圈符号，则将输入或输出看成低电平。

图3.24(a)所示的与门可以用上述的两个步骤进行分析，具体过程如下：

如果输入 A（无圆圈）为高电平，输入 B 也是高电平（无圆圈），两者相与输出将为高电平（无圆圈）。

图3.24(b)所示的与非门的分析过程为：

如果输入 A（无圆圈）为高电平，输入 B 也是高电平（无圆圈），输出将为低电平（输出端有圆圈）。

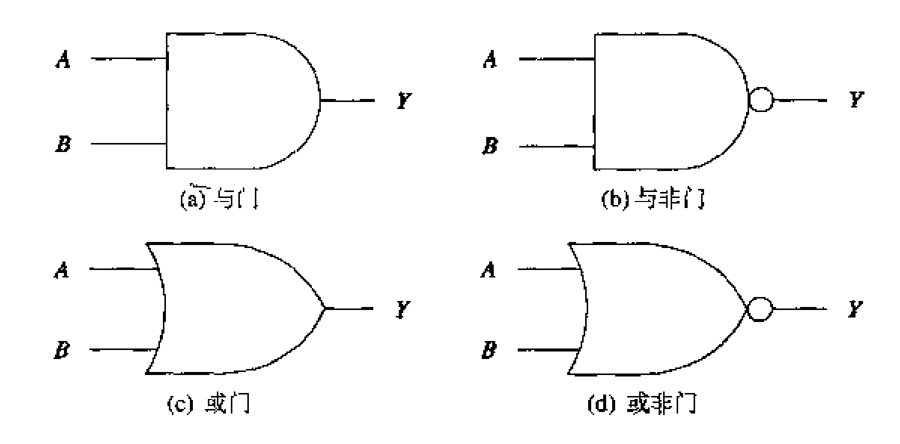


图3.24 逻辑门工作过程概述

在上面的分析中，因为在两个逻辑门的输入端都没有圆圈，所以输入均为高电平。由于在逻辑门的输入端没有圆圈，所以如果与门的两个输入都是高电平，则可以断定输出为高电平。由于输出端都有圆圈标志，所以与非门的输出为低电平。

上述分析过程也可以用于图3.24(c)所示的或门，具体分析过程为：

如果输入 A 为高电平，或输入 B 为高电平，则输出将为高电平。

同样，图3.24(d)所示的或非门的分析为：

如果输入 A 为高电平，或输入 B 为高电平，则输入将为低电平。

前面的类推和与门的“所有”规则以及或门的短逻辑“只要有一个”规则直接相关。

3.7.1 与门

图3.25显示了与门及其输入、输出的波形。这里的任务是证明输出端的波形是正确的。如果输出正确，则可以认为该逻辑门工作过程正常。

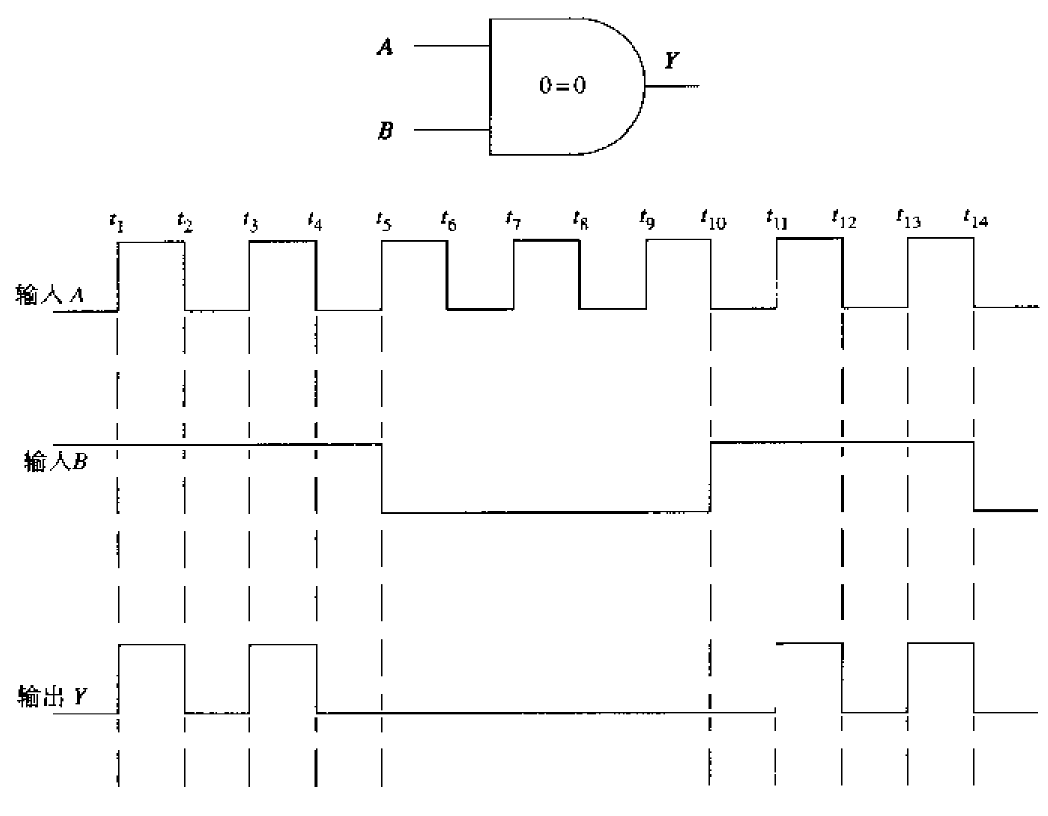


图 3.25 与门的动态工作过程

我们从时刻 t_1 开始分析：

t_1~t_2：此时输入 A 和 B 均为高电平，因此输出为高电平。记住，该逻辑为“所有输入为 1，输出才为 1”。

t_2~t_3：此时输入 A 为低电平，根据逻辑“只要有一个输入为 0，输出就为 0”。可得，此时的输出为低电平。

t_3~t_4：此时输入 A 和 B 均为高电平，因此输出为高电平。

t_4~t_5：此时输入 A 为低电平，所以此时的输出为低电平。

t_5~t_{10}：在此期间，输入 B 为低电平，该逻辑门的短逻辑表明，在此期间输出应该一直为低电平。实际上，由于在此期间输入 B 为低电平，输入 A 是一个无关项。

t_{10}~t_{11}：输入 A 为低电平，输出应该为低电平。

t_{11}~t_{12}：输入 A 和 B 均为高电平，因此输出为高电平。

t_{12}~t_{13}：输入 A 为低电平，输出应该为低电平。

t_{13}~t_{14}：输入 A 和 B 均为高电平，因此输出为高电平。

一旦习惯了这种动态分析，就会自动地去寻找短逻辑条件。对于与门，“所有输入为 1，输出才为 1”相对而言是比较容易找到的一个条件。看一下图 3.25 可以发现，高电平输出只出现在 t_1~t_2，t_3~t_4，t_{11}~t_{12} 和 t_{13}~t_{14} 等时间段。只要分析时换用其他逻辑门的短逻辑，这种波形分析方法就可以适用于所有类型的逻辑门的分析。

从图 3.25 中还可以得到更重要的两点启示。首先，可以发现当输入 A 被允许通过逻辑门时，A 被传送到该与门的输出端，并且没有反相。观察图 3.25 中 t_1~t_5 时间段和 t_{10}~t_{14} 时间段与门的输出，

这一点表现得非常明显。其次，当输入B为高电平时，输入A才能够被允许通过该逻辑门；当B为低电平时，输入A将被禁止通过该逻辑门。

在该逻辑电路中，可以把输入B称为控制输入，它可以决定输入A的信号是否被允许通过该逻辑门。如果B输入端的控制输入信号为高电平，则A输入端的信号将通过该逻辑门，不发生反相，该逻辑门此时是被使能的。当一个逻辑门被使能时，它就可以被激活，并允许通过信号。

当输入B的控制输入信号为低电平时，输出为低电平。因此，A输入端的输入信号不能传到该逻辑门的输出端。在这种情况下，当B输入端的信号为低电平时，与门就被禁止了。当一个逻辑门被禁止时，它就变得无效了，其他的输入信号就不能被传到输出端。实际上，当与门因为某一个输入为逻辑0而被禁止时，其他输入就变成了无关输入。

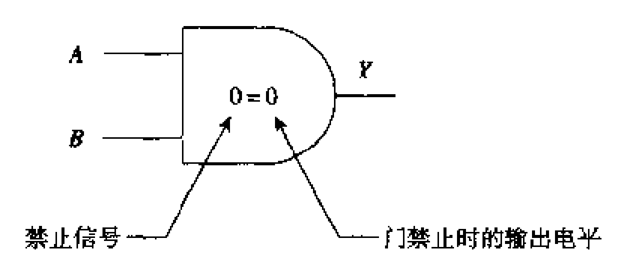
如果一个逻辑电平能够激活一个逻辑门，即允许它传输信号，则称该电平的信号为使能信号。如果一个逻辑电平禁止了一个逻辑门，即不允许它传输信号，则称该电平的信号为禁止信号。

熟练掌握哪一个逻辑电平禁止或使能哪些逻辑门是非常必要的。因为这些信息已经都包含在逻辑门的短逻辑中，所以了解这些逻辑电平还是很容易的。短逻辑的输入电平（对与门而言就是“只要有一个输入为0”）总是能够表示出该逻辑门的禁止信号。与门的禁止信号就是逻辑0。当某一个逻辑门被禁止时，短逻辑的输出电平（对与门而言就是“输出就为0”）总是表示该逻辑门的输出逻辑电平。

上面的基本知识可以应用于我们所研究的所有逻辑门。也就是说，输入短逻辑电平总是表明了禁止电平。当某一个逻辑门被禁止时，输出短逻辑电平总是表明了该逻辑门的输出电平。

而且，由于我们使用的是二进制电路，只存在两种逻辑电平，所以，如果逻辑0是与门的禁止信号，则逻辑1必然就是使能信号。很容易就可以想到，可以用逻辑0禁止一个逻辑门，必然就可以用逻辑1激活该逻辑门。但是，必须牢记的是，对与门而言，逻辑0是禁止信号，但对其他类型的逻辑门它很可能是使能信号。这就是为什么必须依靠逻辑门的短逻辑的指导，直到能够非常熟练地使用使能信号和禁止信号的概念。

如果在一个逻辑门的逻辑符号上标注了其短逻辑（如图3.26所示），那么立即就可以知道该逻辑门是如何工作的，即它的禁止信号是什么，当它被禁止时输出信号是什么，以及它默认的使能信号是什么。注意，使能信号总是禁止信号的补码。



使能信号 = $\overline{\text{禁止信号}} = \overline{0} = 1$

图3.26 与门的禁止信号/使能信号

3.7.2 或门

图3.27显示了或门及其输入、输出的波形。这个三输入电路的分析如下：

t_1~t_2：此时，输入 A 为高电平，因此输出为高电平。记住，或门的短逻辑“只要有一个输入为 1，输出就为 1”表明输出应该为高电平。

t_2~t_3：此时，三个输入均为低电平，因此输出应该为低电平。该逻辑门的$\overline{\text{短逻辑}}$“所有输入为 0，输出才为 0”。可以证明这一点。

t_3~t_4：此时，输入 A 为高电平，因此输出应该为高电平。

t_4~t_5：此时，三个输入均为低电平，所以此时的输出为低电平。

t_5~t_6：输入 A 为高电平，所以输出为高电平。

t_6~t_7：三个输入均为低电平，则输出应该为低电平。

t_7~t_{10}：输入 B 为高电平，因此在这期间输出都应该为高电平。

t_{10}~t_{11}：三个输入均为低电平，则输出应该为低电平。

t_{11}~t_{12}：输入 A 和 C 均为高电平，因此输出为高电平。

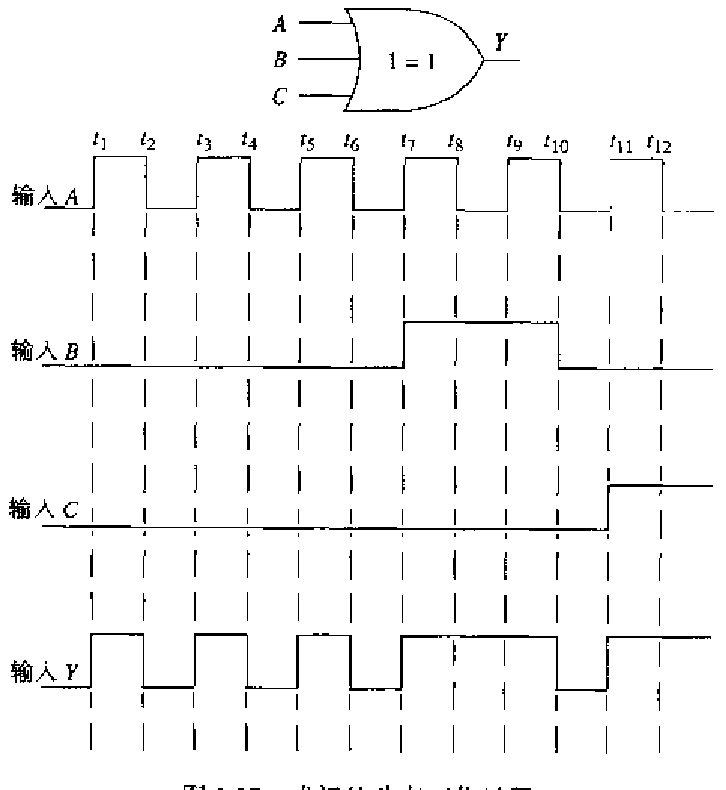


图 3.27　或门的动态工作过程

注意，在图3.27中，根据$\overline{\text{短逻辑}}$条件“所有输入为0，输出才为0”，可以很容易地确定该逻辑门的输出。在 t_2 和 t_3，t_4 和 t_5，t_6 和 t_7 以及 t_{10} 和 t_{11} 时间段内，上述条件是满足的。在这些时间段内，或门的输出为低电平。在其他的时间段内，都至少有一个输入信号为高电平，所以输出为高电平。

在图 3.27 中，当输入 B 和 C 的条件允许时，输入 A 可以通过或门，不发生反相。只要比较或门在 t_1 到 t_7 间的输出与输入 A 的关系，即可很容易地发现这一点。

在这个特定的电路中，可以把输入 B 和 C 称为控制输入。这两个控制输入决定是否允许输入 A 的信号通过该逻辑门。

很显然，如果输入 B 和 C 均为低电平信号，输入端 A 的信号就可以通过或门，不发生反相。因此，在输入端 B 和 C 为逻辑 0 可以使该逻辑门工作。

当控制输入端B或C的信号为高电平时，或门将被禁止，即输入A的信号被阻塞。在t_9和t_{10}之间的时间段内，输入B为高电平，该逻辑门被禁止，输入A和输入C成为无关项。在t_{11}后，当输入C变为高电平时也会出现这种情况，此时输入A和输入B成为无关项。

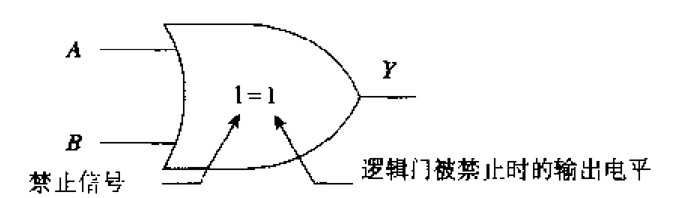
回忆在前面对与门进行动态分析时所定义的使能信号和禁止信号的概念，牢记这一点是很重要的。大致的要点为：(1)某个逻辑门的输入短逻辑电平总是确定了禁止电平；(2)当该逻辑门被禁止时，输出短逻辑电平总是确定了该逻辑门的输出电平。

或门的短逻辑表明，逻辑1将禁止该逻辑门。当该逻辑门被禁止时，其输出将为高电平信号，该逻辑门的使能逻辑电平为逻辑0。

或门禁止信号（逻辑1）和与门禁止信号的电平正好相反。当或门禁止时，其输出电平为逻辑1。与门禁止时，其输出电平为逻辑0。下面还将讨论与非门和或非门，那时这些禁止信号和使能信号是很容易混淆的。但是，只要记住各逻辑门的短逻辑，就可以很简单地确定各逻辑门的使能电平和禁止电平。

值得指出的是，在上面讨论使能信号和禁止信号时，并没有谈到逻辑门的“开”和“关”。在数字电路中，人们一般习惯于将逻辑0与“关”联系在一起，将逻辑1与“开”联系在一起。如果习惯于这种思路，在后面将会碰到一些问题。完成了内部的逻辑门分析后，这个问题就会显现出来。在内部分析的过程中，当逻辑门的输出晶体管处于“关”状态时，逻辑门的输出为逻辑1；当逻辑门的输出晶体管处于“开”状态时，逻辑门的输出为逻辑0。这与上面提到的人们的习惯看法正好相反。这就是为什么采用这种习惯思路会产生混淆的原因。通常，最好是将使能有效的逻辑门看成是被激活的，将被禁止的逻辑门看做是无效的。

图3.28用图示的方法表示了或门的工作过程、禁止信号、被禁止时的输出电平和使能信号。



使能信号= $\overline{\text{禁止信号}}=\overline{1}=0$

图3.28 或门的禁止信号和使能信号

3.7.3 与非门

图3.29表示的是一个与非门及其输入端A和B以及输出端Y的波形，这些波形可以用于动态分析。

t_1~t_2：此时，输入A和B均为高电平，因此，根据该逻辑门的$\overline{短}\overline{逻辑}$“所有输入为1，输出才为0”，输出应该为低电平。

t_2~t_3：此时，输入A为低电平，因此，根据该逻辑门的短逻辑“只要有一个输入为0，输出就为1”，输出应该为高电平。

t_3~t_4：此时，输入A和B均为高电平，因此输出应该为低电平。

t_4~t_5：此时，输入A为低电平，所以此时的输出应该为高电平。

t_5~t_6：两个输入均为高电平，输出应该为低电平。

t_6~t_7：输入 A 为低电平，输出应该为高电平。

t_7~t_8：输入 A 和 B 均为高电平，因此输出应该为低电平。

t_8~t_{12}：控制输入 B 为低电平，因此，在此期间的输出应该为高电平。

注意，在图3.29中，当 B 端的控制输入为高电平时，输入 A 可以直接传输到与非门的输出端。当与非门工作时，输出端 Y 除了与输入端 A 的信号反相外，其他方面同输入端 A 的信号完全相同。这是符合逻辑的，因为与非门的输出端有一个反相器。

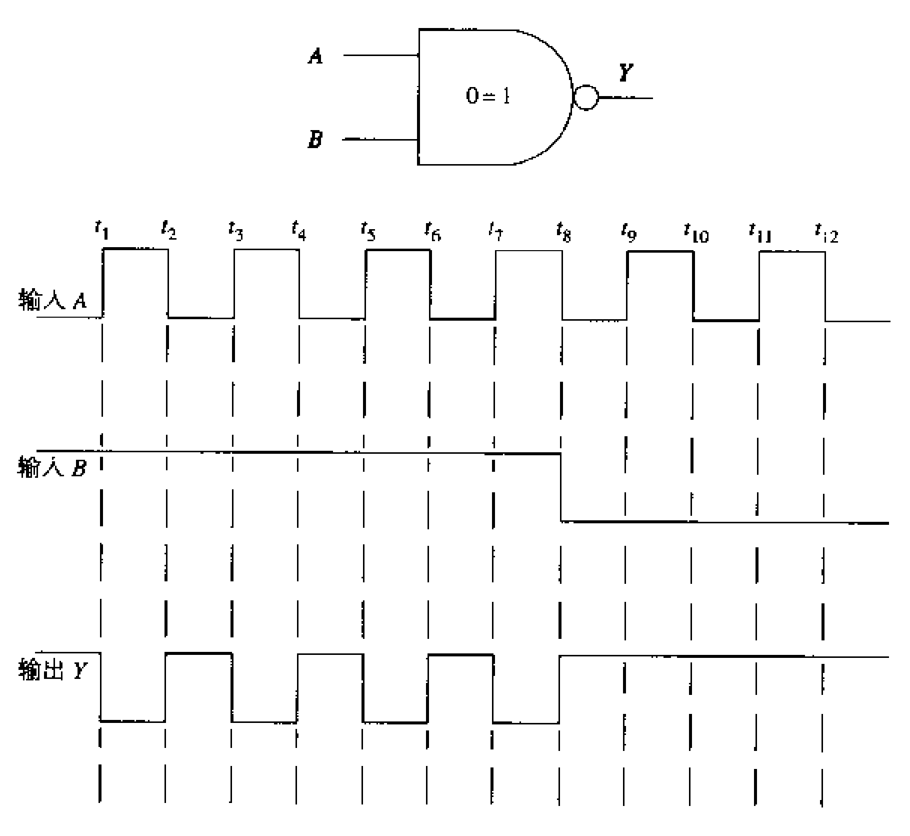
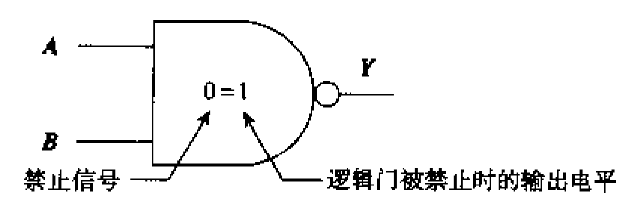


图3.29　与非门的动态工作过程

由于当控制输入信号为高电平时，输入端 A 的信号允许传输到与非门的输出端，所以逻辑1使与非门工作。因为逻辑0是与非门的禁止信号，所以当输入 B 为低电平时，与非门被禁止。与门被禁止时的输出信号为逻辑电平0。和与门不同的是，与非门被禁止时的输出是逻辑电平1。

图3.30用图示的方法表示了与非门的工作过程、禁止信号、被禁止时的输出电平以及使能信号。记住，一个逻辑门的短逻辑往往能够说明其禁止信号、使能信号及其禁止时的输出逻辑电平。



$$使能信号=\overline{禁止信号}=\bar{0}=1$$

图3.30　与非门的禁止信号和使能信号

3.7.4 或非门

图3.31表示了或非门及其输入和输出的波形。本节所用的每一个概念都能够用于分析或非门的动态工作过程。应用所学的概念可以理解图3.31所示的输出波形。

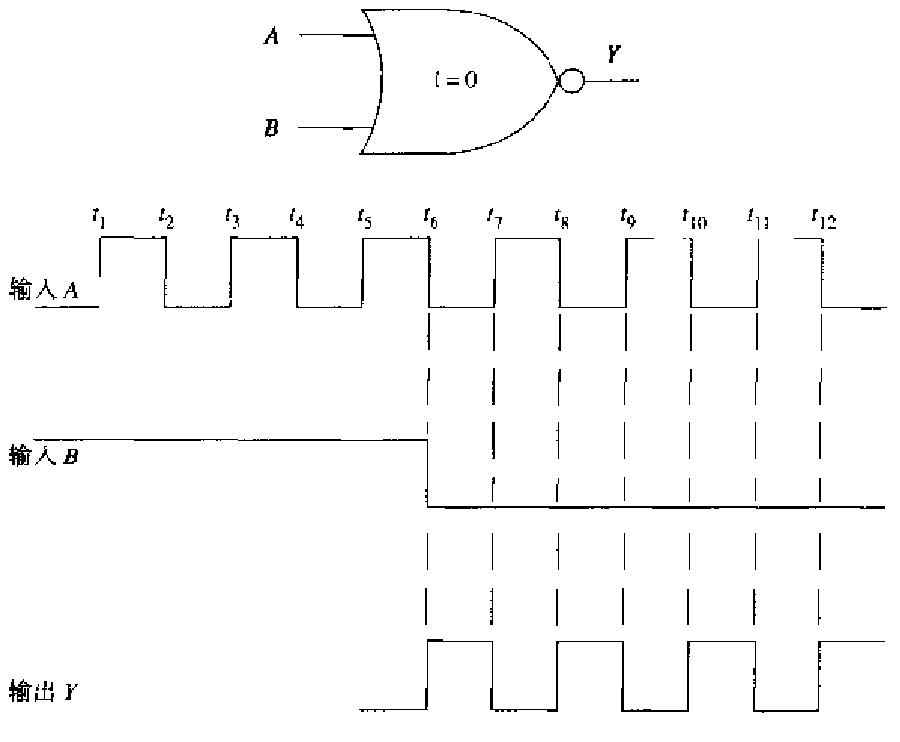
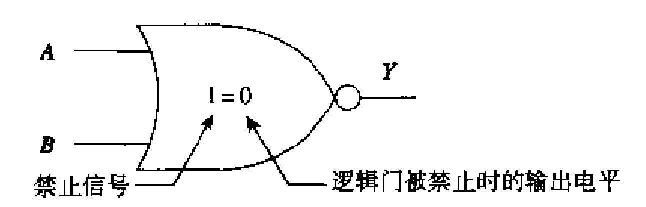


图3.31 或非门动态分析

完成分析后可以得到或非门的几个有趣的特点。当或非门工作时，输出Y等于输入A的反相。由于输入B为高电平时或非门无效，所以输入端B为逻辑1时或非门禁止。由于只有当输入B为低电平时输出信号才反相，所以输入端的逻辑0可以使或非门工作。图3.22用短逻辑标注了该或非门的工作过程规律。



使能信号 = $\overline{\text{禁止信号}} = \overline{1} = 0$

图3.32 或非门的禁止信号和使能信号

3.7 节复习题

A. 定义逻辑门的动态工作过程。

B. 画出图3.33所示的逻辑门的输出波形。

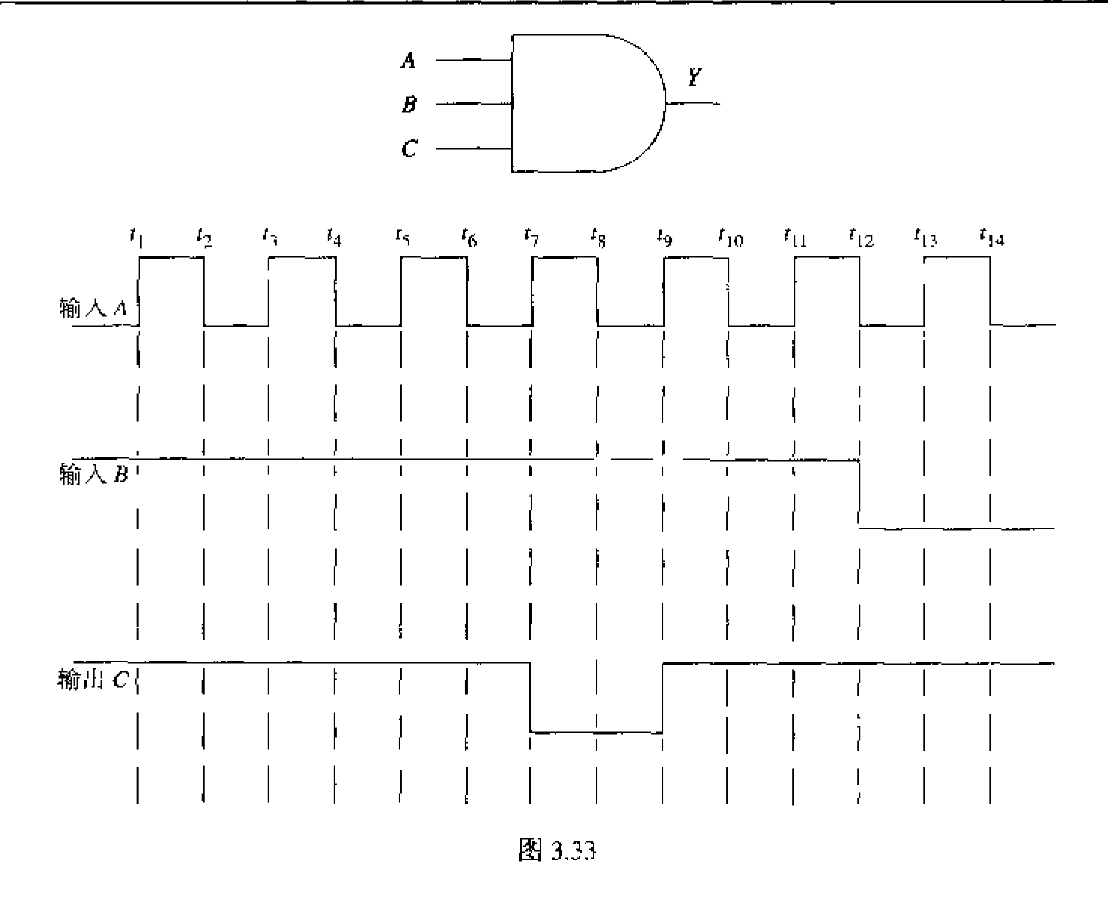


图 3.33

C. 画出图 3.34 所示逻辑门的输出波形。

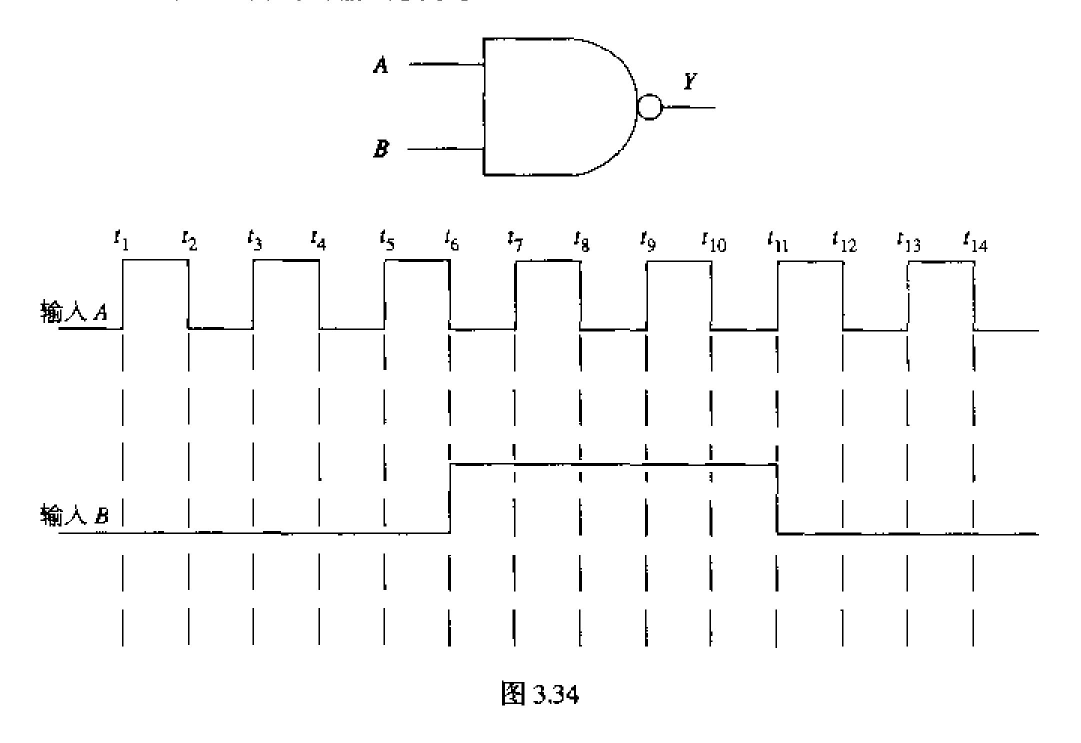


图 3.34

D. 画出图 3.35 所示逻辑门的输出波形。

E. 写出图 3.36 所示各逻辑门的禁止信号逻辑电平和使能信号逻辑电平。

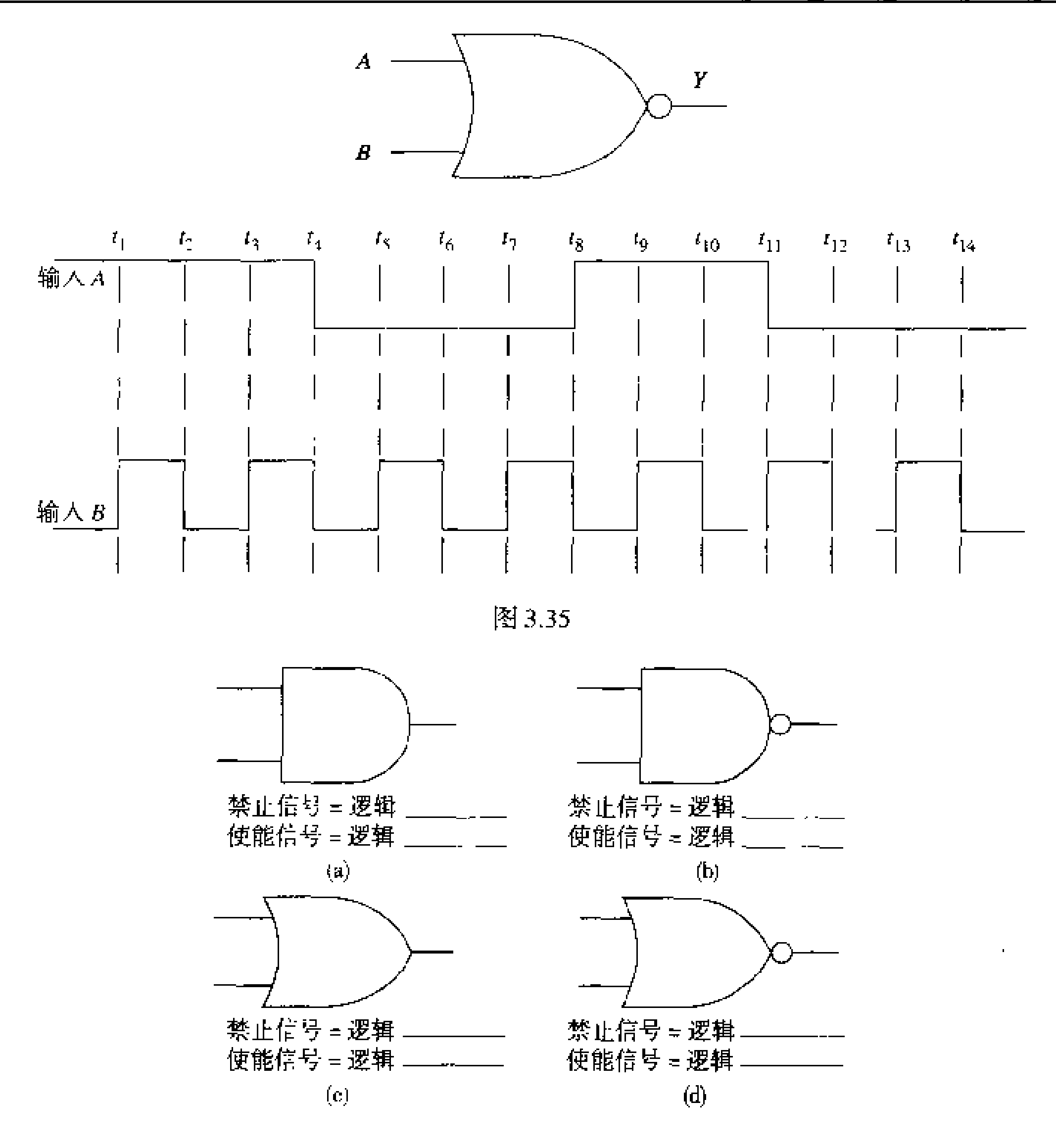


图 3.35

图 3.36

阶段性小结（3.7 节）

逻辑门或电路的静态工作过程是指当输入保持稳定电平时，该逻辑门或电路的工作过程状况。

动态工作过程是指当输入信号不断变化时，逻辑门或电路的工作过程状况。

在动态输入分析期间，最好的方法是利用短逻辑决定一个逻辑门的输出电平。

在使能情况下，与门和或门是没有反相的逻辑门。

在使能情况下，与非门和或非门是反相逻辑门。

当一个逻辑门工作时，它允许输入信号传到输出端。能够使某个逻辑门工作的电平称为该逻辑门的使能信号。

当一个逻辑门被禁止时，它不允许输入信号传到输出端。能够禁止某个逻辑门的电平称为该逻辑门的禁止信号。

逻辑门的禁止信号和使能信号可以通过下面的方法确定：(1)输入短逻辑电平总是表明了禁止信号；(2)某个逻辑门的输出短逻辑电平总是表明了该逻辑门禁止时的输出电平；(3)一个逻辑门的使能信号总是禁止信号的反相信号。

当一个逻辑门被其某一个输入端的逻辑电平禁止时，其他输入端的信号就成了无关输入。

阶段性练习（3.7节）

1. 什么类型的逻辑门工作过程的输入为固定输入？
   a. 静态　　b. 动态
2. 与门是反相逻辑门。
   a. 对　　b. 错
3. 或非门是反相逻辑门。
   a. 对　　b. 错
4. 当一个逻辑门被禁止时，它被激活，允许将一个信号传到输出端。
   a. 对　　b. 错
5. 当一个二输入与门被一个输入端的逻辑0信号禁止时，它的另一个输入端将成为无关输入。
   a. 对　　b. 错
6. 图3.37所示的输出波形是正确的。
   a. 对　　b. 错

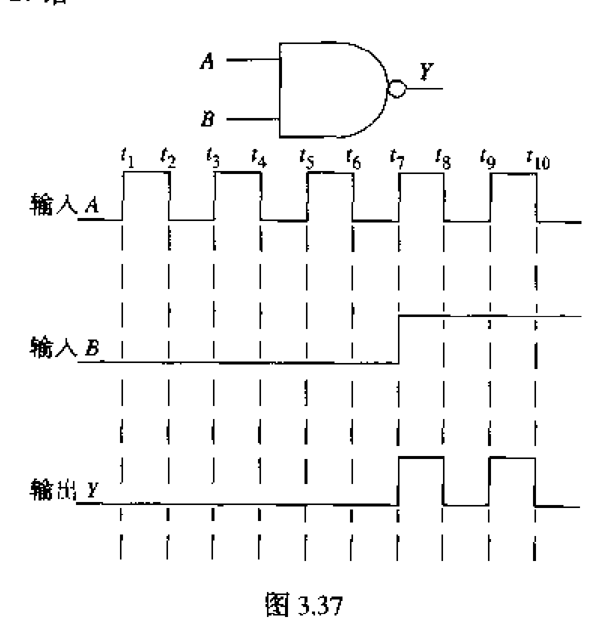


图3.37

7. 图3.38所示的输出波形是正确的。
   a. 对　　b. 错
8. 逻辑0对与门而言是一个________。
   a. 使能信号　　b. 禁止信号
9. 逻辑0对或门而言是一个________。
   a. 使能信号　　b. 禁止信号
10. 对于一个二输入或非门而言，如果 $A=0$，$B=1$，则输出电平应该是输入________。
   a. 逻辑0　　b. 逻辑1

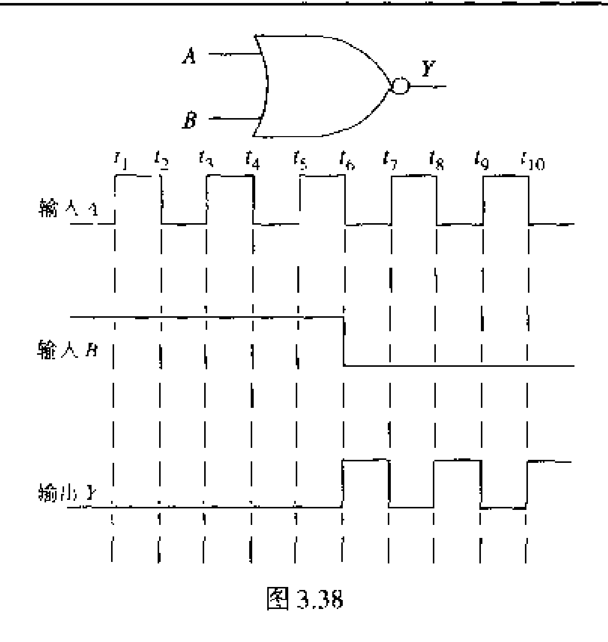


图 3.38

3.8 数字逻辑电路系列

要点

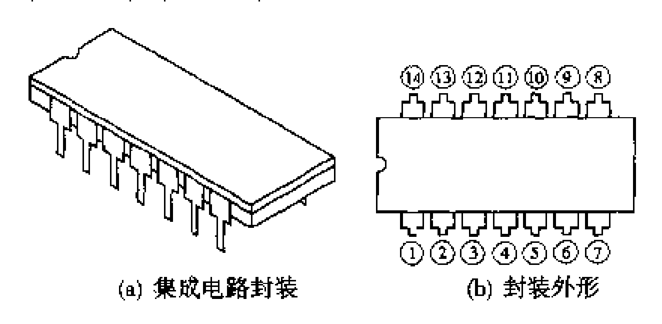
1. 说明TTL系列的 V_{CC}、逻辑0、逻辑1电压等概念。
2. 列举TTL系列和CMOS系列电路的主要优点。
3. 定义悬空输入并说明它对逻辑门的影响。
4. 为保证电路正常工作，给出两个逻辑门的不用输入端连接的方法。

本章讨论的逻辑门主要有两大类。一类是双极型集成电路芯片，另一类是金属氧化物半导体（MOS）集成电路芯片。

尽管在附录A中详细说明了这两类主要的逻辑门电路，但是为了使初学者充分理解，以便能够在实验室跨出使用双极型集成电路芯片逻辑门和金属氧化物半导体集成电路芯片逻辑门的第一步，这里先对几个要点说明一下。

可用的双极型集成电路芯片和金属氧化物半导体集成电路芯片有几种不同的封装形式。

最常用的是采用塑料或陶瓷封装技术的双列直插式封装（DIP）。这种封装是绝缘密封的，这样有利于插到电路板上。图3.39(a)所示的是一片有14个引脚的DIP数字集成电路，图3.39(b)所示的是一个带有引脚号的封装外形图。以俯视查看方式时，引脚号按逆时针方向（Counterclockwise，CCW）排列，如图所示，按CCW的方向，引脚1紧靠凹口。如果芯片上没有凹口，则会有一个彩色的圆点，通常是白色的，直接紧靠着引脚1。



(a) 集成电路封装　　(b) 封装外形

图 3.39　14个引脚的DIP数字集成电路

现在又出现了几种其他的封装方法。一种方法是如图3.40所示的塑料“小外形”封装。图3.41所示的是陶瓷扁平封装。还有一种是如图3.42所示的陶瓷芯片载体封装的集成电路，这种集成电路用于焊点表面贴装。

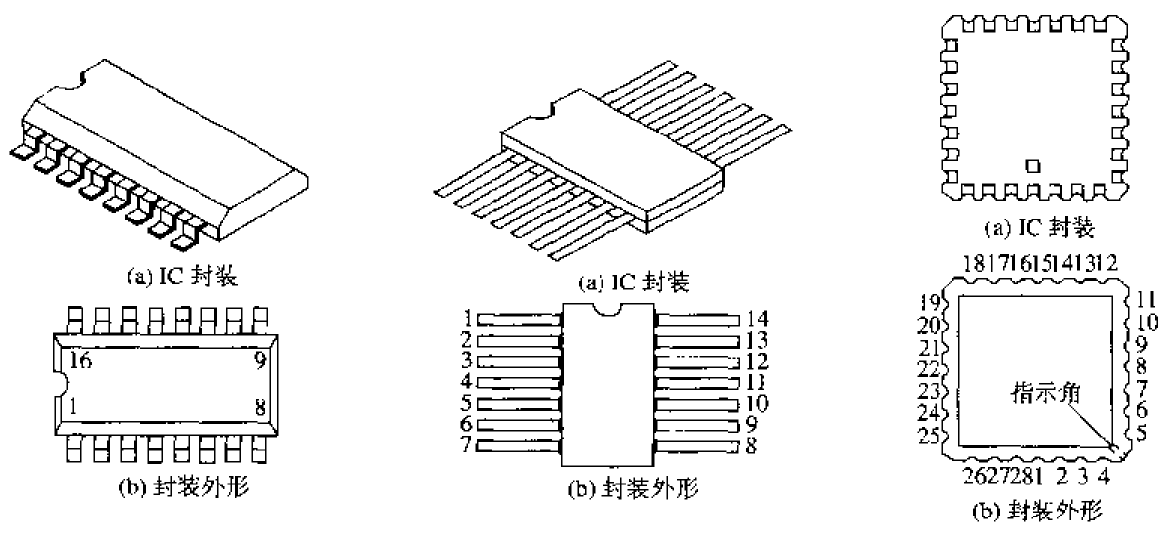


图3.40 16脚“小外形”封装　　图3.41 14脚陶瓷扁平封装　　图3.42 28脚无引线陶瓷芯片载体封装

与门、或门、非门、与非门以及或非门一般都是多个逻辑门封装在一个芯片上。只要集成在一个芯片上的逻辑门的个数不超过12，这种芯片就属于小规模集成电路（SSI）。

图3.43所示的逻辑门SN7408是一个四－二输入的与门。3.43(a)所示的是该逻辑门的ANSI/IEEE符号，这种符号在制造商数据表中很常见。图3.43(b)显示的是该芯片上4个与门的逻辑图。集成电路经常用如图3.43(c)所示的框图来表示。注意，在图3.43(d)中，该集成电路的4个与门中的每一个都有两个输入引脚和一个输出引脚。集成电路中引脚（如1*A*，1*B*，1*Y*等）的用法可以通过比较带有引脚配置的封装外形图或逻辑图来确定。许多数据手册只提供封装外形图和逻辑图，但是通过对比两个图很容易就可以确定各引脚的用途。读者还可以注意到，4个与门的接地引脚和 V_{CC} 引脚都在引脚7和14上。

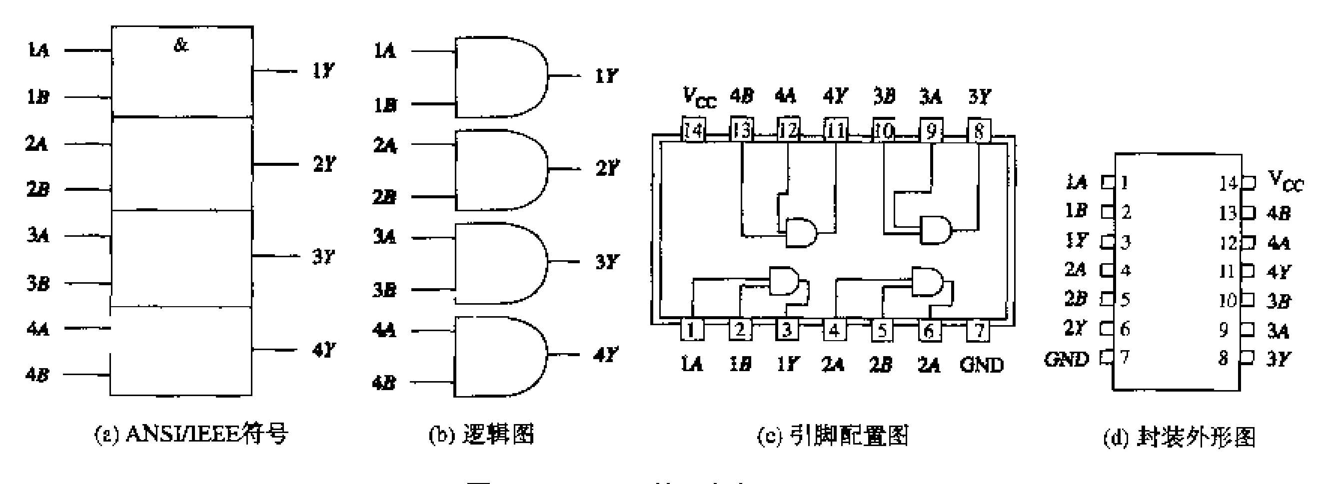


图3.43 四－二输入与门SN7408

图3.44所示的是一个三－三输入的与门（SN7411），图3.45所示的是一个二－四输入的与门（SN7421）。注意，SN7421的引脚3和11没有用到。

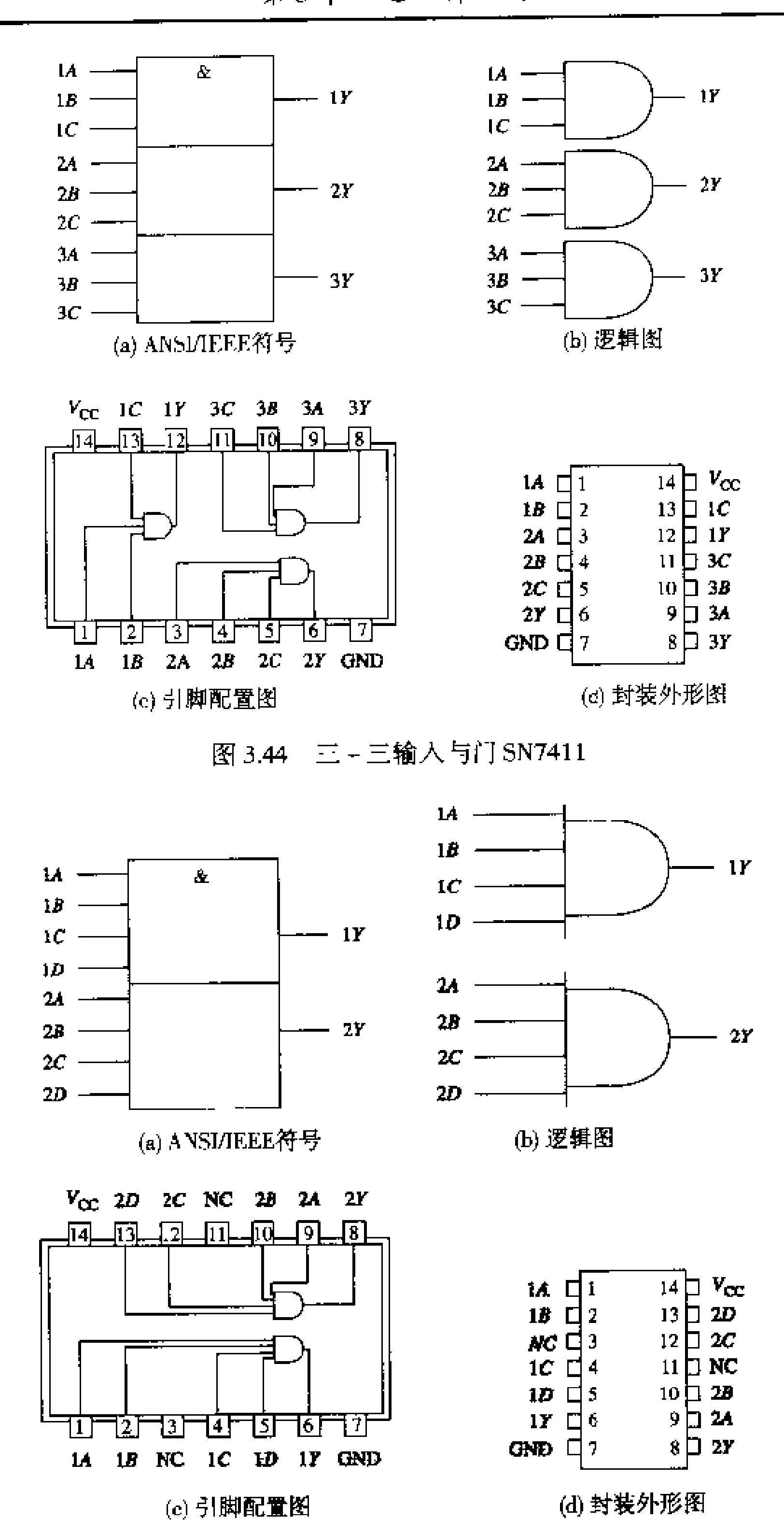
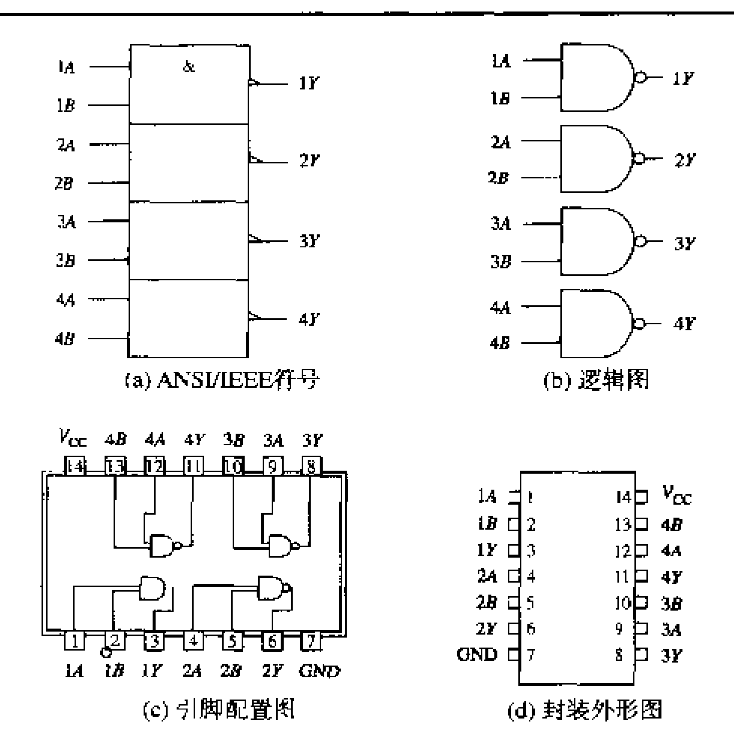


图 3.44　三 - 三输入与门 SN7411

图 3.45　四 - 二输入与门 SN7421

图3.46所示的是一个四-二输入的与非门（SN7400）。图中提供了该与非门的ANSI/IEEE符号、逻辑图、引脚配置图和封装外形图。

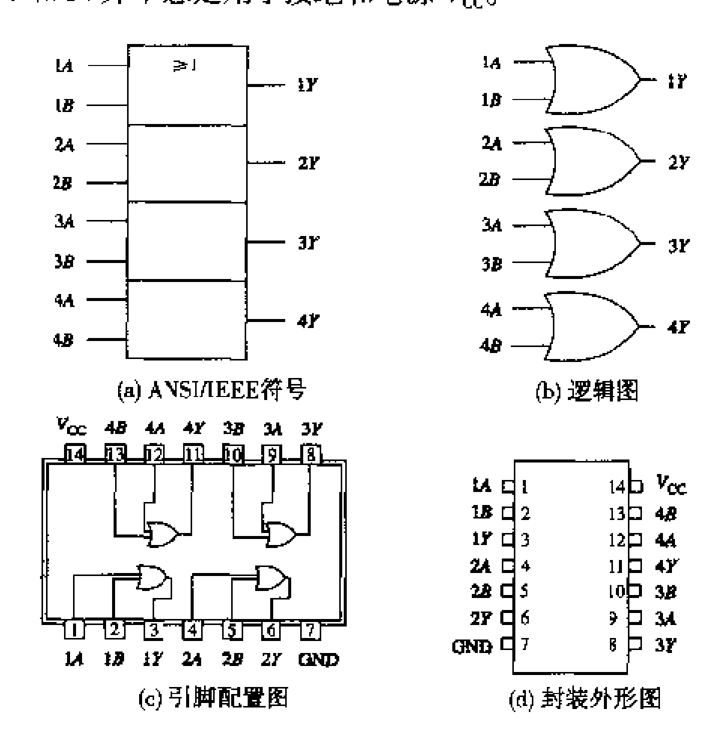


(a) ANSI/IEEE符号　(b) 逻辑图

(c) 引脚配置图　(d) 封装外形图

图 3.46　四－二输入与非门 SN7400

SN7432 或门是另一种双极型逻辑门集成电路，该集成电路如图3.47所示。比较大量的逻辑门集成电路的封装外形图可以发现，它们的引脚配置是相同的。但是，不要以为所有的逻辑门集成电路都是这样的。引脚 7 和 14 并不总是用于接地和电源 V_{CC}。



(a) ANSI/IEEE符号　(b) 逻辑图

(c) 引脚配置图　(d) 封装外形图

图 3.47　四－二输入或门 SN7432

观察图3.48所示的或非门SN7402可以发现，该集成电路芯片的引脚配置与前面已经提到的芯片是不同的。尽管引脚 7 和 14 用于接地和接电源 V_{CC}，但是，注意该集成电路芯片的引脚 1 是一个输出引脚，而我们看到的其他集成电路逻辑门芯片的引脚 1 是一个输入引脚。每一位技术人员和维

修人员都必须拥有数据手册，以查对被检查芯片的引脚排列情况。一定要注意花时间检查不同集成电路的引脚排列情况，因为一旦连接错误，芯片很容易被毁坏。

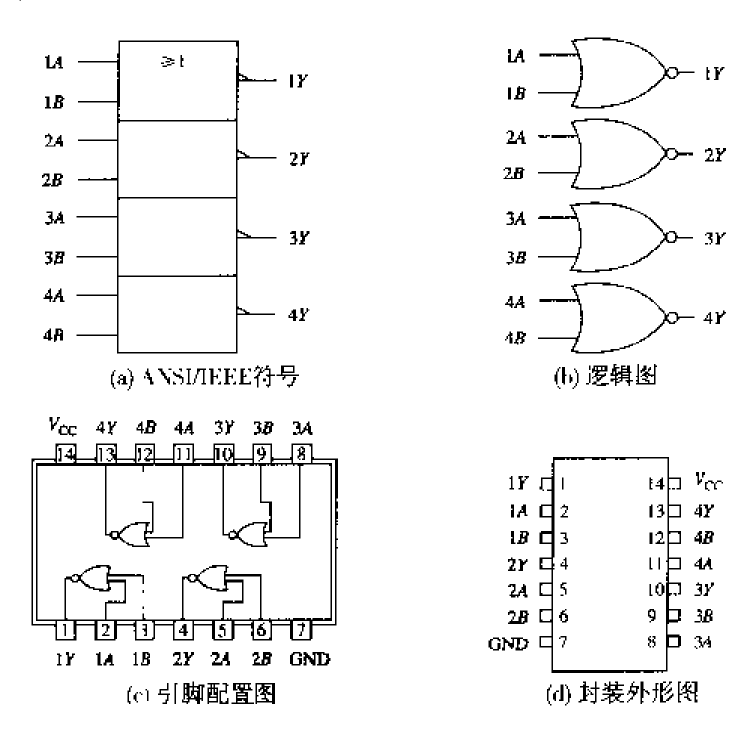


图 3.48　四 - 二输入或非门 SN7402

图 3.49 所示的是十六进制反相器芯片 SN7404。注意，该芯片的引脚号和与门、与非门、或门以及或非门集成电路芯片有很大的变化。

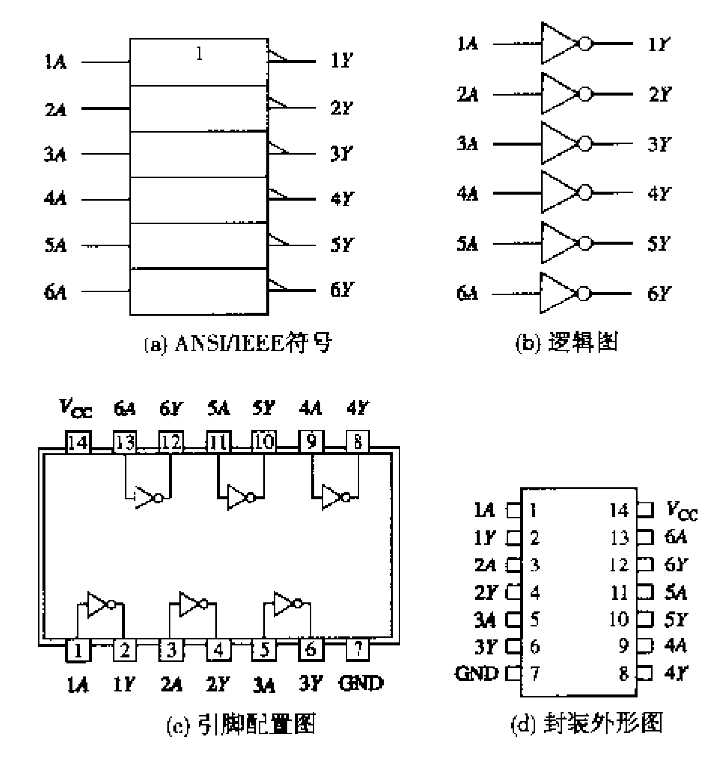


图 3.49　十六进制反相器芯片 SN7404

3.8.1 TTL逻辑电路

晶体管－晶体管逻辑电路（TTL）系列使用双极型晶体管实现逻辑功能。TTL逻辑电路系列由Texas Instruments公司于1964年作为标准产品推出。它首先被命名为半导体网络54系列，并主要用于军用市场。不久后，工业界就可以通过商业途径获得74系列的产品。

TTL是数字逻辑电路的最常见形式。该逻辑系列的电路具有低价格、高速度和良好输出驱动能力的优点。输出驱动能力将在第11章进行专题讨论。

目前，TTL电路出现了好几个子系列。与早期的TTL电路相比，这些新的子系列从设计上进行了一些改进，使得TTL电路在转换速度和功耗方面比早期的54/74系列电路有所提高。TTL电路的这些子系列可以从集成电路芯片的零件号上识别出来。识别字母如表3.2所示，它们都是可以在市场上买到的74系列集成电路芯片。

表3.2 TTL电路的子系列

TTL子系列	零件号
标准TTL电路	SN74XX*
肖特基电路	
高级肖特基电路	SM74ASXX
低功耗肖特基电路	SN74LSXX
高级低功耗肖特基电路	SN74ALSXX
快速电路	MC74FXX

* XX是代表用在逻辑门电路芯片上以识别逻辑门类型的真实数字。例如，SN7408是一个标准TTL四－二输入与门的器件号码。

各电路子系列的详细情况列在附录A中。另外，还对SN74HXX（高速）和SN74LXX（低功耗）子系列的历史进行了简短的介绍。

在这里，我们需要了解一些TTL集成电路芯片的典型特征。随着需求的增加，还将提供更为详细的情况。

对于全部的TTL集成电路而言，V_{CC}提供的电平都是+5 V。逻辑0的电平是从0~0.8 V。查一下TTL集成电路的数据表可以发现，制造商指定的低逻辑电平的最大输出电压为0.4 V，逻辑1则是大于2 V的电压。在数据表中，制造商指定的高逻辑电平的最小电压为2.4 V。图3.50所示的是逻辑0和逻辑1的电平。尽管逻辑0的可用电压范围是0~0.8 V，典型的可用电压范围却是0~0.4 V。同理，逻辑1的典型可用电压范围为2.4~5 V。留出0.4 V电压差的原因是制造商为了不使产品正好工作在逻辑电平的限制范围边界上。0.8~2 V范围内的电压是无效的。最大低电平和最小高电平之间的这种无效电压差使器件具有一定的抗噪声干扰特性。噪声可能造成低电平信号达到高电平逻辑范围，从而造成误操作，而无效电压差刚好能够阻止这种噪声产生误操作。同样，大于高电平信号的噪声也可能使信号穿越整个电压差进入低电平逻辑范围，从而引起问题。第11章将具体讨论抗噪声干扰的问题。

3.8.2 互补金属氧化物半导体逻辑芯片系列

互补金属氧化物半导体（CMOS）逻辑芯片系列使用P沟道和N沟道增强型晶体管实现逻辑功能。本章讨论的逻辑功能既可以用TTL技术实现，也可以用MOS技术实现。MOS集成电路芯片于20世纪60年代面世。到1970年，又发现了金属氧化物半导体场效应晶体管作为集成电路的许多优点。

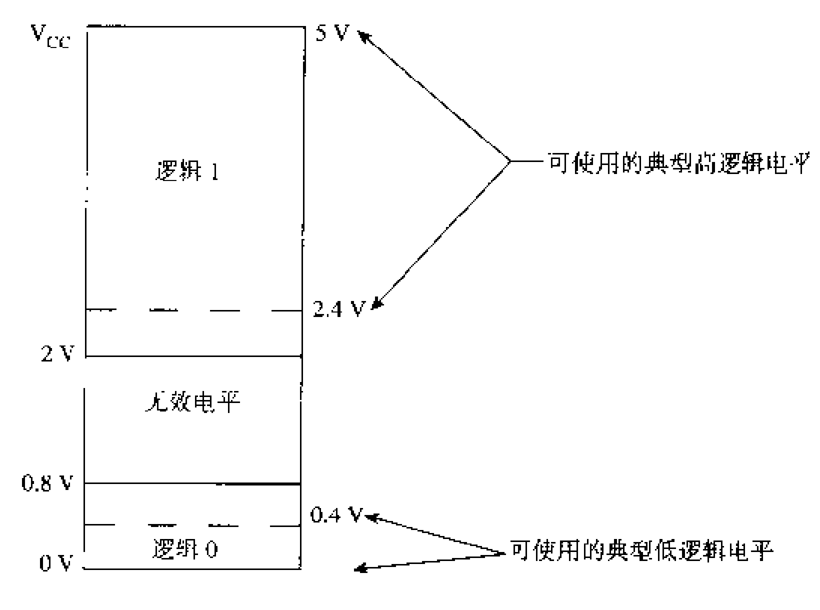


图 3.50 逻辑电平

在整个20世纪70年代，由于各种原因，这方面的研究得到了迅猛的发展。一直存在的要减小电路尺寸的想法非常重要。在那个时代，在MOS集成电路上实现了非常高的电路集成度。这对20世纪70年代MOS大规模集成电路（LSI）存储器的构造尤其有利。LSI集成电路已经高达每片9 999个逻辑门的集成度。如此高的集成度到目前仍然是MOS技术优于双极型技术的一个主要原因。

MOS系列比双极型系列重要的另一个优点是它的低功耗特性。这一点非常有意义，因为MOSFET是电压控制器件，而双极型系列是电流控制器件。

目前，可以得到几个CMOS子系列产品。与TTL的子系列芯片相似，CMOS芯片在从最初的产品向更高设计水平发展的过程中，也出现了各种不同的分支。这些子系列列在表3.3中。

表 3.3 CMOS 的子系列芯片

CMOS 子系列	零件号
4000 系列	CD40XX
硅逻辑门技术	CD74HCXX
硅逻辑门技术	CD74HCTXX

这里，我们需要考虑CMOS集成电路芯片的一些特性。CMOS集成电路的供电电源可以在3~18 V之间；不过，为了与TTL电路的电压兼容，多数的CMOS集成电路使用5 V供电。

CMOS集成电路的逻辑电平电压范围不能像TTL电平那样去规定，因为它的电源电压有一个变化范围。因此，其逻辑电平是按供电电源电压的百分比来确定的。只要低于 V_{DD} 30% 的电压都被当成是逻辑 0。只要高于 V_{DD} 70% 的电压都被当成是逻辑 1。

3.8.3 悬空输入

当逻辑门芯片上的某一个引脚没有连接时，称该引脚悬空了。悬空输入将使TTL逻辑门在动作时将悬空输入引脚按逻辑1处理。

在前面曾经讲过，逻辑1将禁止或门和或非门。因此，应该认识到，TTL或门和或非门上的悬空输入引脚将使逻辑门处于无效状态。

图3.51(a)所示的是有一个输入引脚处于悬空状态的或门。由于该悬空输入被当成逻辑1，所以该逻辑门被禁止，其短逻辑表明该逻辑门的输出将保持为高电平。在3.9节中还将进一步阐述这个问题。

逻辑1电平将使与门和与非门工作，因此，悬空输入对它们的影响与对或门和或非门的影响完全不同。如图3.51(b)所示，如果让与门输入A处于悬空状态，则输入B的信号将传输到输出端。在这些输入条件下，该逻辑门看起来工作一切正常，但是当A输入端为逻辑0时，该输入根本无法接入逻辑门的输入端，情况会怎么样呢？这个逻辑门将一直处于使能状态，我们根本不能用A输入端的信号控制它。

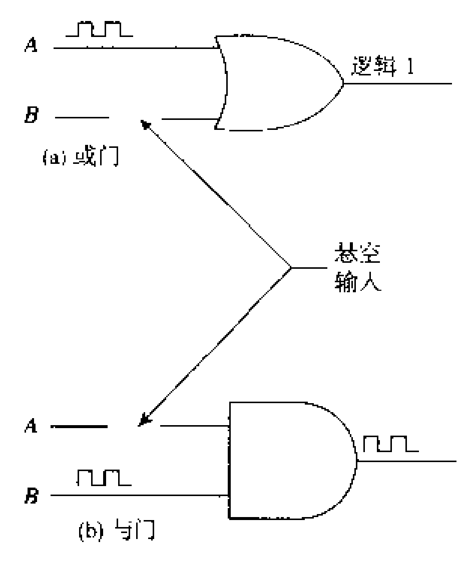


图3.51 悬空输入

在数字电路中，有时与门或者与非门的某一个引脚也可能始终处于高电平。这里简单讨论一下这种情况。无论如何，这种情况至少是想让该引脚处于悬空状态，以替代把它接到高电平上。当然，这样可以使这个逻辑门的功耗降低，而输出的结果是一样的。然而，实际情况并不是这样。

对于这种情况，可以建立一个通用的规则。在任何情况下都不要让一个逻辑门的输入处于悬空状态。悬空输入带来的问题非常多，而且有时候是灾难性的。其中一个与逻辑门的抗噪声干扰有关。如果悬空输入端有噪声进入，通常会使电路的工作过程不稳定。一个CMOS逻辑门的悬空输入会造成不正常的工作过程，但是更典型的是增加功耗，有时甚至达到烧毁集成电路芯片的程度。通过更进一步的分析可以发现，触发器（见第6章）的悬空输入将产生错误的输出。

3.8.4 未用的输入

如前所述，有时与门或者与非门的输入可能始终处于高电平状态。下面看一下这种情况的必要性。

在数字电路中，多数情况下用的是三输入逻辑门。如图3.52所示，三输入与门芯片（SN74LS15）中共有三个与门。假设最上面的与门要求用到全部的三个输入端（1*A*，1*B*和1*C*）。然而，另外两个与门只要求用到两个输入端。这种情况在许多数字电路中是很常见的。问题是如何处理不需要的第三个输入引脚。所以，我们需要建立一个规则，即“永远不要让输入端处于悬空状态。”

解决上述问题的一种具体方法是，将这两个要求的输入信号连接到2*A*和2*B*上，然后将2*C*和2*B*连接在一起。图3.52中间的与门就是采用的这种方法。

图3.52中下方那个与门所示的是解决这个问题的另外一种比较令人满意的方法。即，将3*A*和3*B*输入引脚连接到它们的输入逻辑信号上，而将3*C*通过一个称为上拉电阻的电阻连接到+5 V电

源上。3C上的高电平可以使该与门工作，并允许输入端3A和3B控制其逻辑判断处理。

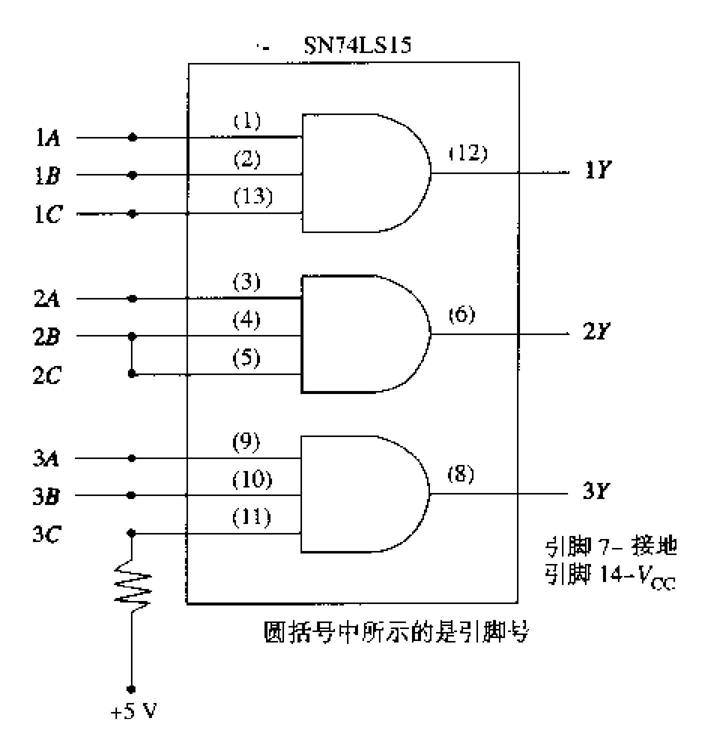


图 3.52 三 - 三输入与门的逻辑图

连接未用输入引脚的这两种方法对与非门也适用。而且，它们对或门和或非门也适用，只是需要用逻辑0来使或门和或非门工作。因此，如果是或门或者是或非门，为了使图3.52中最下面的逻辑门工作，只要将3C连接到 V_{CC} 改为连接到地即可。

3.8 节复习题

A. TTL 电路的标称供电电压 V_{CC} 是多少?
B. TTL 电路可用的典型逻辑 0 电压限制是多少?
C. TTL 电路可用的典型逻辑 1 电压限制是多少?
D. 陈述 CMOS 电路优于 TTL 电路的一个优点。
E. 定义悬空输入。
F. 悬空输入能够使能与非门吗?
G. 用悬空输入使能逻辑门是一个好的维持方法吗?
H. 将一个未用的引脚连接到一个正在使用的引脚上可行吗?
I. 将或非门的一个未用引脚通过一个电阻连接到 V_{CC} 上可行吗?
J. 将与非门的一个未用引脚通过一个电阻连接到 V_{CC} 上可行吗?

3.9 逻辑门的故障诊断

要点

1. 列出下面器件的作用。
   a. 逻辑探针

b. 逻辑接线柱

c. 逻辑脉冲发生器

2. 给出一个带有输入电平和不正确的输出电平的门的逻辑符号或逻辑图，从理论上对该逻辑门进行故障诊断。

集成电路在数字系统中的出现主要是提高了系统的可靠性。然而，问题仍然存在，并且必须发现并维修这些故障。幸运的是，这些故障（有时称它们为“bug”）中的绝大多数能够使用相对而言不太昂贵的测试仪器查出来。

遗憾的是，逻辑门的故障诊断并不总是简单有效而且能够很快学会的处理步骤，但是调试电路所必需的分析技巧经过思考是可以掌握的。使用逻辑推理有助于技术人员理解某个电路在通常情况下应该如何工作。在钻研数字电路的问题之前，让我们先了解一些较简单的数字电路故障诊断设备，这些设备都是比较常用的。

3.9.1 逻辑探针

确定数字电路中的故障点时，逻辑探针是技术人员最常用的辅助工具。逻辑探针的生产厂家非常多，但是它们的基本设计和功能都是类似的。图 3.53 所示的就是一个逻辑探针。



图 3.53 逻辑探针

通常，逻辑探针都有一个红色的 LED、一个绿色的 LED 和一个黄色的 LED。红色的 LED 亮时，用于指示逻辑 1（高电平）。绿色的 LED 亮时，用于指示逻辑 0（低电平），黄色的 LED 亮时用于指示脉冲情况。大多数情况下，当逻辑探针连接到一个脉冲信号线上时，黄色 LED 将不断地闪烁（对应着脉冲信号的高低）。

逻辑探针可以用于数字系统，以确定信号线或集成电路的输入/输出引脚是低、高、脉冲还是死机了。逻辑探针的电源线（未在图 3.53 中表示出来）必须连接到要测试电路的电源上，以确保逻辑探针工作可靠。逻辑探针的黑色导线必须连接到测试电路的地线上，红色导线必须连接到测试电路的 +5 V 电源上。由于在逻辑探针上通常有 3 个 LED，所以我们可以建立一个如表 3.4 所示的功能表。

表 3.4 逻辑探针功能表

低（绿）	高（红）	脉冲（黄）	条件
0	0	0	无电源 / 开
0	0	1	脉冲信号
0	1	0	逻辑 1（高）
0	1	1	*逻辑 1 脉冲
1	0	0	逻辑 0（低）
1	0	1	*逻辑 0 脉冲
1	1	0	不会出现
1	1	1	*高 / 低脉冲

0 = 灯灭，1 = 灯亮

* 这些指示能够由 50% 占空比的周期信号引发。

表中的第一个条件（0–0–0）表明正在检查的引脚或导线是坏的，或在它上面有一个无效的逻辑电平。在检测和维修故障时，逻辑探针的供电电源线没有连到供电电源的情况也是时有发生的。因此，遇到这种情况（0–0–0）时，首先要确定逻辑探针的输入电源夹子是否连接在系统的供电电源上（包括接地线和 V_{CC}）。否则，很可能将实际上逻辑探针的连接问题误认为是电路线坏了。

在表3.4中还对其他的逻辑探针情况进行了解释。情况1–1–0是不存在的，因为除非正在检查的引脚或导线连接在脉冲信号上，否则电路不可能在同一点上既是逻辑1又是逻辑0。而在连接了脉冲信号的情况下，黄色LED也会发亮。

将逻辑探针的探头放在连线或集成电路芯片的引脚上时，技术人员必须特别小心。如果一个逻辑探针的探头同时接触到两条连线或引脚，将造成信号电平的短路，短路会烧坏芯片或电路。在技术人员将逻辑探针的探头从引脚滑开时，这种情况经常发生。

3.9.2 集成电路逻辑接线柱

集成电路逻辑接线柱将引脚接出，以利于接触。图3.54所示的是一种逻辑接线柱。顶端引出的接线柱便于进行信号控制或与测试端相连。这种逻辑接线柱有14引脚、16引脚和40引脚的。

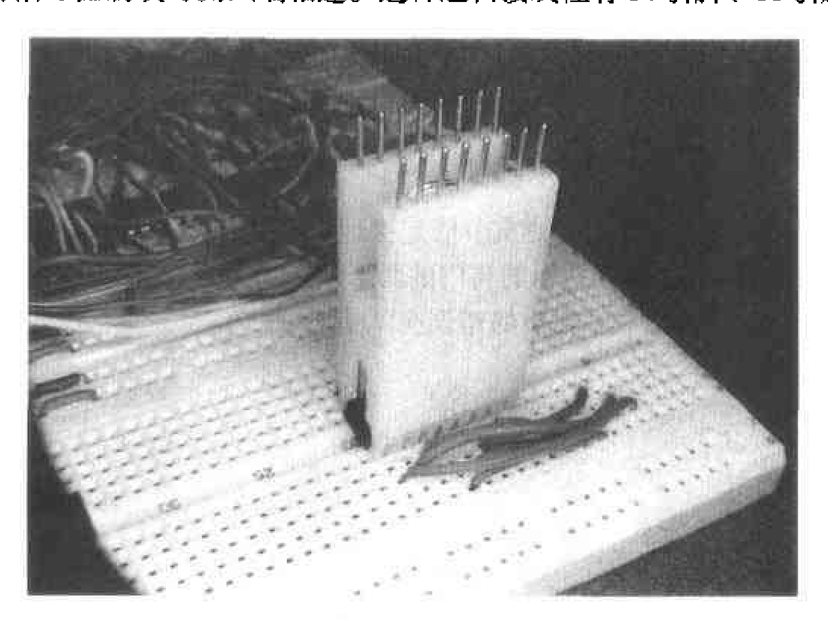


图3.54 集成电路逻辑接线柱

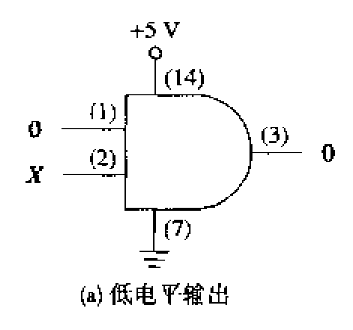
3.9.3 逻辑脉冲发生器

逻辑脉冲发生器是用来将逻辑脉冲注入数字电路或芯片的仪器。逻辑脉冲发生器在利用逻辑探针确定电路问题时是非常有帮助的。可以将脉冲发生器的脉冲注入到电路中，同时用逻辑探针检测输出脉冲。

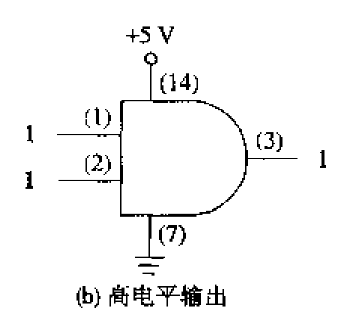
3.9.4 故障诊断

在本节，将学习一些用来分析芯片故障的基本诊断技术。首先，看一下在逻辑门中可能发生哪些故障。在诊断故障时，必须牢记一点，即正常情况下逻辑门或电路应该是什么状态？

当有一个输入为低电平时，图3.55(a)所示的与门将产生一个低电平输出。当两个输入均为高电平时，如图3.55(b)所示，该与门将产生一个高电平输出。



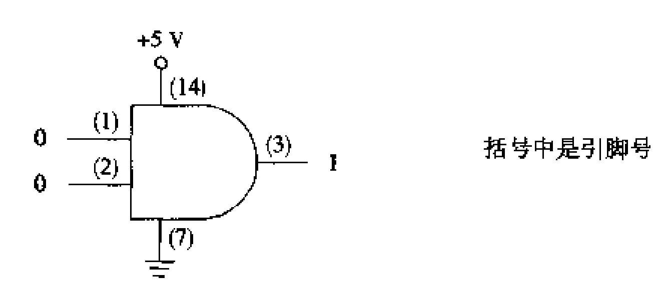
(a) 低电平输出



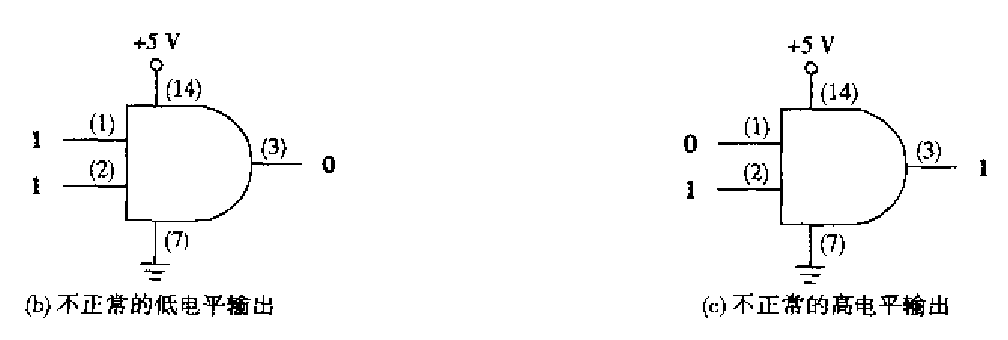
(b) 高电平输出

图3.55 与门的正常工作过程

下面分析如图3.56所示的逻辑门。首先，假定接地脚（引脚7）和 V_{CC}（引脚14）已经检查过，证明芯片的供电电源正常。图3.56(a)所示的与门的两个输入均为低电平，但输出为高电平。我们知道输出应该为低电平。是什么造成了输出的错误呢？



(a) 不正常的高电平输出



(b) 不正常的低电平输出 (c) 不正常的高电平输出

图3.56 与门的故障诊断

首先，可能是逻辑门存在内部问题。如果是这种情况，我们不需要完全知道该内部问题究竟是什么，只要将这种有问题的逻辑门更换即可。

在分析中还应该挖掘更深层次的原因，以确定还有其他什么问题可能造成这种现象。我们很快可以发现，这种现象可能不是由有问题的逻辑门造成的。

如果如图3.56(a)所示的逻辑门的引脚3的输出被内部短路到V_{CC}上，就会出现上面的现象。如果将一个新的逻辑门换掉，该逻辑门的问题依然存在，应该查哪儿呢？很有可能是连接到该引脚的输出线为高电平，即那根线在电路的某个地方连接到高电平上了。这是一个合理的解释，有时可能是由于潮湿的焊料引起的。

在对上面提到的故障进行诊断时，还应该牢记，逻辑门的输出线也是一个引起问题的关键点。它连接到哪儿呢？一般情况下，它连接到负载。如果与门的输出被连接到另一个逻辑门的输入，该负载逻辑门就值得怀疑了。负载逻辑门的输入可能在内部被短路到V_{CC}上。这将造成驱动逻辑门的输出线保持为高电平。断开负载逻辑门的输入可以确定故障高电平是由负载逻辑门还是由其他什么原因造成的。如果负载逻辑门断开后，输出由高电平变为低电平，可以确定问题就出在负载逻辑门。如果负载逻辑门断开后，问题仍然存在，就可以确定该问题是由其他原因造成的。

因此，造成图3.56(a)所示故障现象的可能原因有好几个。目前我们只需知道，问题并不是只可能出在输出错误的逻辑门上即可。在第5章的组合逻辑电路中，还将讨论故障诊断问题。在那里，将学习如何确定如果更换逻辑门仍然不能解决问题时，问题到底出在何处。

图3.56(b)所示的是一个可比较的问题。两个高电平输入应该产生一个高电平输出，然而输出却保持为低电平。引脚3的输出可能在内部被短路到接地线上。如果是这种情况，更换逻辑门就可以修复该故障。有时，该逻辑门由于潮湿被连接到电路上，这时更换它们也不能立刻解决问题，14个引脚的芯片需要一段时间才能变干。如果该逻辑门没有问题，很可能是输出线被短接到地。和前面讨论的情况相似，问题也可能是由负载逻辑门的输入引脚短接到地造成的。

图3.56(c)所示的是有一个高电平输入、一个低电平输入并输出高电平的与门。引脚1是低电平，引脚2就应该是无关项，而输出应该是低电平。在对图3.56(a)的讨论中，可能的故障点对本电路都可能是合理的解释。然而，如果该逻辑门是TTL与门，则可能还有一种问题造成这种现象。如果引脚1的输入内部开路，则该输入处于悬空状态。前面讲过，TTL逻辑门的悬空输入可以造成该逻辑门表现得像输入为逻辑1一样。如果引脚1的输入处于悬空状态，引脚2的高电平输入就会产生一个高电平输出。

对于这个问题，还可以使用一种逻辑推理的方法。如果在图3.56(c)的引脚1上是一个悬空输入，它可能是内部开路了。如果开路点在外部，就应该在连接到该引脚的输入线上，还有可能是由于该引脚没有连到输入线上，如图3.57所示，这样在引脚1上就不可能出现逻辑0。

下面，仔细分析一下这种情况。如果将逻辑探针的探头放在连接到如图3.57所示引脚1的导线上，该探针将显示为逻辑0；但是如果将探头直接放在引脚1上，则LED中没有一个发光。这样就揭示出问题了。而且，很显然，逻辑探针的探头必须直接放在芯片的引脚上，而不仅仅是放在电路板的连线上检查逻辑电平。尽管图3.57所示芯片的引脚1是弯折在管座外的，但是没有正常安装的芯片的引脚也可能弯折在芯片下面而不太容易被技术人员看见。

看一下图3.58所示的逻辑电路，我们可以把这种简单类型的分析更深入一步。该电路可以用SN7408四-二输入与门芯片来实现。为了对该电路进行故障诊断，技术人员必须先知道在不存在故障的情况下该电路应该如何工作。短逻辑表明，只有在输入A，B，C和D都是高电平时，输出才是高电平。该描述在图3.58(b)所示的真值表中。

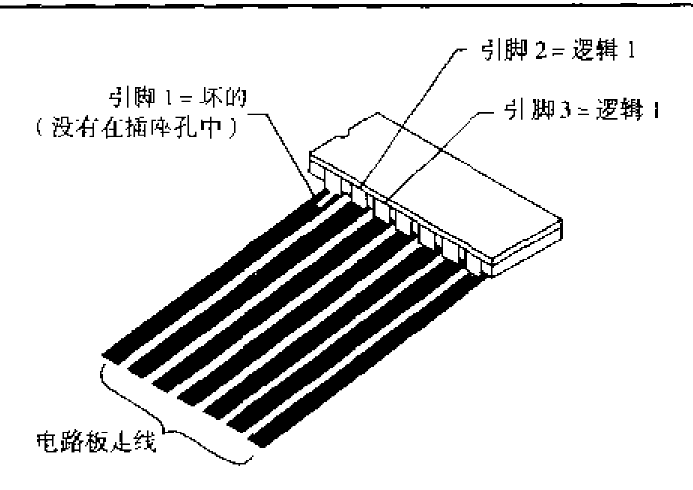
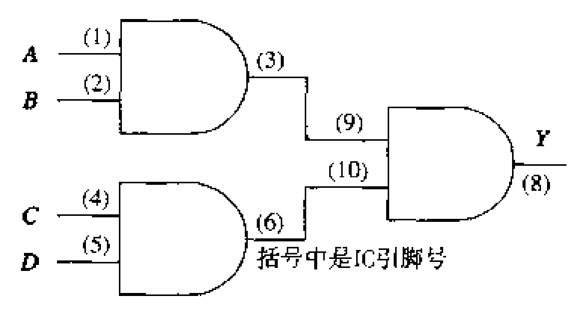


图3.57 诊断芯片故障



(a) 逻辑图

输入				输出
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

(b) 真值表

图3.58 组合逻辑电路

对该芯片进行故障诊断的第一步应该是检查电源和接地情况。如图3.59所示，芯片中的四个与门是各自独立的。其中三个工作正常，另外一个却可能出现故障，但是四个逻辑门的电源和接地都是由引脚7（地）和引脚14（V_{CC}）提供的。如果芯片的电源出现问题，四个与门就都不能正常工作。

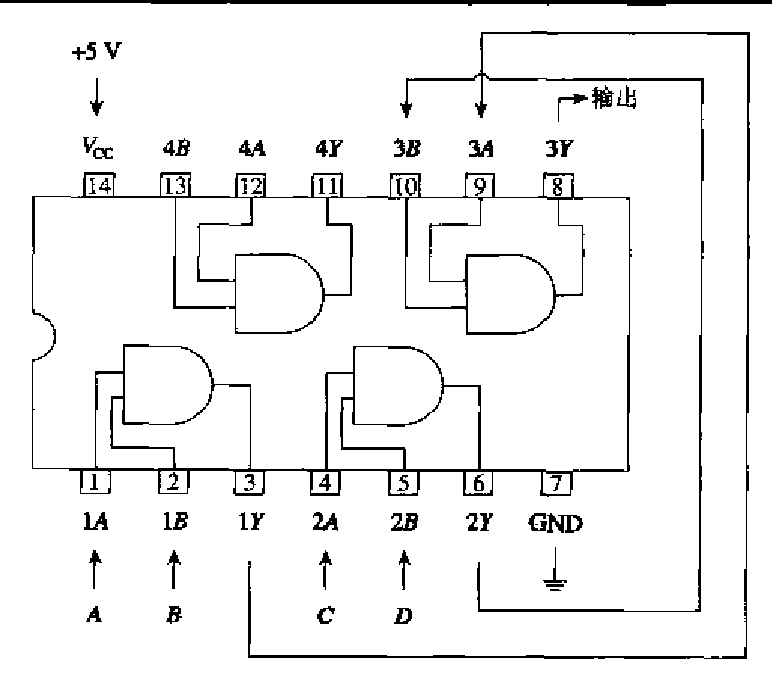


图3.59 TTL四－二输入与门SN7408

检测这些引脚花不了几秒种时间。它们都位于芯片的角上，检测起来很方便。另外，在进行该项检测时，需要先了解一些预防方法。如图3.60所示，应该保证使用的逻辑探针的探头以一定的角度直接放在芯片的引脚上。记住，将逻辑探针的探头放在通向芯片引脚的导线上而不是直接放在芯片的引脚上时，测试的结果并不能反映芯片引脚上的真实电平。

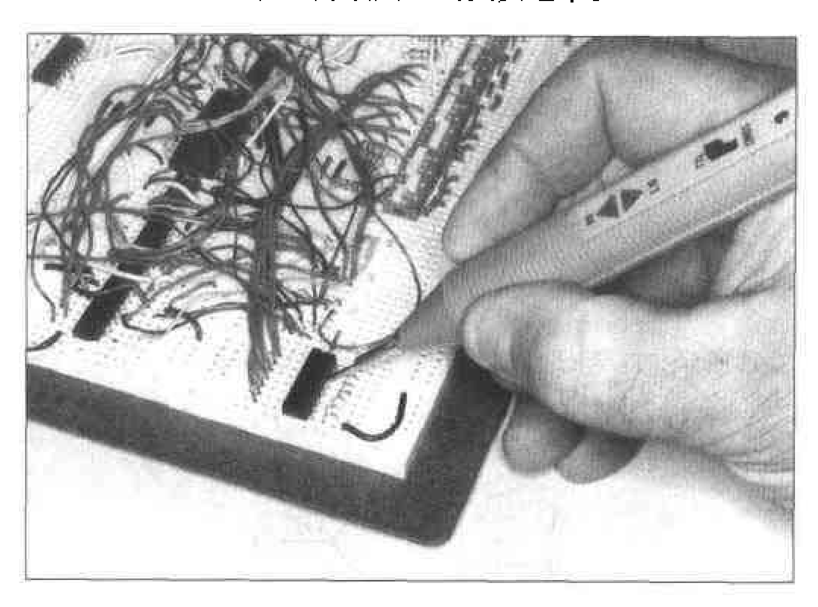


图3.60 用逻辑探针进行检测

将探头放在引脚7上时，逻辑探针上的绿色LED应该发光。将探头放在引脚14上时，逻辑探针的红色LED应该发光。如果这两项检测都没有问题，就可以说明芯片的供电是正常的。也有可能V_{CC}电平不是很准确或者波动很大，但现在先假定在用逻辑探针进行检测时，它是正确的。

为了诊断与门的故障，只要知道“只要有一个输入为0，输出就为0”或“所有输入为1，输出才为1”即可。如果图3.58(a)所示的四个输入端都被置为高电平，则可以检测引脚3上的输出，以确定它是否为高电平。如果引脚3是高电平，再检测引脚6的输出电平。如果它也是高电平，就需

要检测从引脚3到9的连线，从引脚6到10的连线是否是好的，方法是检测引脚9和10的电平。如果这两个输入都是高电平，而输出端Y不是高电平，就说明该芯片可能是坏的或没有得到正常的供电。另一方面，问题也可能出在电路的输出导线或负载上。

3.9 节复习题

A. 使用逻辑探针的目的是什么？

B. 探针上的红色 LED 发光代表的是什么逻辑电平？

C. 探针上的黄色 LED 发光代表的是什么逻辑电平？

D. 使用逻辑脉冲发生器的目的是什么？

E. 如图 3.61 所示，列出 TTL 逻辑门输出错误的可能故障原因。

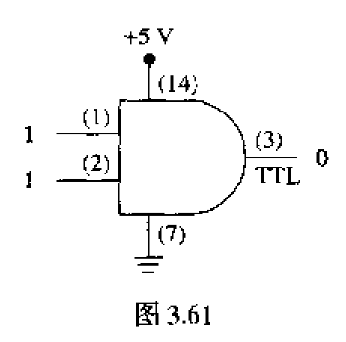


图 3.61

F. 列出造成图 3.62 所示 TTL 逻辑门输出错误的可能故障原因。

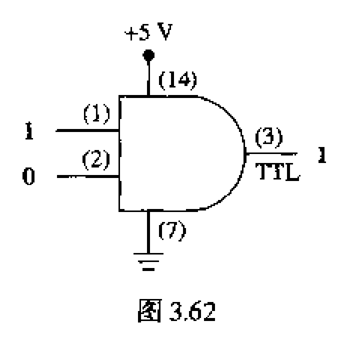


图 3.62

G. 列出造成图 3.63 所示 TTL 逻辑门输出错误的可能故障原因。

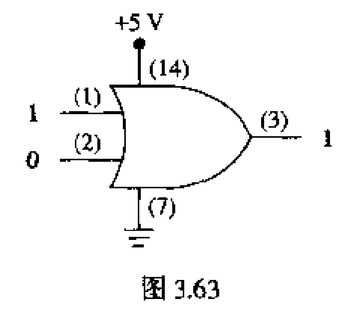


图 3.63

阶段性小结（3.8 节～3.9 节）

双极型逻辑门和 MOS 逻辑门是两类主要的逻辑门。

集成电路最常用的封装形式采用的是 DIP 双列直插式封装。

晶体管 - 晶体管逻辑（TTL）系列是采用双极型晶体管实现逻辑功能的。

TTL 逻辑系列提供了低价、相对高速和良好输出驱动能力的芯片。

TTL 子系列包括高级肖特基（AS）、低功耗肖特基（LS）和高级低功耗肖特基（ALS）。

TTL 系列芯片的正常电压 V_{CC} 是 +5 V；逻辑 0 = 0~0.8 V；逻辑 1 = 2~5 V。0.8~2 V 之间的逻辑电平是无效的。典型的可用逻辑电平是逻辑 0 = 0~0.4 V；逻辑 1 = 2.4~5 V。

CMOS 逻辑系列使用增强型的 MOSFET 来实现逻辑功能。

MOS 逻辑系列的主要优点是集成度高和功耗低。

悬空输入会造成TTL逻辑门按悬空输入引脚为逻辑1电平动作。永远不要让逻辑门的输入处于悬空状态（断开）。注意，如果在电路中某个输出不需要，则这个没有用到的输出端不应该被连接，让它们处于断开状态即可。

电路中一个逻辑门的未用输入端可以连接到另一个输入端或连接到一个使能逻辑电平上。

在数字电路中，使用逻辑探针来确定一个输入/输出引脚或连线是高电平、低电平、脉冲状态或是坏了。

逻辑脉冲发生器能够用于将脉冲信号注入到数字电路或芯片中。

查找故障的第一步是弄清楚正常工作情况下逻辑门或电路应该如何工作。

阶段性练习（3.8 节 ~ 3.9 节）

1. TTL 逻辑门的逻辑 0 的典型电压范围限制是________。
   a. 0 ~ 0.2 V
   b. 0 ~ 2 V
   c. 0 ~ 0.4 V
   d. 0 ~ 5 V
2. 与 MOS 逻辑系列相比，TTL 逻辑系列的主要优点之一是________。
   a. 高速
   b. 高集成度
   c. 低功耗
3. 与TTL逻辑系列相比，MOS逻辑系列的主要优点之一是________。
   a. 高速
   b. 高集成度
   c. 低功耗
4. 悬空输入________。
   a. 将使能逻辑门
   b. 将禁止逻辑门
   c. 使 TTL 逻辑门将其作为低电平输入来动作
   d. 使 TTL 逻辑门将其作为高电平输入来动作
5. 或门上的未用输入引脚可以通过一个上拉电阻固定在高电平上，以使能该逻辑门。
   a. 对
   b. 错
6. 与非门上的一个未用输入引脚可以通过一个上拉电阻固定在高电平上，以使能该逻辑门。
   a. 对

b. 错

7. 下面哪一种测试仪器最适合将逻辑脉冲注入到电路中?
   a. 逻辑探针
   b. 逻辑脉冲发生器
   c. 扩展接线柱
   d. 测试监视器接线柱
8. 下面哪一种测试仪器最适合用于检测电路中的逻辑电平、脉冲信号和失效的导线?
   a. 逻辑探针
   b. 逻辑脉冲发生器
   c. 扩展接线柱
   d. 测试监视器接线柱
9. 造成图 3.64 所示电路故障的原因可能是(注意标出的逻辑电平，它们是从实际电路中测出的):
   a. 逻辑门 1*A* 的引脚 2 在内部被短路到地
   b. 逻辑门 1*A* 的引脚 2 在内部被短路到 V_{CC}
   c. 逻辑门 1*A* 的引脚 1 在内部被断开
   d. 逻辑门 2 的引脚 2 在内部被断开

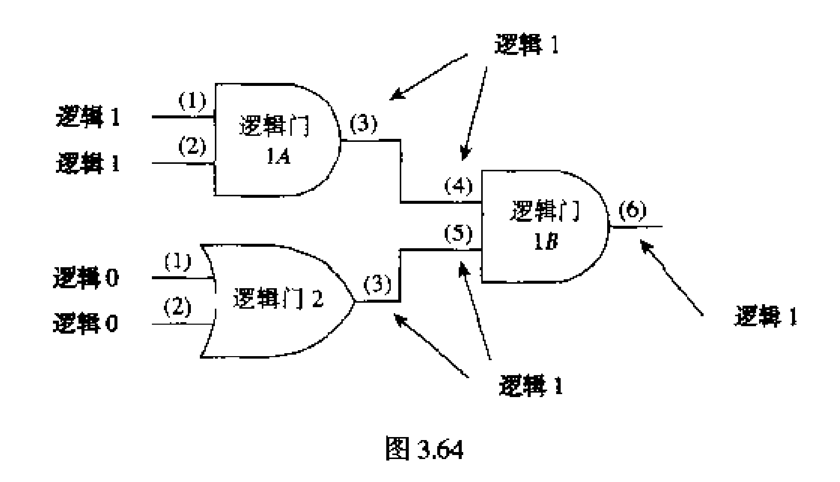


图 3.64

10. 造成图 3.64 所示电路故障的原因可能是(注意标出的逻辑电平):
   a. 逻辑门 1*B* 的引脚 4 被短路到地
   b. 逻辑门 2 的引脚 3 被短路到地
   c. 逻辑门 2 的引脚 3 被短路到 V_{CC}
   d. 逻辑门 1*A* 的引脚 1 处于悬空状态

3.10 逻辑门的实际应用

要点

给出一个 ROM 寻址控制电路的逻辑图，分析其电路工作过程以确定故障点。

图3.65所示的是使用与非门和或非门的一个实际电路。分析该电路的目的是为了解释这些逻辑门的工作过程情况。尽管有些简单，但是该电路是一个典型电路，它是一种在计算机中用于选择并寻址只读寄存器（ROM）芯片的控制电路。第12章将详细讲解存储器芯片和存储器寻址。

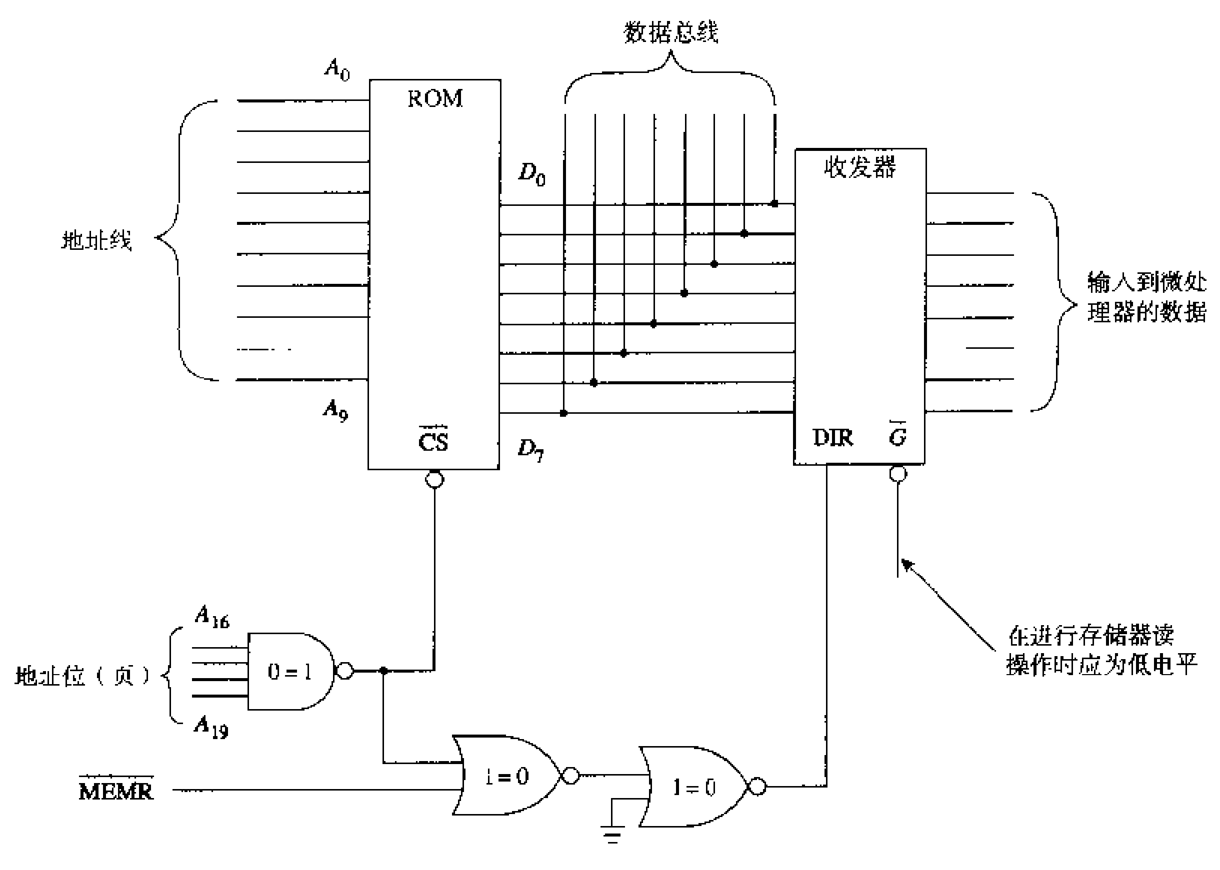


图3.65 ROM寻址控制电路

ROM芯片中包含了计算机加电工作过程时所必需的数据。其他类型的存储器数据存在其他存储器芯片中。

在数据从ROM中读出前，图3.65所示ROM芯片上的片选（$\overline{CS}$）输入信号必须是低电平，而且输出到芯片的A_0~A_9引脚上的地址信息也必须已经到位。要使数据从左边移到右边，双向收发器必须被使能（$\overline{G}$上低电平），收发器的方向引脚（DIR）必须是低电平。

有四条地址线（A_{16}~A_{19}）连接到与非门。连接到该逻辑门的所有地址位都是高电平时，才能提供一个低电平的$\overline{CS}$输入信号给ROM芯片。这个与非门输入引脚上的1111地址是十六进制的F。在这个特定的电路中，这4位地址称为页地址。与非门上的页地址F将选择这个ROM芯片并忽略系统中所有其他存储器芯片。

用四条地址线进行页选择时，即可以在0000（十六进制的0）到1111（十六进制的F）之间选择。它们表示16个不同的页地址，可以对计算机中的存储芯片进行分配。不要把存储器的一页与图3.65中的存储器混为一谈。一般情况下，存储器的一页包含64 KB或更多的数据。

在图3.65所示的系统中，ROM数据都存储在位于页F的一个芯片里。其他页地址（对应地址线A_{16}~A_{19}的十六进制数0到E）至少在4个数据位中含有1个0。因此，ROM芯片只能够用页地址F来选择。

一旦$\overline{\text{CS}}$输入被选定，其他地址线（A_0~A_9）将在ROM芯片内部选择特定的存储位置。我们正是从这些内部地址位置读取8位数据的。这些数据位（D_0~D_7）出现在收发器的左端。假定收发器上的$\overline{G}$被选通，则DIR引脚必须为低电平，以允许数据从收发器传到微处理器。

当页地址F加到与非门上，而且存储器读（$\overline{\text{MEMR}}$）信号为低电平时，DIR引脚就被设置好了。页地址为F时，与非门的输出为低电平。这个低电平加到第一个或非门的输入端。另外，如果系统正在进行存储器读操作而不是存储器写操作，则$\overline{\text{MEMR}}$将是低电平。由于系统不能写到ROM芯片里，为了能够正常工作，$\overline{\text{MEMR}}$信号必须为低电平。

加到或非门上的两个逻辑0将在输出端产生逻辑1的输出信号。这个输出信号加到第二个或非门将形成一个逻辑0信号，这样就允许数据从收发器传到微处理器。

使用短逻辑和$\overline{\text{短逻辑}}$可以让读者自己分析上面描述的电路。

3.10 节复习题

A. 在图3.65中，将地线连接到第二个或非门上的目的是什么？

B. 图3.65中第一个或非门的$\overline{\text{MEMR}}$线被断开而且该门是TTL逻辑门时，将会发生什么？

本章小结

逻辑门的工作过程是所有数字技术的基础。

在数字技术中共有3种逻辑函数：与、或和非。

与门用于识别所有的输入是否都为真。与门的短逻辑是“只要有一个输入为0，输出就为0”。与门是一个无反相功能的逻辑门，其输出为高电平有效。

或门用于识别在所有的输入信号中是否有为真的。或门的短逻辑是“只要有一个输入为1，输出就为1”。或门也是一个无反相功能的逻辑门，其输出为高电平有效。

$\overline{\text{短逻辑}}$可以由短逻辑得出，只要把“只要有一个”改为“所有”，并将输入和输出电平进行逻辑非运算即可。

无论逻辑门的输入数目是多少，任何逻辑门的短逻辑和$\overline{\text{短逻辑}}$都是成立的。

非门用于将一个逻辑信号反相。在数字电路图中，单个字母或一组字母上的横线表明该电路进行了逻辑非操作。

置有效信号指处于有效电平的信号。

与非门只是一个输出在芯片内部被反相的与门。与非门的短逻辑为“只要有一个输入为0，输出就为1”。与非门是一个具有反相功能的逻辑门，其输出为低电平有效。

或非门只是一个输出在芯片内部被反相的或门。或非门的短逻辑为“只要有一个输入为1，输出就为0”。或非门是一个具有反相功能的逻辑门，其输出为低电平有效。

图3.66显示了本章出现的所有逻辑门的逻辑符号。

对逻辑门进行操作时，应该注意逻辑门上有无圆圈（反相符号）以及逻辑门是与函数还是或函数。如果在一个逻辑门的输入和输出上出现了圆圈，则其电平应该看成低电平。没有圆圈时，就应该看成高电平。每个逻辑门的逻辑电平都可以这样来看，这样做结果也不会错。

在输入变化时，称逻辑门的操作为动态操作。逻辑门的输入保持不变时，称其操作为静态操作。

当一个逻辑门处于激励状态时，称该逻辑门被使能（允许通过信号）。当其处于非激励状态时，称其被禁止。

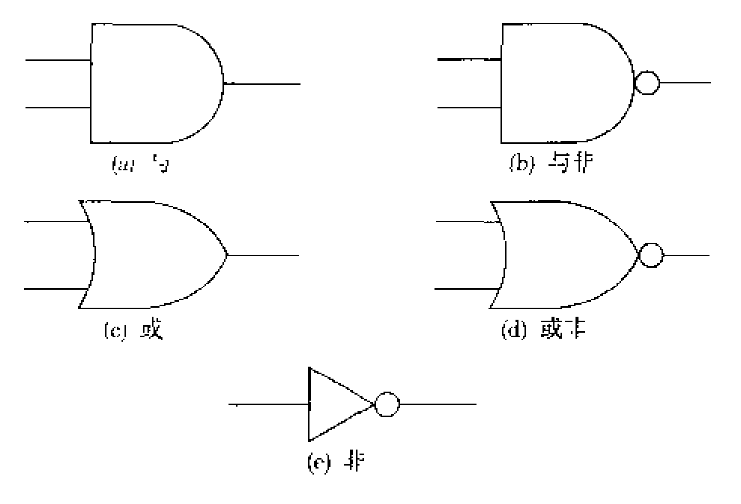


图3.66 逻辑门符号

输入的短逻辑电平总是该逻辑门的禁止信号。使能信号总是等于禁止信号的非信号。

主要有两种类型的逻辑门：双极型逻辑门和MOS逻辑门。双极型逻辑门系列几乎都是TTL芯片。MOS逻辑系列采用的是金属氧化物半导体场效应管。

TTL逻辑系列芯片具有相对较高的速度、低价格和良好的输出驱动能力。

MOS逻辑系列芯片具有较高的集成度和低功耗特性。

无论是什么逻辑系列的芯片，逻辑门的输入都不应该处于悬空状态。悬空输入的TTL逻辑门将把该输入作为逻辑1。MOS逻辑门的悬空输入引脚可能造成芯片过热。

在分析逻辑电路的故障时，最重要的一点是弄清该电路在正常情况下应该如何工作。在数字电路中，逻辑探针可以用来检查电路的逻辑电平。

习题

3.1节

1. 画出一个二输入与门的标准逻辑符号。
2. 下面是一个二输入与门的真值表，填写对应输入组合的输出电平。

输入		输出
A	B	Y
0	0	
0	1	
1	0	
1	1	

3. 画出一个三输入与门的ANSI/IEEE符号。
4. 对于一个三输入与门，如果$A=1$，$B=1$，$C=0$，其输出逻辑电平应该是多少？
5. 对于一个三输入与门，如果$A=1$，$B=1$，$C=1$，其输出逻辑电平应该是多少？
6. 一个四输入逻辑门共有多少种输入组合？

CT 7. 下表中的X表示的是什么意思？如果下表是一个二输入与门的真值表，写出每一种输入组合对应的输出电平（Y）。

输入		输出
A	*B*	*Y*
H	H	
L	X	
X	L	

3.2 节

8. 画出一个二输入或门的标准逻辑符号。

9. 对于一个二输入或门，如果 $A=1$、$B=1$，其输出逻辑电平应该是多少?

10. 对于一个二输入或门，如果 $A=0$，$B=0$，其输出逻辑电平应该是多少?

CT 11. 下面是一个三输入或门的真值表，填写对应输入组合的输出电平。

输入			输出
A	*B*	*C*	*Y*
L	L	L	
X	X	X	
X	X	H	

12. 图 3.67 所示电路的功能与一个三输入或门相同。

 a. 对

 b. 错

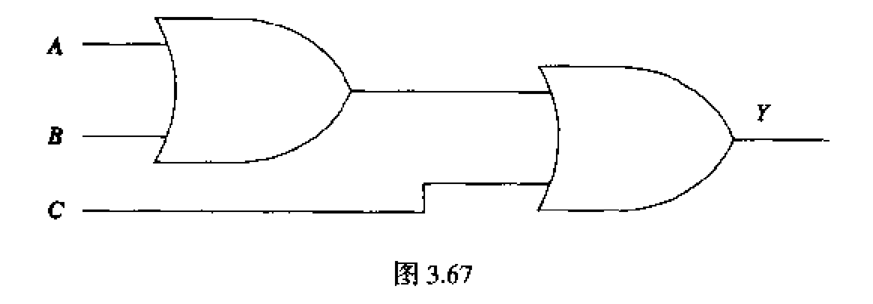


图 3.67

3.3 节

13. 画出一个非门的标准逻辑符号。

14. 画出一个非门的 ANSI/IEEE 符号。

15. 对于数字信号而言，什么是被“置有效”?

16. 当一个标有 READ 的信号处于逻辑 1 电平时，它是

 a. 被置有效

 b. 未被置有效

3.4 节

17. 当 $A=1$，$B=0$，$C=0$ 时，图 3.68 所示电路的输出逻辑电平应该是多少?

18. 当 $A=1$，$B=1$，$C=0$ 时，图 3.68 所示电路的输出逻辑电平应该是多少?

19. 当 $A=1$，$B=0$，$C=1$ 时，图 3.68 所示电路的输出逻辑电平应该是多少?

20. 当 $A=1$，$B=0$，$C=1$ 时，图 3.69 所示电路的输出逻辑电平应该是多少?

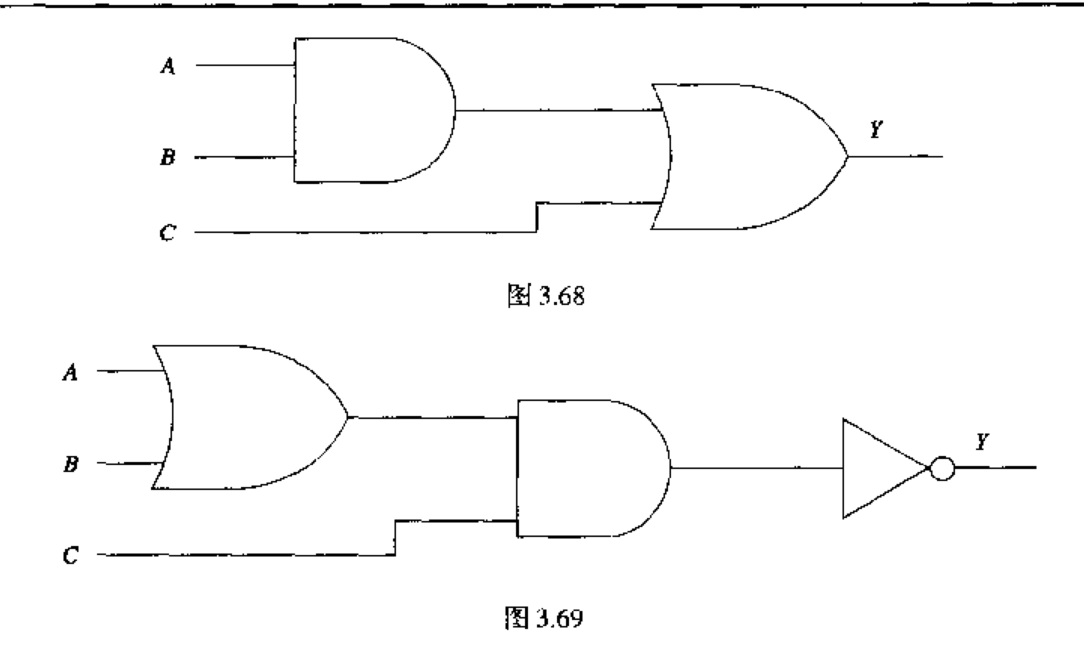


图 3.68

图 3.69

21. 当 $A=0$，$B=0$，$C=1$ 时，图 3.69 所示电路的输出逻辑电平应该是多少？
22. 当 $A=1$，$B=0$，$C=0$ 时，图 3.69 所示电路的输出逻辑电平应该是多少？
23. 当 $A=1$，$B=1$，$C=1$ 时，图 3.69 所示电路的输出逻辑电平应该是多少？

CT 24. 对于图 3.70 所示电路，产生高电平输出的惟一电平是多少？

$A=$_________ $B=$_________ $C=$_________。

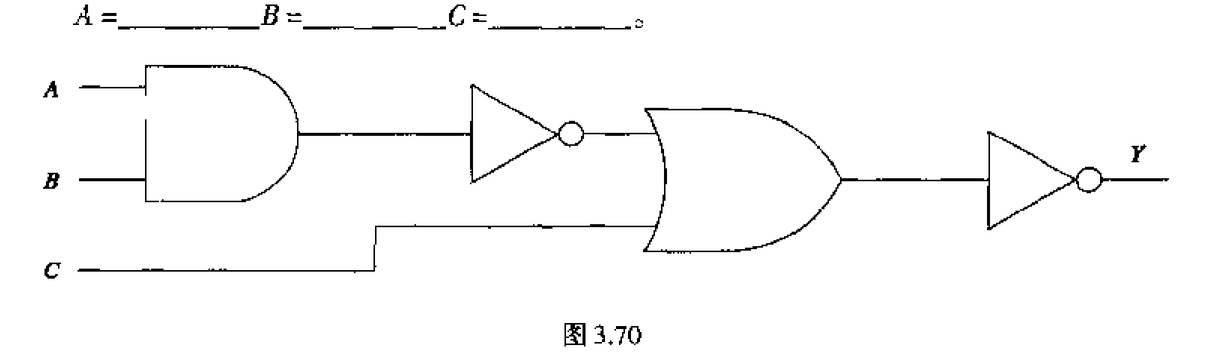


图 3.70

3.5 节

25. 画出一个二输入与非门的标准逻辑符号。
26. 对于一个二输入与非门，如果 $A=0$，$B=0$，其输出逻辑电平应该是多少？
27. 对于一个二输入与非门，如果 $A=0$，$B=1$，其输出逻辑电平应该是多少？
28. 对于一个三输入与非门，如果 $A=1$，$B=1$，$C=1$，其输出逻辑电平应该是多少？
29. 画出一个三输入与非门的完整的真值表。

3.6 节

30. 画出一个二输入或非门的 ANSI/IEEE 符号。
31. 画出一个二输入或非门的真值表。
32. 对于一个三输入或非门，如果 $A=1$，$B=1$，$C=1$，其输出逻辑电平应该是多少？
33. 对于一个三输入或非门，如果 $A=1$，$B=0$，$C=0$，其输出逻辑电平应该是多少？
34. 对于一个三输入或非门，如果 $A=0$，$B=0$，$C=0$，其输出逻辑电平应该是多少？

3.7 节

35. 画出图 3.71 所示与门的输出波形。

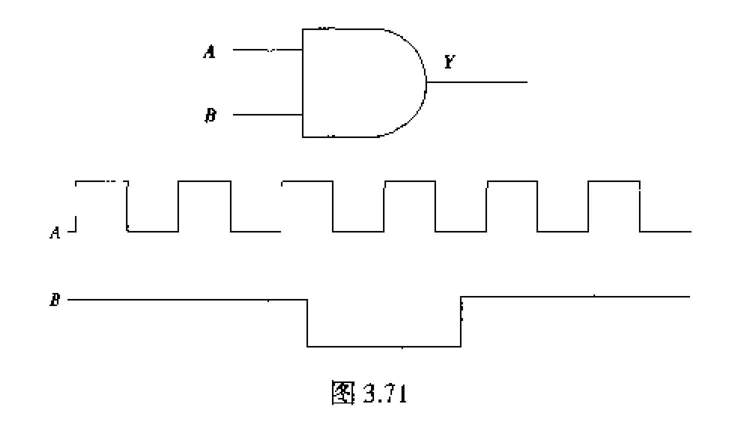


图 3.71

36. 画出图 3.72 所示或门的输出波形。

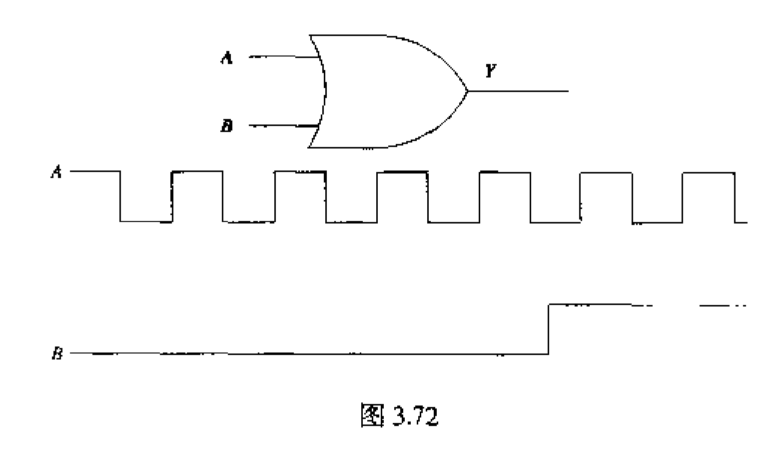


图 3.72

37. 画出图 3.73 所示与非门的输出波形。

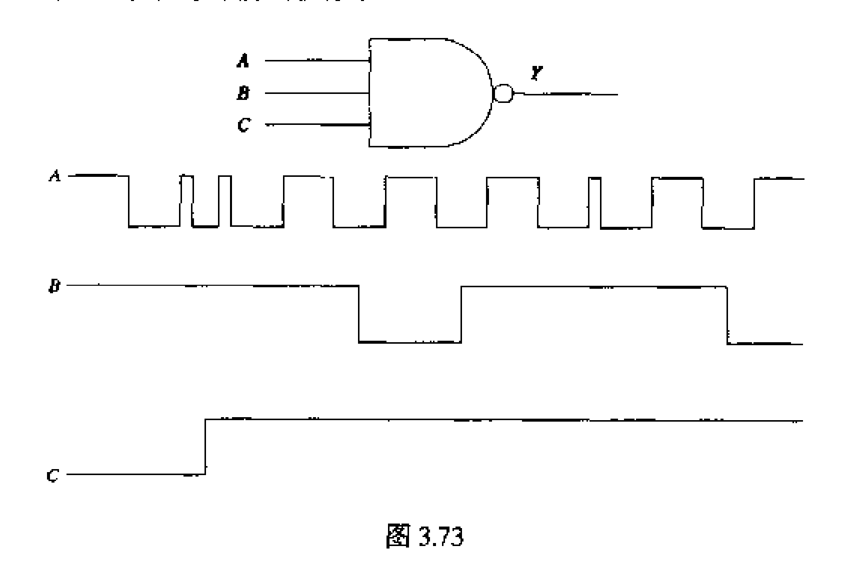


图 3.73

38. 画出图 3.74 所示或非门的输出波形。

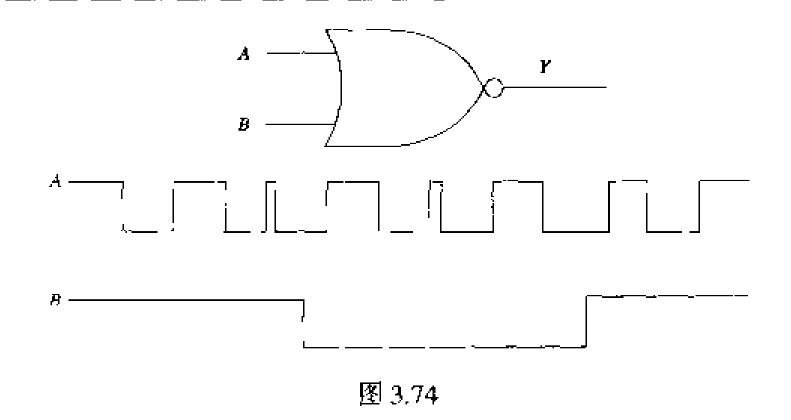


图 3.74

39. 什么逻辑电平可以使与门被禁止？
40. 什么逻辑电平可以使或门被禁止？
41. 什么逻辑电平可以使能与非门？
42. 什么逻辑电平可以使能或非门？
43. 被禁止时，或门的输出逻辑电平应该是多少？
44. 被禁止时，或非门的输出逻辑电平应该是多少？

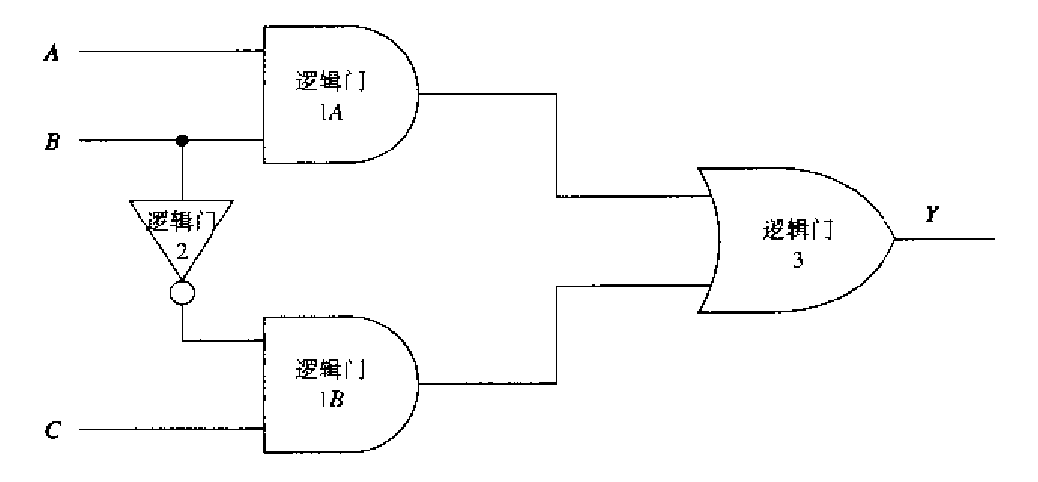
3.8 节

45. 在 TTL 集成电路芯片中使用的是什么类型的晶体管？
46. TTL 芯片的标称电源电压是多少？
47. TTL 芯片逻辑 0 的限制电平是多少？
48. TTL 芯片逻辑 1 的限制电平是多少？
49. CMOS 集成电路芯片中使用的是什么类型的晶体管？
50. TTL 芯片的输入被开路时，该输入将被当成逻辑________电平处理。
51. 或非门的悬空输入将________该逻辑门。
    a. 使能
    b. 禁止
52. 如何将一个三输入逻辑门连接为一个二输入逻辑门，举例给出两种较好的方法。

3.9 节

53. 逻辑探针的用途是什么？
54. 检查一条具有高电平的电路线，当其正由高电平变为低电平时，逻辑探针的指示灯应该指示什么（亮还是灭）？
    绿灯________。
    红灯________。
    黄灯________。

CT 55. 图 3.75 中的哪一个逻辑门存在开路输入引脚？注意，假定逻辑门都是 TTL 的，从理论上比较正常工作情况和确实存在缺陷的电路的工作情况。



一般情况			
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

实际情况			
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

图 3.75

第4章 布尔代数与逻辑电路

重要术语

Alternate Logic Gate Symbols 可替换逻辑门符号
Associative Property of Addition 加法的相关特性
Associative Property of Multiplication 乘法的相关特性
Boolean Algebra 布尔代数
Commutative Property of Addition 加法的交换特性
Commutative Property of Multiplication 乘法的交换特性
Complement Property 补码特性
DeMorgan's Theorems 摩根定律
Distributive Property of Multiplication over Addition 乘法优于加法的分配特性
Don't Care Inputs 无关输入
Double Negation Property 双重否定特性
Enable Property 使能特性
Inhibit Property 禁止特性
Karnaugh Map 卡诺图
K-Map Looping 卡诺环
Logical Product 逻辑乘积
Logical Sum 逻辑和
Product of Sums 和之积
Propagation Delay 传输延迟
Redundant Property 冗余特性
Signs of Grouping 分组符号
Sum of Products 积之和
Variable 变量
Vinculum 联结

本章要点

1. 给出一个真值表，能够得出布尔表达式并简化它。
2. 确定每一个逻辑门的可替换逻辑门符号。
3. 简化布尔表达式。
4. 给出一个逻辑图，只使用与非门或或非门实现相应的逻辑电路。

概述

第2章中介绍了二进制、八进制和十六进制计数系统。由于数字系统的操作只使用逻辑0和逻辑1，所以需要重点注意二进制计数系统。用于描述逻辑的数学形式称为布尔代数，在本章中将对它进行讲解。与二进制计数系统类似，布尔代数也是用于处理双电平的函数，是进行数字电路分析的极好工具。布尔代数将提供一种表示数字电路工作过程的简单工具。

布尔代数是用数学符号描述逻辑处理的一种逻辑形式。在本章中，将把第3章出现的逻辑门操作以逻辑定律的形式来进行描述。

对技术人员而言，深入了解布尔代数非常有助于对数字电路的操作和故障诊断进行分析。另外，它还有利于电路的设计，利用它可以用最少的逻辑门来实现电路功能。尽量少地使用逻辑门可以减少集成电路芯片的个数、减小电路尺寸、降低功耗和降低成本。

1847年，哲学家乔治·布尔发表了一篇关于符号逻辑的论文。19世纪50年代，他又发表了今天被我们称为布尔代数的数学理论。1938年，贝尔电话公司的C. E. Shannon发展了布尔的理论，并得出了今天用于分析逻辑电路的布尔符号（代数）。

本章讲解了从布尔表达式中代表逻辑函数的符号到数字电路的最终设计的各种知识，并详细讲述了从逻辑符号到最终设计之间的各个步骤。这些步骤包括解释并简化布尔表达式，以及解释真值表。

4.1 布尔符号

要点

1. 写出与门、或门、与非门、或非门和非门的布尔表达式。
2. 写出代表一个逻辑门的高电平或低电平输出的布尔表达式。

布尔代数中用到的数学符号列在表4.1中。布尔代数使用这些数学符号表示数字电路完成的各种逻辑功能。

表 4.1 布尔逻辑符号

符号	例子	意义
A,B,C X,Y,Z		在布尔表达式中用字母表示逻辑门和电路的输入/输出。这些字母表示数字电路中的变量，它们必须为低电平（0）或高电平（1）
· 或 ×	$A \cdot B$ $A \times B$ AB	圆点或×表示逻辑乘。多数情况下，逻辑乘不用符号来表示。左边的3个例子表示的都是A和B的逻辑与操作。这个符号应该读为“与”。“$AB = A$与B”和“$A \cdot B = A$与B”一样
+	$A + B$	加法符号代表逻辑和或逻辑或运算。左边的例子表示A和B进行逻辑或运算。该符号应读为“或”。$A + B = A$或B
=	$X = A + B$	等号表示两个表达式或变量的值相同
$\overline{\ }$ $\overline{\quad\quad}$	$\overline{A}$ $\overline{A+B}$	上划线代表非运算，有时也称为补运算。左边的例子应读为“A非”和“A或B的非”。当上划线画在两个或更多变量上面时，它就不仅仅表示补运算了，而是表示一个联结符号。该符号将所有的字母收集在一起形成一个独立的表达式
(□) [□] {□}		分组符号表示内部的所有符号一起作为独立的表达式来处理。当表达式在分组符号中还有分组符号时，应先运算里层的分组符号

4.1.1 与函数

图4.1中的与门表示该逻辑门的输出是“$A \cdot B$”。圆点常常用来表示电路的逻辑乘。逻辑乘是通过将两个或更多的输入（变量）相与来实现的。如表4.1中的注解，在逻辑乘的表达式中，圆点常常省略，只写为AB。圆点是隐含的，AB表示输入的变量进行了逻辑与操作，表达式$X = AB$称

为布尔表达式。表达式中的字母 A，B 和 X 称为变量。变量的值必须为低电平（逻辑 0）或高电平（逻辑 1）。与门产生的逻辑乘积和将 A 与 B 相乘产生的实际乘积完全相同，如：

$$0 \cdot 0 = 0$$
$$0 \cdot 1 = 0$$
$$1 \cdot 0 = 0$$
$$1 \cdot 1 = 1$$

布尔表达式 AB 表示能够产生高电平输出的输入条件。在这种情况下，如果 A 和 B 都是高电平，逻辑门的输出将是高电平。这同与门的短逻辑概念是相同的。

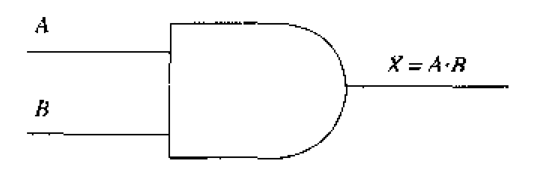
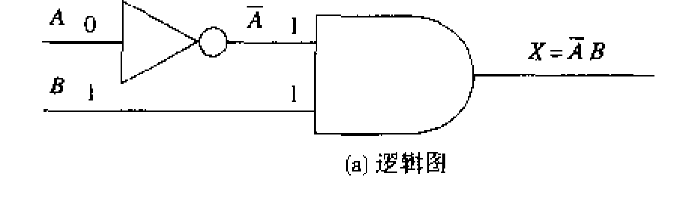


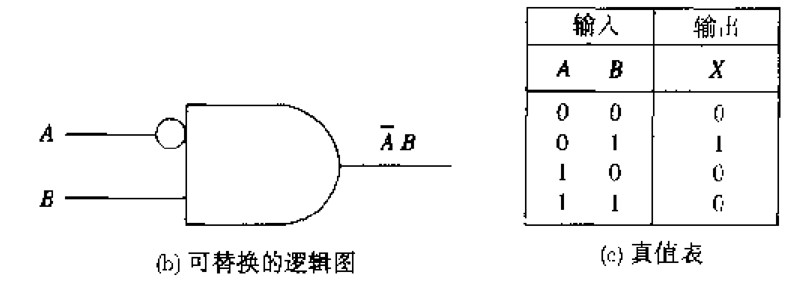
图 4.1　与门/布尔代数表达式

这种理论可以扩展到包括反相的逻辑变量。例如，图4.2(a)所示电路输出的布尔表达式就是 $\bar{A}B$。图 4.2(b)是该电路的另一种画法。由于圆圈代表反相，所以这也是一种可以接受的电路画法。因为 A 在和 B 进行逻辑与操作以前先进行了逻辑非的运算，所以该电路的表达式为 $\bar{A}B$。这里用字母 A 上面的上划线来表示逻辑非运算。由于该表达式写成高电平输出的形式，所以表达式应读为"A 非与 B"。如图 4.2(c)所示，这表明当 A 为低电平，B 为高电平时，该电路输出为高电平。

在读逻辑门或电路的布尔表达式时，表达式就可以表明当输入条件满足时输出为高电平。读一个表达式时，变量上的非号永远表示低电平信号，没有非号的变量则表示高电平信号。



(a) 逻辑图



输入		输出
A	B	X
0	0	0
0	1	1
1	0	0
1	1	0

(b) 可替换的逻辑图　　(c) 真值表

图 4.2　反相与门/布尔表达式

4.1.2　或函数

图 4.3 所示的或门表明该逻辑门的输出是 $A + B$。加号用于表示或函数，也称为逻辑加。该表达式说明输入变量 A 和输入变量 B 进行了逻辑或运算。

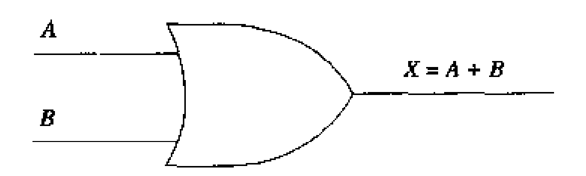


图 4.3 或门 / 布尔表达式

两个输入均为 1 的或门的逻辑和的输出是 1 + 1 = 1。该逻辑和并不等同于在二进制加法中所得的实际运算值。由二进制加法的规则可知，1 + 1 = 0 并带有一个进位 1。在数字电路中，加号有两种意义。在数字运算电路中，它表示二进制加法。在布尔代数和逻辑电路中，它表示逻辑或。

同样，布尔表达式 $A + B$ 也表示该输入条件将产生一个高电平输出。如果该表达式读法是正确的，则当 A 和 B 都为高电平时，该电路将输出为高电平。

4.1.3 与非函数

图 4.4 所示与非门的布尔表达式为 $\overline{AB}$。整个表达式上面的上划线表示 A 和 B 先进行逻辑与操作，然后进行逻辑非操作。整个表达式上面的上划线常常称为联结。布尔表达式中的联结是指画在两个或更多字母上面的上划线，用来表示将一些变量看作为一个独立的变量。例如，在表达式 $\overline{AB}$ 中，变量 A 和 B 进行了与非运算，作为逻辑门输出的结果，这是一个独立的变量。

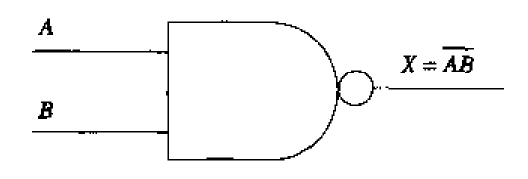


图 4.4 与非门 / 布尔表达式

由于该表达式的 AB 上面有一个非号（联结），所以它表示的输入条件将产生一个低电平输出。对于与非门而言，如果 A 是高电平，B 也是高电平，则该逻辑门的输出为低电平。这与该逻辑门的短逻辑是相关的。

布尔表达式可以扩展到多于两个输入的逻辑门。只要对增加的每一个输入端提供输入字母或助记符即可。图 4.5 是一个四输入与非门的例子。

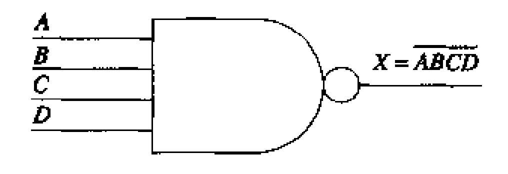


图 4.5 四输入与非门 / 布尔表达式

4.1.4 或非函数

图 4.6 所示的或非门产生的布尔表达式为 $\overline{A + B}$。和与非门的布尔表达式类似，整个表达式上面的联结符号表示 A 与 B 先进行逻辑或运算，然后对结果进行逻辑非运算。该表达式表示的输入条件将产生一个低电平输出。在这种情况下，如果 A 为高电平或 B 为高电平，则输出为低电平。

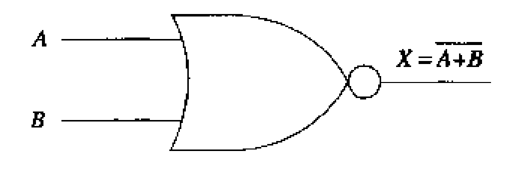


图 4.6　或非门/布尔表达式

与门和与非门输出表达式的惟一区别是与非门的表达式上面有一个非号（联结）。类似地，或门和或非门输出表达式的惟一区别也是或非门表达式上多一个非号。两种情况下（与非门和或非门），非号（联结）表示的都是逻辑处理后的反相运算，而不是逻辑门内部的运算。

从与门（AB）和或门（$A+B$）的布尔表达式可以看出，按照它们的输入条件，将产生高电平输出。从与非门（$\overline{AB}$）和或非门（$\overline{A+B}$）的布尔表达式可以看出，按照它们的输入条件，将产生一个低电平输出。对于低电平输出的情况，联结是一个符号，用来表示当输入条件满足时，输出将为低电平。

4.1.5　非函数

非门的输出是输入的补码。如果 A 是一个非门的输入，则输出为 $\bar{A}$（A 的非）。尽管有时用两个非门背靠背地连接在一起来延迟信号（如图4.7所示），但是绝大多数时候，非门还是用于转换信号的逻辑电平。图 4.7 中第二个非门输出的信号和输出的时钟信号完全相同，但是该信号延迟了一段时间，延迟的时间等于两个非门的传输延迟时间。传输延迟是指输出信号响应输入请求的时刻与信号输入到逻辑门的时刻之间的差。

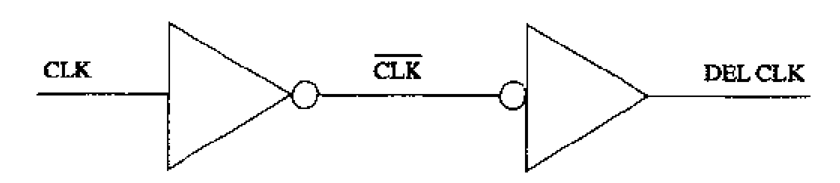
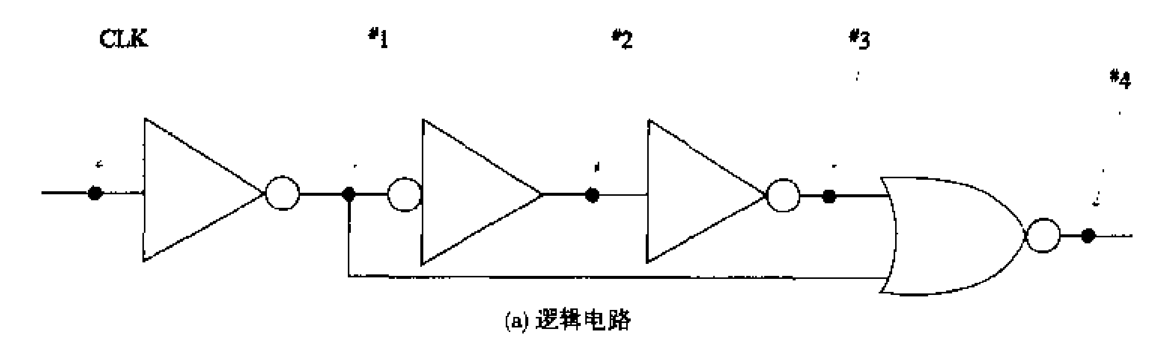


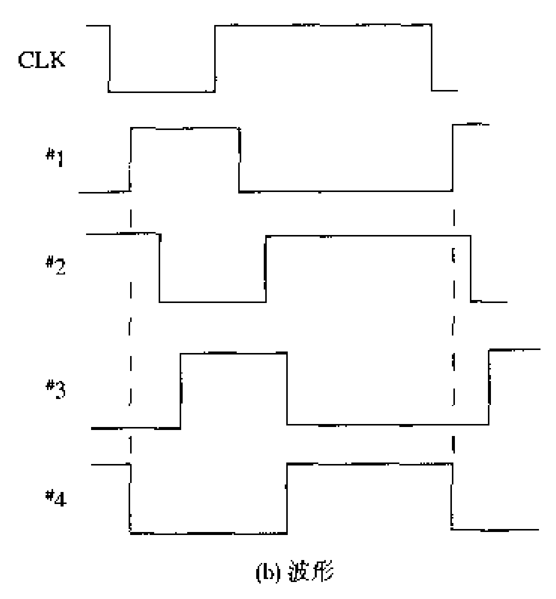
图 4.7　用于延迟信号的非门

非门也可以背靠背地连接在一起用来增大信号的脉冲宽度。图 4.8 所示的电路是一个例子。该电路使用三个非门和一个或非门将一个信号的占空比从 33% 提高到 50%。图 4.8(b)中每个波形的延迟时间等于一个非门的传播时间（在本例中是 15 ns）。#1 和 #3 非门的输出信号应用到或非门上产生了 50% 的占空比信号。



(a) 逻辑电路

图 4.8　使用非门增加信号的占空比



(b) 波形

图4.8（续） 使用非门增加信号的占空比

4.1 节复习题

A. 有一个二输入与门，其输入分别为 A 和 B，写出它的布尔表达式。

B. 有一个二输入与门，其输入分别为 A 和 B，如果 B 在该逻辑门的输入端经过了逻辑非运算，写出它的布尔表达式。

C. 有一个二输入或门，其输入分别为 A 和 B，写出它的布尔表达式。

D. 有一个二输入与非门，其输入分别为 A 和 B，写出它的布尔表达式。

E. 有一个二输入或非门，其输入分别为 A 和 B，写出它的布尔表达式。

F. 表达式 $A+B$ 用于识别可以产生________电平输出的输入条件。

(1) 低

(2) 高

G. 表达式 $\overline{AB}$ 用于识别可以产生________电平输出的输入条件。

(1) 低

(2) 高

H. 定义“变量”。

I. 定义“联结”。

4.2 实数和布尔代数的特性

要点

1. 识别布尔代数的不同特性。
2. 确定诸如 $A+\overline{A}B=A+B$ 和 $\overline{A}+A\overline{B}=\overline{A}+\overline{B}$ 之类的布尔代数特性的有效性。

大家熟知的许多代数运算规则也适用于布尔代数。在基础学习中，因子分解律和分配律都应该是大家已经非常熟悉的规则。

数学中有关实数的一些特性也可以用到布尔代数中。这些特性包括加法和乘法的结合律、加法和乘法的交换律以及乘法对加法的分配律。

4.2.1　实数特性

加法结合律

$$(A+B)+C=A+(B+C)=A+B+C$$

该特性只是说明在多个变量进行逻辑或运算时，无论它们相互之间如何组合，逻辑或的结果都是相同的．术语“结合”指的是各变量之间的组合是独立的。上面的第一个表达式中有一个组合符号（圆括号），它指明 A 先与 B 进行逻辑或运算，然后其逻辑和再与 C 进行逻辑或运算。如图 4.9 所示，该表达式表明这等于先将 B 和 C 进行逻辑或，然后再将其逻辑和与 A 进行逻辑或运算。实际上，这与三个变量直接通过一个三输入或门进行逻辑或是一样的。

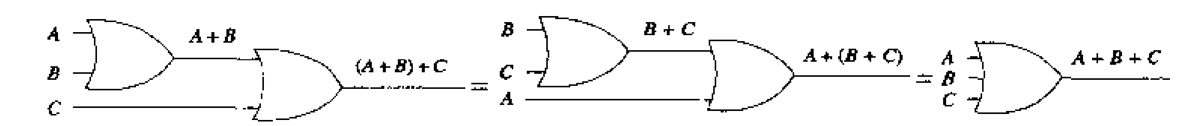


图 4.9　表现加法结合律等效性的逻辑电路

图4.9所示的前两个电路对应的布尔表达式中的圆括号用来表示各个运算的先后顺序，是必须有的。在第一个表达式 $(A+B)+C$ 中，A 和 B 先进行逻辑或运算；在第二个表达式 $A+(B+C)$ 中，先进行 B 和 C 的逻辑或运算。

在下列情况出现时，必须用组合符号：(1) 一个或门的输出作为另一个或门的输入时；(2) 一个与门的输出作为另一个与门的输入时；(3) 一个或门的输出作为一个与门的输入时。当一个与门的输出作为一个或门的输入时，不需要使用组合符号，因为其运算顺序与基本代数的运算顺序完全相同，即逻辑乘运算优先于逻辑加运算。图 4.10 所示的就是这种情况。

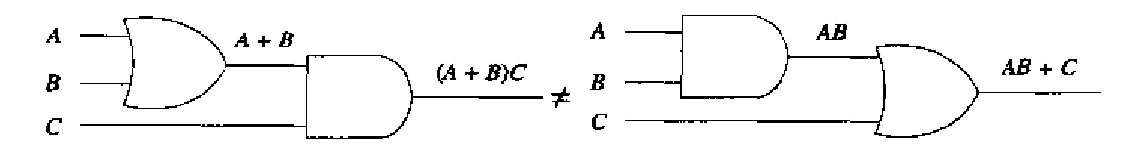


图 4.10　表现组合符号用法的逻辑电路

乘法结合律

$$(AB)C=A(BC)=ABC$$

该特性表明，无论怎么组合，各变量相与的顺序都完全相同。上面表达式中的第一个式子表示 A 先与 B 进行逻辑与运算，然后逻辑乘的结果再和 C 进行逻辑与运算。第二个式子表示 B 先与 C 进行逻辑与运算，然后其结果再和 A 进行逻辑与运算。这两个式子是等同的，而且和将三个变量输入到一个三输入与门进行逻辑与运算完全相同。图 4.11 用逻辑门表示了这三个式子的等价性。

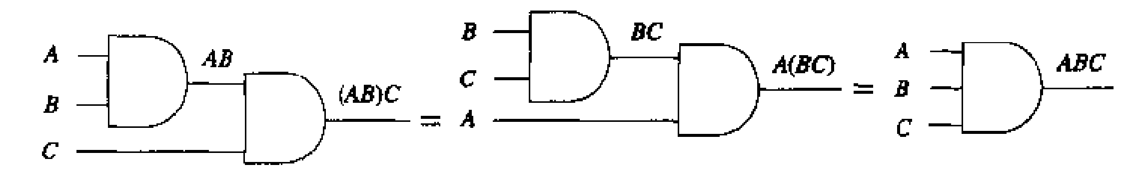


图 4.11　表现乘法结合律等价性的逻辑电路

加法和乘法的交换律

$$A + B = B + A$$

$$AB = BA$$

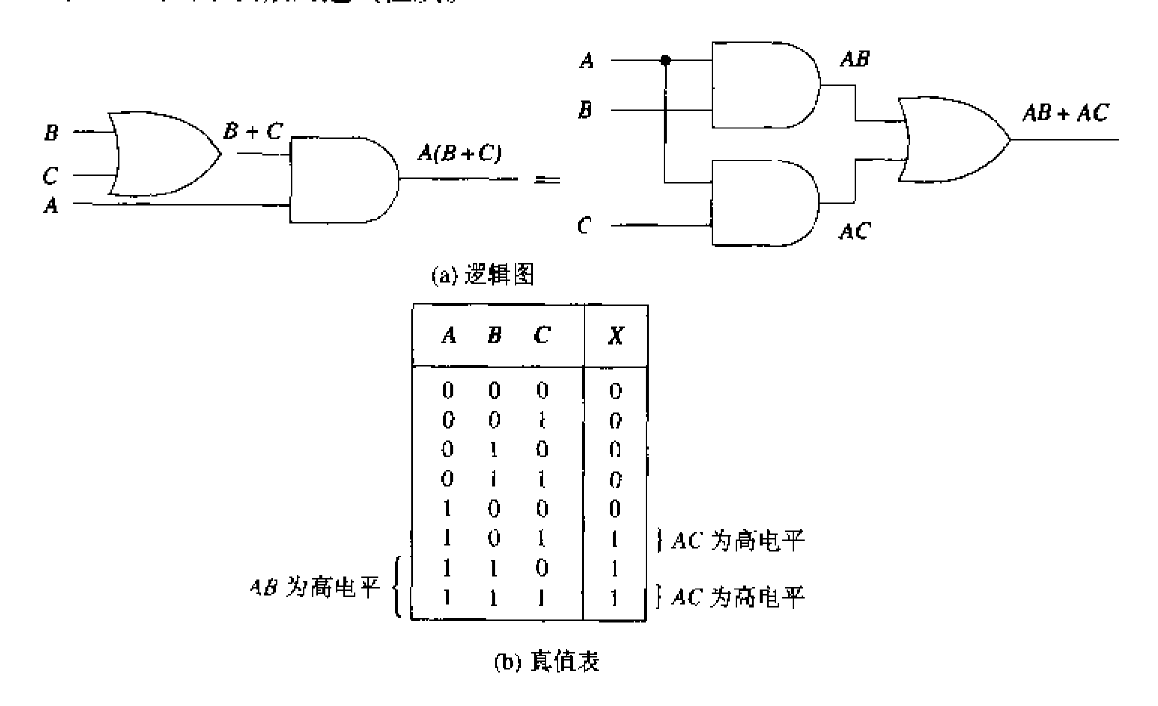
术语“交换律”指的是运算结果与运算顺序无关。上面的这两个特性证明：如果A输入到一个逻辑门，B输入到另一个逻辑门，这两个输入可以颠倒过来，而输出结果完全相同。

乘法对加法的分配律

$$A(B + C) = AB + AC$$

$$(B + C)A = BA + CA$$

分配律表明：先进行$(B + C)$的逻辑或，然后再将其逻辑和同A进行逻辑与，该运算完全等同于先将A和另外两个变量进行逻辑与，然后将与的结果进行逻辑或运算。图4.12(a)和(b)显示了这种等价性。表4.2列出了实数的这些性质。



A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

图4.12 表现乘法对加法的分配律的逻辑电路

表4.2 实数的性质

性质	名称
$(A+B) + C = A + (B + C) = A + B + C$	加法的结合律
$(AB)C = A(BC) = ABC$	乘法的结合律
$A + B = B + A$	加法的交换律
$AB = BA$	乘法的交换律
$A(B + C) = AB + AC$	乘法对加法的分配律

4.2.2 布尔代数的性质

图4.13所示的性质在简化布尔表达式时非常有用。布尔表达式的简化处理将降低实现该表达式逻辑功能的电路的成本。这里需要解释的是，尽管在本节中说明实数和布尔代数性质时常常用到的是A和B，但实际上可以使用任何字母。

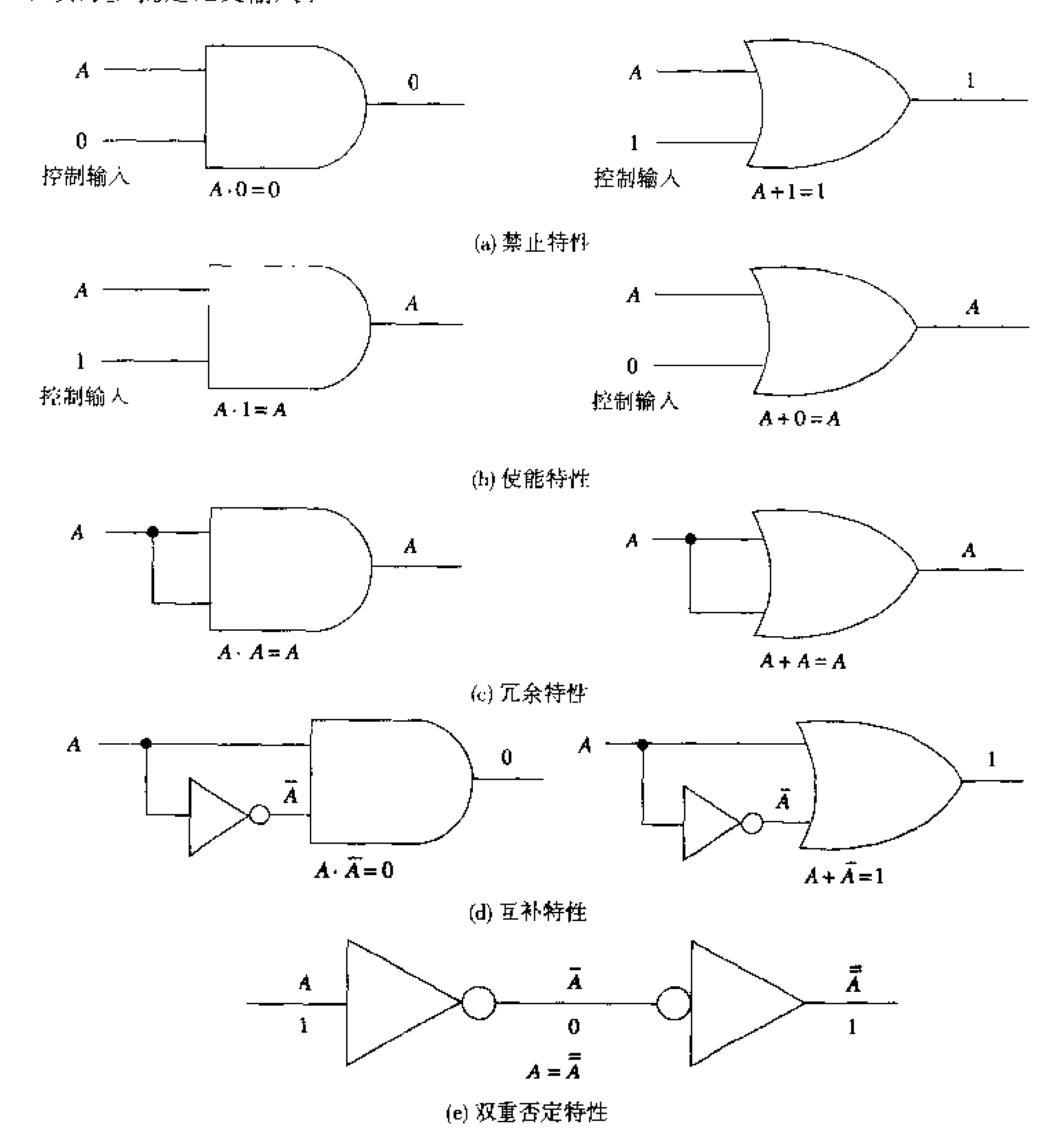
为了讨论图 4.13(a)和(b)中逻辑门的特性，我们把为 0 或 1 的输入称为控制输入。

禁止特性

$A \cdot 0 = 0$

$A + 1 = 1$

禁止特性如图 4.13(a)所示。如果与门的控制输入为低电平，每个逻辑门的输出都必然是低电平。需要记住的是，0 输入将禁止与门。因此，$A \cdot 0 = 0$。当与门有一个输入为低电平时，其他输入（A）实际上就是无关输入。



(a) 禁止特性

(b) 使能特性

(c) 冗余特性

(d) 互补特性

(e) 双重否定特性

图 4.13　布尔代数特性

如果图 4.13(a)中或门的控制输入为高电平，该逻辑门将被禁止，其输出将是高电平，A 是一个无关输入。因此，该特性可写为 $A + 1 = 1$。

禁止特性提供了一个用途广泛的规则，利用它可以简化布尔表达式。该规则为：在一个表达式中，任何时候只要某个变量与一个禁止信号进行逻辑与或逻辑或运算，该变量就可以从表达式中简化掉。

禁止特性也适用于输入相乘的逻辑门。例如，$A \cdot B \cdot C \cdot 0 = 0$ 和 $A + B + C + 1 = 1$。这与逻辑门的短逻辑直接相关。

使能特性

$A \cdot 1 = A$

$A + 0 = A$

图4.13(b)所示的就是使能特性。如果一个与门的控制输入为高电平，则该逻辑门被使能，其输出将等于 A。因此，$A \cdot 1 = A$。

输入 $A = 1$，控制输入 $= 1$，输出 $= 1 = A$（所以输入为1，输出才为1）。
输入 $A = 0$，控制输入 $= 1$，输出 $= 0 = A$（只要有一个输入为0，输出就为0）。

对于或门，如果控制输入为低电平，则该逻辑门被使能，而且输出等于 A。因此，$A + 0 = A$。

输入 $A = 1$，控制输入 $= 0$，输出 $= 1 = A$（只要有一个输入为1，输出就为1）。
输入 $A = 0$，控制输入 $= 0$，输出 $= 0 = A$（所以输入为0，输出才为0）。

使能特性也是一个用途广泛的特性，利用它可以简化布尔表达式。该特性为：在一个表达式中，任何时候只要某个变量与一个使能信号进行逻辑与或逻辑或运算，该使能信号就可以从表达式中简化掉。

使能特性也适用于输入相乘的逻辑门。例如，$\bar{A} \cdot B \cdot C \cdot 1 = \bar{A} \cdot B \cdot C$ 和 $\bar{A} + \bar{B} + 0 = \bar{A} + \bar{B}$。

冗余特性

$A \cdot A = A$

$A + A = A$

图4.13(c)所示的是冗余特性。如果 A 为高电平，则一个与门的输出将为高电平，因为两个输入都是高电平。因此，输出将等于 A。如果 A 为低电平，与门的输出将为低电平，但是仍然等于 A。这证明了特性 $A \cdot A = A$ 是成立的。或门的冗余特性 $A + A = A$ 可以用类似的方法进行证明。如果 A 为高电平，则输出为高电平且等于 A。如果 A 为低电平，则或门的输出为低电平，并且还是等于 A。

冗余特性还可以用于对值进行逻辑非运算。例如：

$\bar{A} \cdot \bar{A} = \bar{A}$

$\bar{A} + \bar{A} = \bar{A}$

$A \cdot \bar{A} = 0$

$A + \bar{A} = 1$

图4.13(d)所示的是互补特性。由于与门的输入总是互补的，有一个输入必须总是为低电平。该低电平输入信号将禁止逻辑门并产生一个低电平输出，$A \cdot \bar{A} = 0$。因为如果 $A = 1$，则 $\bar{A} = 0$；如

果 $A = 0$，则 $\bar{A} = 1$，所以 $A \cdot \bar{A} = 0$ 是成立的。同样的道理也可以用于证明或门在输入互补时总是处于被禁止的状态，而且有 $A + \bar{A} = 1$。这种特性可以直接由禁止特性推导出来。

该特性可以用诸如 $\bar{A} + A + B + C = 1$ 或 $\bar{A}ABC = 0$ 之类的表达式来表示。思考一下这些表达式代表的逻辑门和它们表示的意思。在第一个表达式中，$\bar{A}$ 和 A 中必然有一个为低电平。因此，该与门的输出必然为低电平，因为与门的短逻辑是“只要有一个输入为 0，输出就为 0”。另外，当输入 A 或 $\bar{A}$ 为低电平时，B 和 C 就成了无关输入。对于或门的逻辑表达式，因为或门是被逻辑 1 禁止的，所以也可以使用同样的逻辑分析方法。

双重否定特性

$\bar{\bar{A}} = A$

图4.13(e)所示的是双重否定特性。该特性表明，如果一个逻辑电平被两次反相，则输出结果等于原来的输入逻辑电平。这样，布尔表达式中的双重否定标记就可以去掉了。第一个非门输出端显示的圆圈和第二个非门输出端显示的圆圈就没有什么区别了，圆圈表示的就是反相。

前面描述的布尔代数的性质都列在表4.3中。下面还有另外一些布尔代数的性质，在对布尔表达式进行简化时，这些性质也很有用。下面的每一个性质都将用逻辑电路和真值表给出证明。

表 4.3　布尔代数的性质

性质	名称
$A \cdot 0 = 0$	禁止
$A + 1 = 1$	禁止
$A \cdot 1 = A$	使能
$A + 0 = A$	使能
$A \cdot A = A$	冗余
$A + A = A$	冗余
$A \cdot \bar{A} = 0$	互补
$A + \bar{A} = 1$	互补
$\bar{\bar{A}} = A$	双重否定

1. $A + AB = A$

证明该表达式的电路如图 4.14(a)所示。下面是对各种输入条件的分析：

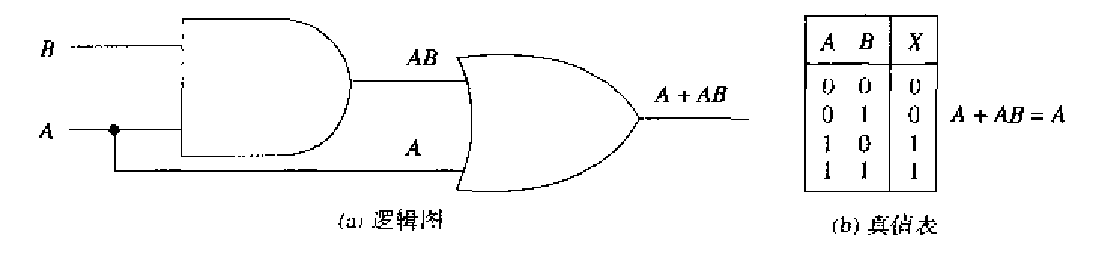
$A = 0$，$B = 0$。 输出为 0。与门产生一个输出 0，并将其输入到或门，同输入 $A = 0$ 一起使或门产生低电平输出。

$A = 0$，$B = 1$。 电路输出还是为 0。与门的输入 A 使该逻辑门被禁止，产生的输出为 0。这个 0 信号输入到或门，和另外一个输入 $A = 0$ 一起使电路输出为 0。

$A = 1$，$B = 0$。 电路输出为高电平。只要或门的输入 A 为高电平，该逻辑门就会被禁止，产生的输出为 1。

$A = 1$，$B = 1$。 由于或门仍然被禁止，所以上一段的逻辑分析完全可以用到这里。

上面电路的真值表如图 4.14(b)所示。该表表明 $A + AB$ 确实等于 A。表中的高电平输出条件已标出来了，我们可以看出，当 A 为高电平时，不管 B 的电平如何，输出都为高电平。这是因为当输入 A 为高电平时，或门被禁止，它将产生一个高电平输出。当 A 为高电平时，从与门输出端到或门输入端的信号 AB 是一个无关输入。



A	B	X
0	0	0
0	1	0
1	0	1
1	1	1

图 4.14　$A + AB$的电路实现

该特性也可以通过分配律和禁止、使能特性从数学角度进行证明，具体步骤如下：

$A + AB$

$A(1 + B)$　　禁止特性（$B + 1 = 1$）

$A \cdot 1 = A$　　使能特性（$A \cdot 1 = A$）

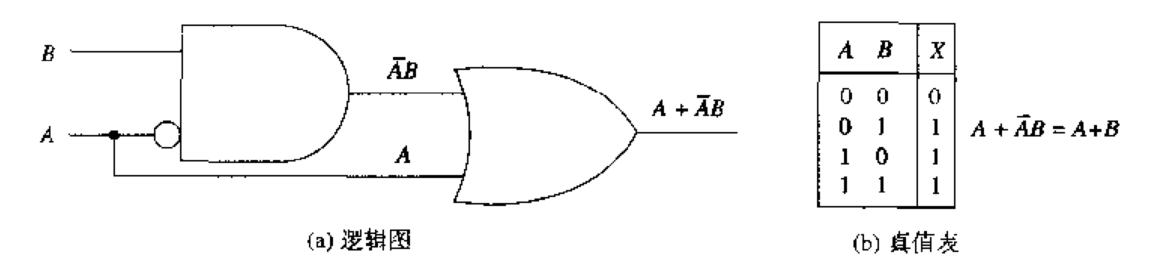
2. $A + \bar{A}B = A + B$

该表达式的电路和真值表如图 4.15 所示。输入条件为：

$A = 0$，$B = 0$。与门的输入 $B = 0$ 将使该逻辑门处于禁止状态，其输出为 0。该与门的输出 0 和另一个输入 $A = 0$ 一起作为或门的输入，使该电路输出为 0。

$A = 0$，$B = 1$。输入 $A = 0$ 在加到与门之前首先反相，反相得到的信号 1 和输入 $B = 1$ 一起，使与门的输出为高电平。因此，或门被禁止，其输入 A 只是一个无关输入，电路的输出为高电平。

$A = 1$，$B = 0$ 或 $A = 1$，$B = 1$。因为 $A = 1$，或门被禁止，所以这两种输入条件都将产生高电平输出。



A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

图 4.15　实现 $A + \bar{A}B$

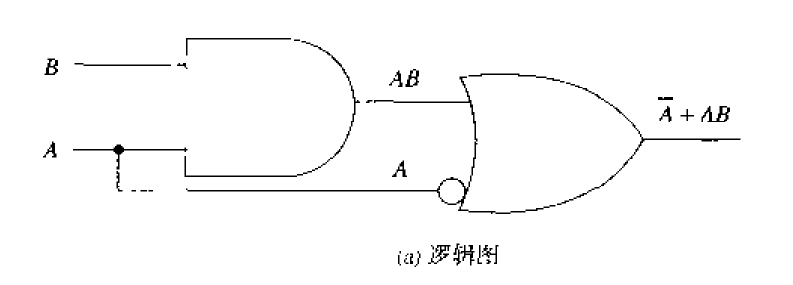
因为布尔表达式可以表明何种输入条件将产生高电平输出，所以图4.15(b)所示的真值表中也突出显示了高电平输出。三个高电平输出都出现在 A 或 B 为高电平时，所以和或门的功能完全相同。故，$A + AB = A + B$。也可以利用 $A = A + AB$ 的特性和冗余律、互补律以及使能特性等从数学角度证明该公式。

3. $\bar{A} + AB = \bar{A} + B$

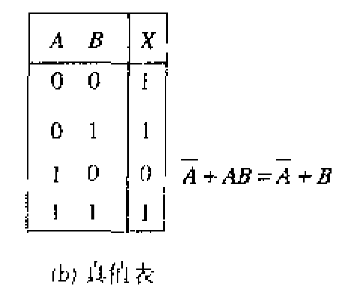
对于该特性，可以用类似的方法来分析。图 4.16 所示的是其电路和真值表。只要 $A = 0$，或门就会被禁止，输出的将是高电平。当 $A = 1$，$B = 1$ 时，或门也会被与门的高电平输出禁止。真值表证明了 $A + AB = \bar{A} + B$ 的特性是成立的。

4. $A + \bar{A}\bar{B} = A + \bar{B}$

图 4.17 所示的是用于实现表达式 $A + \bar{A}\bar{B} = A + \bar{B}$ 功能的逻辑电路和真值表。



(a) 逻辑图

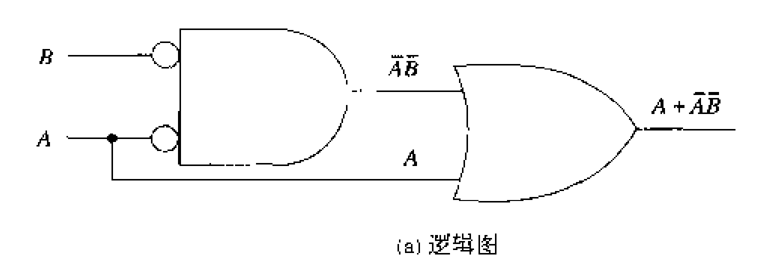


A	B	X
0	0	1
0	1	1
1	0	0
1	1	1

$\bar{A}+AB=\bar{A}+B$

(b) 真值表

图 4.16　实现 $\bar{A}+AB$



(a) 逻辑图

A	B	X
0	0	1
0	1	0
1	0	1
1	1	1

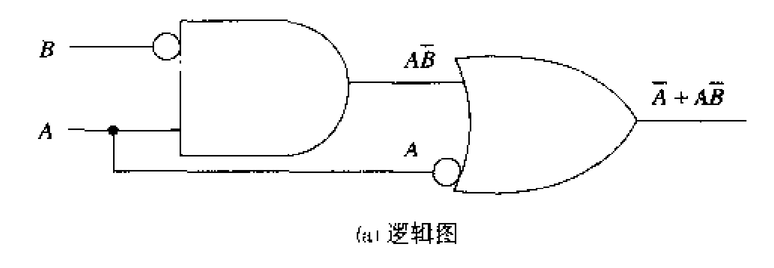
$A+\bar{A}\bar{B}=A+\bar{B}$

(b) 真值表

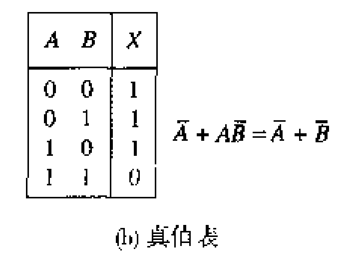
图 4.17　实现 $A+\bar{A}\bar{B}$

5. $\bar{A}+A\bar{B}=\bar{A}+\bar{B}$

参见图 4.18。



(a) 逻辑图



A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

$\bar{A}+A\bar{B}=\bar{A}+\bar{B}$

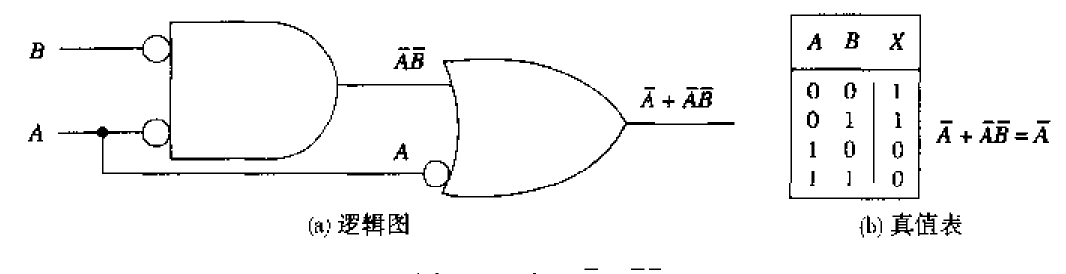
(b) 真值表

图 4.18　实现 $\bar{A}+A\bar{B}$

6. $\bar{A}+\bar{A}\bar{B}=\bar{A}$

参见图 4.19。

前面三个特性的等价性可以通过分析电路并在真值表中对比其结果进行证明。



A	B	X
0	0	1
0	1	1
1	0	0
1	1	0

(a) 逻辑图　　(b) 真值表

图 4.19　实现 $\bar{A}+\bar{A}\bar{B}$

4.2 节复习题

A. 当一个或门的输出输入到另一个或门时，必须使用组合符号。

(1) 对

(2) 错

B. 当一个与门的输出输入到另一个或门时，必须使用组合符号。

(1) 对

(2) 错

C. 在布尔表达式中，只要某一个变量与禁止信号相与或者相或，该变量就可以从表达式中简化掉。

(1) 对

(2) 错

D. 在布尔表达式中，只要某一个变量与使能信号相与或者相或，该使能信号就可以从表达式中简化掉。

(1) 对

(2) 错

E. $A \cdot \overline{A} = 1$

(1) 对

(2) 错

F. $A + \overline{A} = 1$

(1) 对

(2) 错

G. $A = \overline{\overline{A}}$

(1) 对

(2) 错

H. $A + \overline{A}B = A + B$

(1) 对

(2) 错

I. $\overline{A} + AB = A + B$

(1) 对

(2) 错

4.3 摩根定律

要点

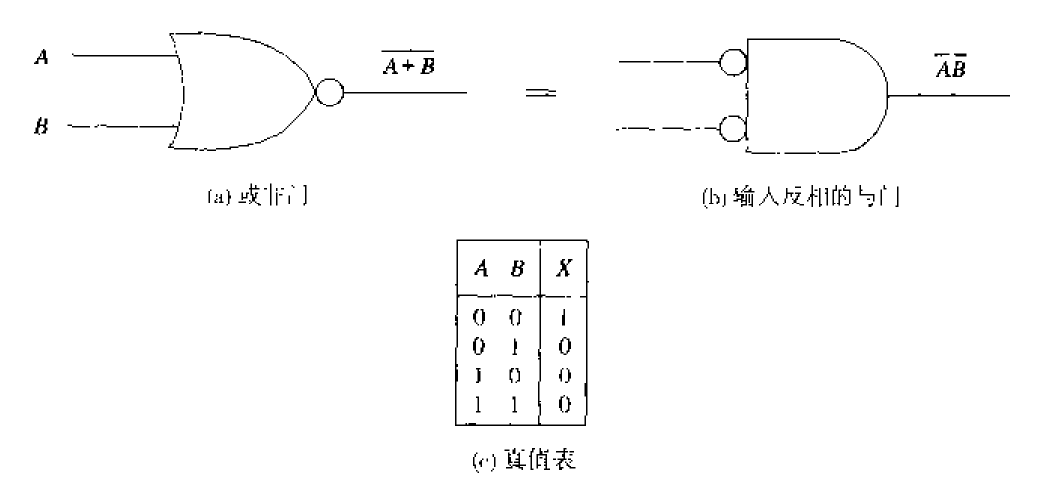
1. 利用摩根定律简化布尔表达式。
2. 利用摩根定律将一个反相输入的或函数变为一个与非函数。

摩根定律是要讲解的布尔代数的最后一个特性，对它必须给予足够的重视。摩根先生证明了“或函数的非等于非的与函数”。简而言之，当两个变量的逻辑或为非形式（$\overline{A+B}$）时，也可以通过将每个变量先取非，然后再进行逻辑与运算（即$\overline{A}\overline{B}$）来表示。摩根定律实际上暗示下面的意思：或非门的输出等于一个输入反相的与门的输出。这种情况如图 4.20 所示。

$$\overline{A+B} = \overline{A}\overline{B}$$

摩根定律可以用短逻辑进行证明。如果短逻辑分析的结构证明上面的等式成立，则图 4.20 中的两个逻辑门电路的函数是相等的。或非门的短逻辑是“只要有一个输入为1，输出就为0”。分析

输入反相的与门必须以与门的短逻辑“只要有一个输入为0，输出就为0”为基础进行。由于与门输入端的两个输入逻辑电平都反相，所以其输入短逻辑必须反相。其结果为“只要一个输入为1，输出就为0”，这样即可证明摩根定律描述的等价性是成立的。



A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

(c) 真值表

图 4.20　摩根定律：$\overline{A+B}=\bar{A}\bar{B}$

分析 $\overline{A+B}=\bar{A}\bar{B}$ 等价性的另一种方法是读表达式。第一个表达式表明，如果 A 为高电平或者 B 为高电平，则输出将为低电平。这三个低电平输出的具体情况如图4.20(c)中的真值表所示。这样，就只有一种输入条件才能使输出为高电平，该输入条件为 $\bar{A}\bar{B}$。

$$\bar{A}\bar{B}=\overline{A+B}$$

摩根还证明了如下陈述：“与函数的非等于非的或函数”。如图 4.21 所示，该定律表明，当每一个变量取非后进行逻辑或运算，所得的结果 $\bar{A}+\bar{B}$ 等于与非门的输出 $\overline{AB}$。这也可以用短逻辑进行证明。如果或门的短逻辑用在如图4.21(b)所示的电路中，并将输入逻辑电平进行逻辑非运算，其结果应为“只要有一个输入为0，输出就为1”。由前面的基本逻辑门的学习可知，这和与非门的短逻辑是一样的。

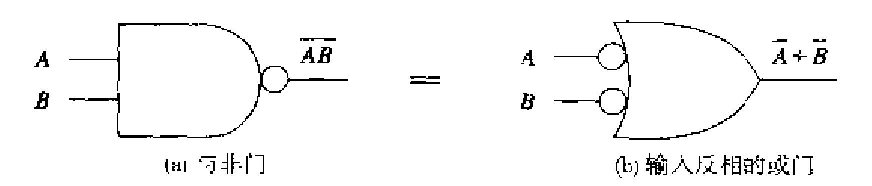


图 4.21　摩根定律：$\overline{AB}=\bar{A}+\bar{B}$

摩根定律提供了一种非常有价值的布尔表达式简化处理方法。只要涉及到的逻辑符号发生改变（逻辑与变为逻辑或，或者逻辑或变为逻辑与），表达式中的联结符号就可以断开。在摩根第一定律中，如果 $\overline{A+B}$ 中逻辑或符号上面的联结符号被断开，并将逻辑或符号变为逻辑与符号，则表达式变为 $\bar{A}\bar{B}$。摩根第二定律，即 $\overline{AB}=\bar{A}+\bar{B}$，表明只要逻辑符号发生改变，联结符号就可以断开。

断开联结符号和改变逻辑运算符的操作也可以相反的方式使用。分析下面的操作，考虑其结果：

　　　　$\bar{A}\cdot\bar{B}$

第一步：　$\bar{A}+\bar{B}$　　改变符号。

第二步：　$\overline{\overline{A}}+\overline{\overline{B}}$　　对每个变量进行逻辑非运算（输入）。

第三步：　$\overline{\overline{A}+\overline{B}}$　　对整个表达式进行逻辑非运算（输出）。

第四步：　$A+B$　　去掉所有的双重逻辑非符号。

第一步操作断开了联结符号，并改变了逻辑符号。这一步操作将表达式从或非操作变成了反相输入的逻辑与操作。第二步刚好相反。

逻辑或的表达式$\overline{A}+B+C$如何改变才能用与非门实现呢？按下面的步骤进行即可，还可参见图4.22。

　　　　　　$\overline{A}+B+C$

第一步：　$\overline{A}\cdot B\cdot C$　　改变符号。

第二步：　$\overline{\overline{A}}\cdot\overline{B}\cdot C$　　对每个变量进行逻辑非运算（输入）。

第三步：　$\overline{\overline{\overline{A}}\cdot\overline{B}\cdot\overline{\overline{C}}}$　　对整个表达式进行逻辑非运算（输出）。

第四步：　$\overline{A\cdot\overline{B}\cdot C}$　　去掉所有的双重逻辑非符号。

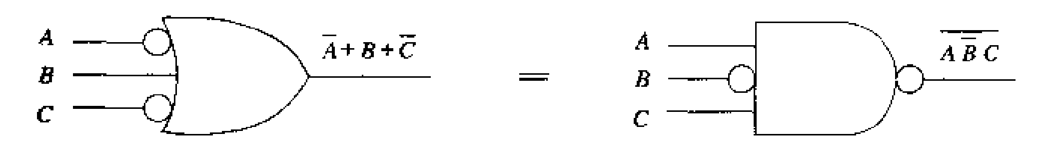


图4.22　反向使用摩根定律

如果断开结果表达式（$\overline{A\cdot\overline{B}\cdot C}$）的联结符号，改变逻辑符号，去掉双重否定，则原来的表达式将完全被改头换面。为了查询方便，本章讲述的全部特性和定律都列在表4.4中。

表4.4　布尔特性和定律

特性/定律	名称
$A\cdot 0=0$	禁止
$A+1=1$	禁止
$A\cdot 1=A$	使能
$A+0=A$	使能
$A\cdot A=A$	冗余
$A+A=A$	冗余
$A\cdot A=0$	互补
$A+\overline{A}=1$	互补
$A=\overline{A}$	双重否定
$A+AB=A$	
$A+AB=A+B$	
$\overline{A}+AB=\overline{A}+B$	
$A+\overline{A}\overline{B}=A+\overline{B}$	
$\overline{A}+A\overline{B}=A+\overline{B}$	
$A+\overline{A}\overline{B}=\overline{A}$	
$\overline{A+B}=\overline{A}\overline{B}$	摩根定律
$\overline{AB}=\overline{A}+\overline{B}$	摩根定律
$(A+B)+C=A+(B+C)$	结合律
$(AB)C=A(BC)$	结合律
$A+B=B+A$	交换律
$AB=BA$	交换律
$A(B+C)=AB+AC$	分配律

4.3 节复习题

A. $A + B = AB$

(1) 对

(2) 错

B. $AB = A + B$

(1) 对

(2) 错

C. 图 4.23 中的两个逻辑门是等价的。

(1) 对

(2) 错

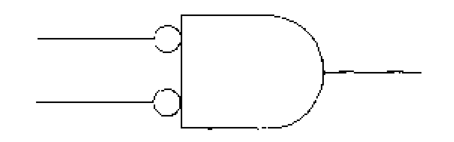
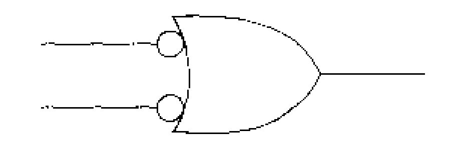



图 4.23

D. 将布尔表达式 ABC 变成能够用或非门和反相器实现的表达式。

E. 将布尔表达式 $X + Y$ 变成能够用与非门和反相器实现的表达式。

阶段性小结（4.1 节 ~ 4.3 节）

与门对其输入进行逻辑乘运算。与函数符号是一个圆点（·）或 ×，在表达式中常常省略圆点或 × 号，但是却隐含着逻辑乘（AB）的意义。与门的布尔表达式写为高电平输出。

或门生成逻辑和。或的符号是一个加号（$A + B$）。或门的布尔表达式也写为高电平输出形式。

与非门（$\overline{AB}$）和或非门（$\overline{A + B}$）布尔表达式中，在整个逻辑乘/逻辑和上使用了联结符号。联结符号指明了逻辑函数并表明输出表达式写为低电平输出形式。

需要记住的是，某个输入变量上面的逻辑非符号表明该输入在进行逻辑处理前（如 $A + B$）就已经进行了逻辑非运算。在逻辑门的整个输出表达式上的联结符号表明该逻辑非运算是在整个逻辑处理之后完成的（如 $\overline{A + B + C}$）。

摩根定律为：

$$\overline{A + B} = \overline{A}\,\overline{B}$$

$$\overline{AB} = \overline{A} + \overline{B}$$

由摩根定律可推导出下列结论：

1. 如果逻辑符号发生改变，则其上的联结符号可以断开。
2. 摩根定律的含义证明下述处理过程的正确性：
   a. 改变逻辑运算符
   b. 输入取非
   c. 输出取非
   d. 去掉双重否定符号

复习表 4.4 中的实数和布尔代数特性。

阶段性练习（4.1节～4.3节）

1. 布尔表达式中的加号（+）指示的是逻辑________运算。
   a. 乘
   b. 减
   c. 加
2. 一个三输入与门（输入分别为 A，B 和 C）的布尔表达式是
   a. ABC
   b. $AB\overline{C}$
   c. $A+B+C$
   d. $\overline{A}+B+\overline{C}$
3. 一个二输入与门（输入分别为 X、Y）的布尔表达式是
   a. XY
   b. $\overline{XY}$
   c. $X+Y$
   d. $\overline{X}+Y$
4. 表达式 $A\overline{B}C$ 表明当 A 为高电平，B 为低电平，C 为高电平时，该逻辑门的输出为高电平。
   a. 对
   b. 错
5. 或门产生的是逻辑乘。
   a. 对
   b. 错
6. 联结符号指的是画在布尔表达式中的一个或多个变量上面的横线。
   a. 对
   b. 错
7. 表达式 $\overline{AB}$ 表明当 A 为低电平，B 也为低电平时，该逻辑门将输出高电平
   a. 对
   b. 错
8. 表达式 $A+B$ 表明当 A 为高电平或 B 为高电平时，该逻辑门将输出高电平.
   a. 对
   b. 错
9. $(AB)C=A(BC)$ 表示的是实数的哪一个特性?
   a. 互补特性
   b. 加法的结合律
   c. 乘法的交换律
   d. 乘法的结合律
10. $A+0=A$ 表示的是布尔代数的哪一个特性?
    a. 互补特性
    b. 冗余特性
    c. 禁止特性
    d. 使能特性

11. $A\cdot 0=0$ 表示的是布尔代数的哪一个特性?
    a. 互补特性
    b. 冗余特性
    c. 禁止特性
    d. 使能特性
12. $A+1=1$ 表示的是布尔代数的哪一个特性?
    a. 互补特性
    b. 冗余特性
    c. 禁止特性
    d. 使能特性
13. $A+A=A$ 表示的是布尔代数的哪一个特性?
    a. 互补特性
    b. 冗余特性
    c. 禁止特性
    d. 使能特性
14. $A\cdot\overline{A}=0$ 表示的是布尔代数的哪一个特性?
    a. 互补特性
    b. 冗余特性
    c. 禁止特性
    d. 使能特性
15. $\overline{A}+\overline{B}=AB$
    a. 对
    b. 错
16. 将表达式 $A+B+C+D$ 变成一个可以用一个四输入与非门和反相器实现的表达式。
    a. $\overline{\overline{A\cdot B\cdot C\cdot D}}$
    b. $A\cdot\overline{B\cdot C\cdot D}$
    c. $\overline{\overline{A}\cdot\overline{B}\cdot\overline{C}\cdot D}$

4.4　解释布尔表达式

要点

1. 用输入/输出来解释布尔表达式的含义。
2. 给出一个布尔表达式，确定为了使逻辑门或电路输出某一个指定值所需要的输入条件。

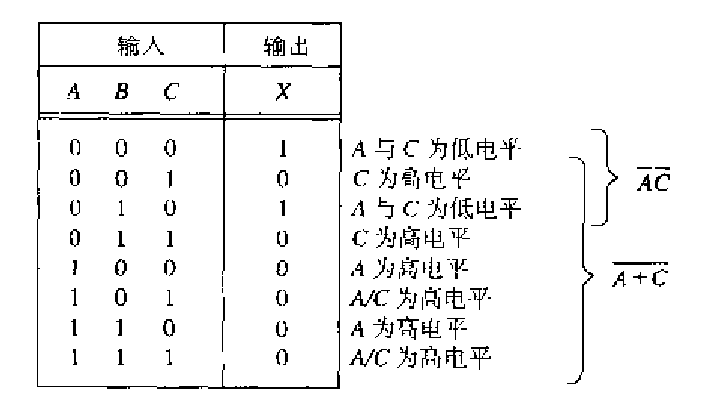
在进行逻辑电路设计或实现前，解释布尔表达式是非常必要的。这种解释就是通过读表达式来确定为了产生某个特定电平的输出需要什么样的输入条件，实际上在这方面我们已经进行了一些工作。

在解读一个布尔表达式时，很重要的一点是记住4.1节中的基本知识。首先，如果在整个布尔表达式上面有一个联结符号，则表明该输入条件将产生一个低电平输出。其次，如果表达式上面没有联结符号，则表明该输入条件将产生一个高电平输出。表达式 $\overline{A+C}$ 表达的意义是：如果 A 为高

电平或C为高电平，则或非门将输出一个低电平信号。4.3节中的摩根定律证明，如果逻辑运算符号发生改变，则联结符号是可以断开的。

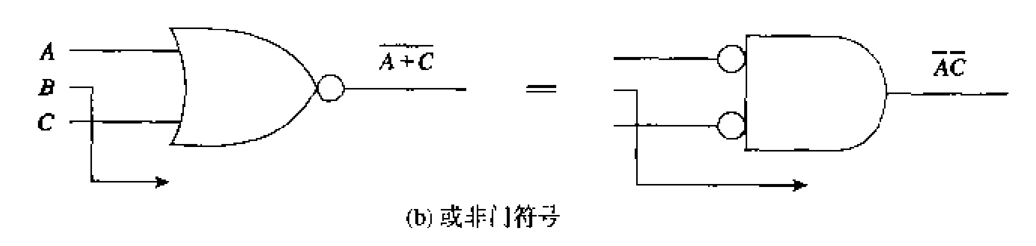
对于布尔表达式$\overline{A+C}$而言，其输出为$\overline{A}\,\overline{C}$，可以读为：如果$A$为低电平、$C$也为低电平，则电路输出为高电平。$A$或$C$上面各自独立的逻辑非符号必须读为低电平输入。但是，由于在整个表达式上面没有联结符号，所以其输出为高电平。根据摩根定律可知，这两个表达式是等价的。图4.24(a)中的真值表可以进一步证明这一点。第一个表达式$\overline{A+C}$在真值表中提供了低电平输出。一旦该表达式的所有低电平都标出来了，则剩下的条件必然都是高电平。第二个表达式$\overline{A}\,\overline{C}$证明该论述是正确的。

尽管真值表表明该电路有三个输入（A、B和C），但实际上B输入是一个无关输入，因为它并没有联结到或非门上。



输入			输出	
A	B	C	X	
0	0	0	1	A与C为低电平
0	0	1	0	C为高电平
0	1	0	1	A与C为低电平
0	1	1	0	C为高电平
1	0	0	0	A为高电平
1	0	1	0	A/C为高电平
1	1	0	0	A为高电平
1	1	1	0	A/C为高电平

(a) 真值表



(b) 或非门符号

图4.24 解读或非门表达式

断开联结符号的操作通常很简单，改变逻辑运算符，写出真值表的高电平输出即可。不过，如前面的例子所示，不一定都这么简单。如果所有的高电平输出都标在真值表中，则剩余的输入组合将产生低电平输出。

在这里有一点需要重点强调。在表达式$\overline{A}\,\overline{C}$中，逻辑非符号并不是表明$A$和$C$为低电平，而是表明如果$A$和$C$为低电平，输出将为高电平。图4.24(b)中与门的反相输入符号证明了这一点。如果A和C为低电平，它们在与门的输入端都会转化为高电平，因此该逻辑门的输出将是高电平。

进行一些类似的解读对于加深理解是很有帮助的。

表达式$\overline{\overline{A}\cdot B\cdot C}$代表与非门的输出，如图4.25所示，其输入$A$进行了逻辑非运算。该表达式表示“如果$A$为低电平，$B$为高电平，$C$也为高电平，则逻辑门的输出为低电平”。

表达式$A+B+\overline{C}$代表的是或门的输出，其输入端C进行了逻辑非运算。图4.26所示的是其电路。该表达式可以读为“如果A为高电平，或B为高电平，或C为低电平，则逻辑门的输出为高电平”。

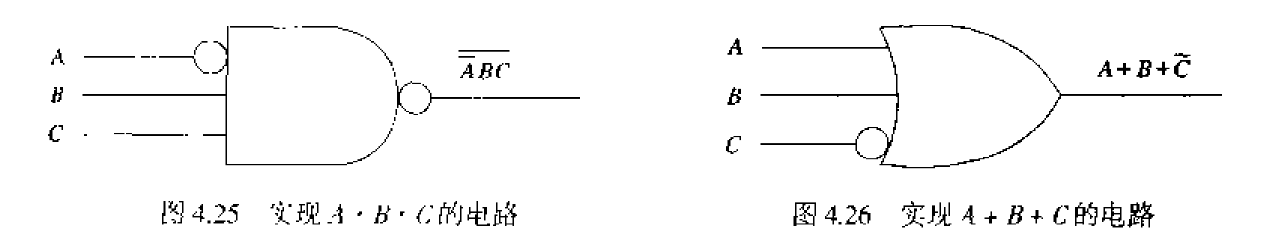


图 4.25　实现 $A\cdot B\cdot C$ 的电路　　图 4.26　实现 $A+B+C$ 的电路

如何解读表达式 $A\cdot B\cdot \overline{C}(\overline{\overline{A}+D})$? 读该表达式时可能会有一点问题。表达式的 $A\cdot B\cdot \overline{C}$ 部分表示的是一个高电平输出，$(A+D)$ 部分表示的是一个低电平输出。如果不对该表达式进行简化，很难读出该表达式。使用表 4.4 中所列的特性和定律能够对其进行简化。

$A\cdot B\cdot \overline{C}(\overline{\overline{A}+D})$

第一步:　$A\cdot B\cdot \overline{C}(\overline{\overline{A}}\cdot \overline{D})$　断开联结/改变符号

第二步:　$A\cdot B\cdot C(A\cdot \overline{D})$　去掉双重逻辑非符号

第三步:　$A\cdot A\cdot B\cdot C\cdot \overline{D}$　重新组合

第四步:　$A\cdot B\cdot C\cdot D$　冗余特性

简化后的表达式很容易读：如果 A 和 B 为高电平并且 C 和 D 为低电平，则电路的输出将为高电平。由此可见，如果不进行简化，有些布尔表达式是很难解读的。一般而言，简化的目标是将表达式中的所有联结符号断开，并改变相应的逻辑运算符号。完成了以解读为目的的简化后，可能只会在单个变量上面留下逻辑非符号。$\overline{A}\overline{B}C$ 是可以接受的，而 $\overline{A}BC$ 则是不可接受的。表达式 $\overline{\overline{A}+\overline{B}}$ 表示当 A 为低电平或 B 为低电平时，该逻辑门的输出将是一个低电平信号。

读表达式、断开联结符号并改变逻辑运算符号将导致一个结论：每个逻辑门符号都有一个可替换的逻辑门符号。使用摩根定律发展出来的或非门的替换逻辑门符号如图 4.24 所示。

4.4 节复习题

A. 表达式 $\overline{A}BC$ 表示当 A，B 和 C 都为高电平时，逻辑门的输出为低电平。

a. 对

b. 错

B. 表达式 $\overline{A}+\overline{B}+C$ 表示当 A 为高电平或 B 为高电平或 C 为高电平时，逻辑门的输出为低电平。

a. 对

b. 错

C. 表达式 $\overline{\overline{A}\cdot B}$ 表示当 A 为低电平，B 为高电平时，逻辑门的输出为低电平。

a. 对

b. 错

D. 简化 $\overline{\overline{A}+\overline{B}}$。

E. 简化 $A\cdot B(\overline{\overline{A}+\overline{B}})$。

F. 简化 $\overline{(A+B+C)}D$。

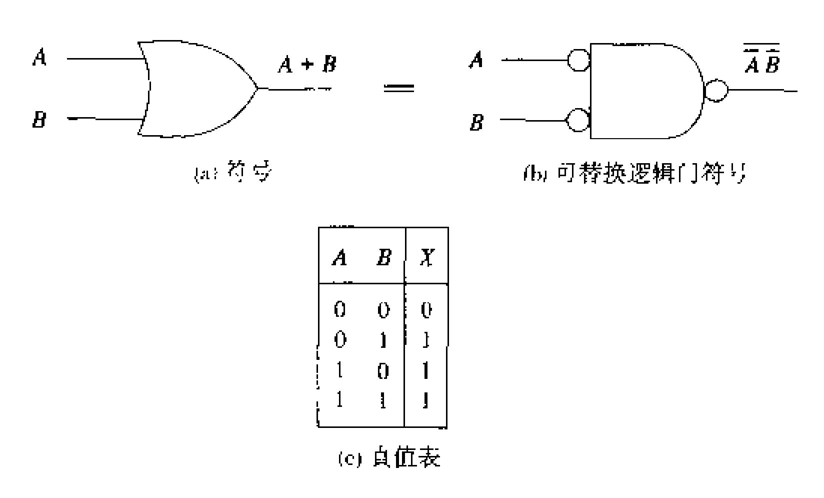
4.5　可替换的逻辑门符号

要点

1. 识别与门、或门、与非门、或非门和非门的可替换逻辑门符号。

2. 依据摩根定律的处理步骤得出可替换的逻辑门符号。

布尔表达式 $\overline{\bar{A}\cdot\bar{B}}$ 表示每个变量都在与门的输入端进行了逻辑非操作，其逻辑乘积在输出端也进行了逻辑非操作。该表达式表明当 A 和 B 为低电平时，输出为低电平。这一点从图 4.27 所示的逻辑符号和真值表中可以看出来。



(a) 符号　　(b) 可替换逻辑门符号

A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

(c) 真值表

图 4.27　或函数

注意，真值表表明“只要有一个输入为 1，输出就为 1”。因此，图 4.27(b)所示的逻辑门符号可以是或门的一个可替换逻辑门符号。用短逻辑和摩根定律都可以证明这一点。

首先，由于图 4.27(b)所示的逻辑门是一个与门，所以可以从该逻辑门的短逻辑入手进行分析。输入逻辑电平和输出逻辑电平都进行了逻辑非操作。这样最终的短逻辑就成为“只要有一个输入为 1，输出就为 1”。由于这是或门的短逻辑，所以该逻辑门符号等价于一个或门。

其次，也可以在表达式中使用摩根定律来证明这种等价性：

$$\overline{\bar{A}\cdot\bar{B}}$$
$$\bar{\bar{A}}+\bar{\bar{B}}$$
$$A+B$$

标准的逻辑门符号和对应的可替换逻辑门符号如图 4.28 所示。花一点时间证明每一个逻辑门符号的短逻辑和与其对应的可替换逻辑门符号的短逻辑都是相等的。也可以用摩根定律保证它们的布尔表达式是相等的。对于非门，则没有必要这样做。

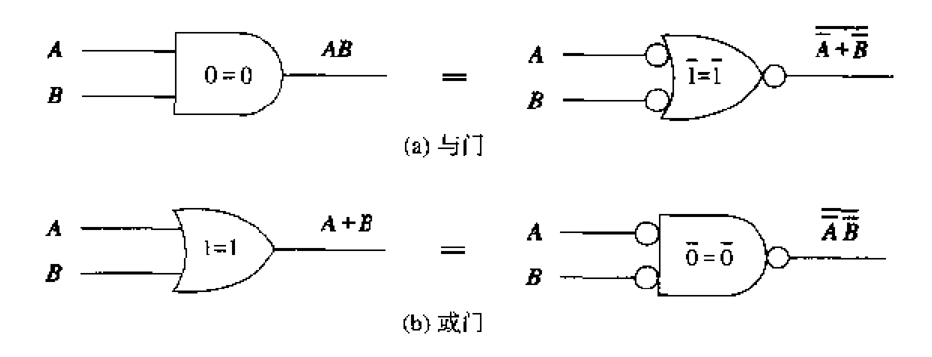


图 4.28　标准 / 可替换逻辑门符号

(c) 与非门

(d) 或非门

(e) 非门

图4.28（续）　标准/可替换逻辑门符号

图4.28(a)所示的与门的可替换逻辑门符号产生的短逻辑为"只要有一个输入为1，输出就为1"，这是与门的短逻辑。在布尔表达式 $\overline{\overline{A}+\overline{B}}$ 中，如果断开联结符号，改变逻辑运算符号，并将双重逻辑非符号去掉，则可以再一次证明其等价性。

利用与门和或门的短逻辑可以证明所有的短逻辑。首先，如果在输入端有圆圈存在，则应该对输入逻辑电平取非。当然，如果在输出端存在圆圈，就应该将输出逻辑电平取非。

如图4.29所示，只要按照摩根定律要求的步骤进行推导，就可以得到可替换的逻辑门符号。

1. 改变符号。
2. 对每个输入变量进行逻辑非运算。
3. 对整个表达式进行逻辑非运算。
4. 去掉所有的双重逻辑非符号。

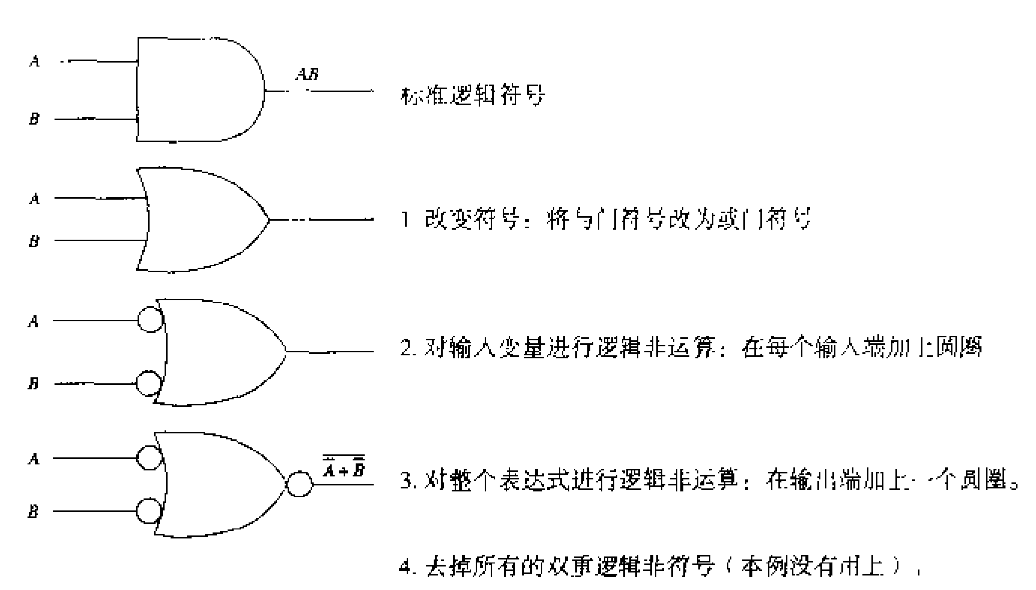


图4.29　与门的可替换逻辑门推导

如图4.30所示的是其他一些逻辑门电路及其等价的逻辑符号。注意，对于只有一个输入进行了逻辑非运算的逻辑门，没有相应的短逻辑。只要确定了反相逻辑电平，就可以使用逻辑门本身的短逻辑或$\overline{短逻辑}$。例如，在如图4.30所示的上面的与门中，与门的短$\overline{逻}$辑表明所有的输入必须是高电平，才能得到高电平输出。因此，为了得到高电平输出，需要 $A=0$ 和 $B=1$。

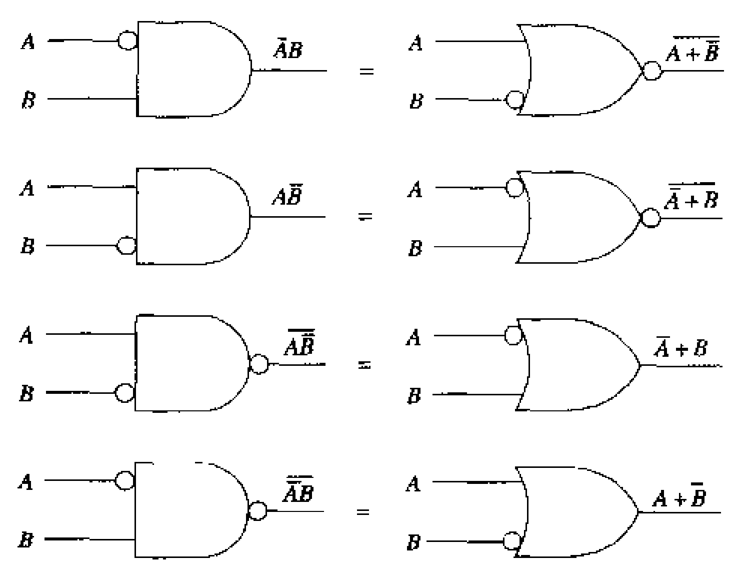


图4.30 其他逻辑门符号/可替换逻辑门符号

除了使用摩根定律断开联结符号的方法之外，还可以利用该定律的逆定律证明图4.31所示逻辑门的等价性。处理过程如图4.31所示。

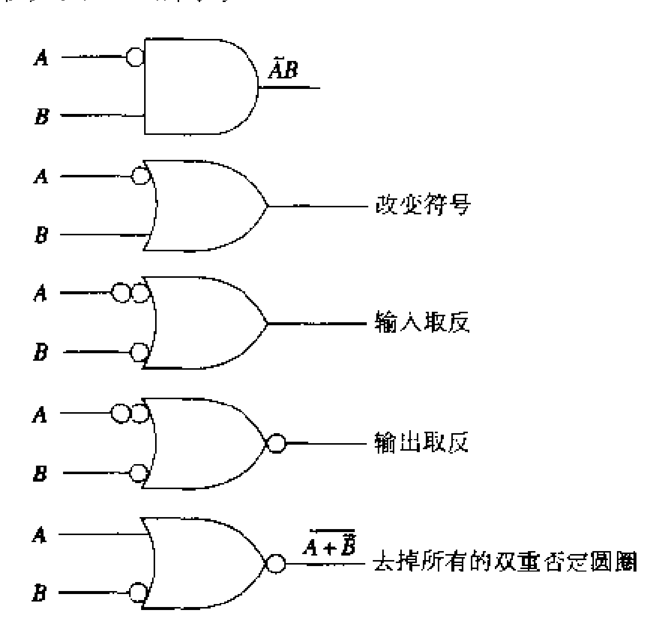
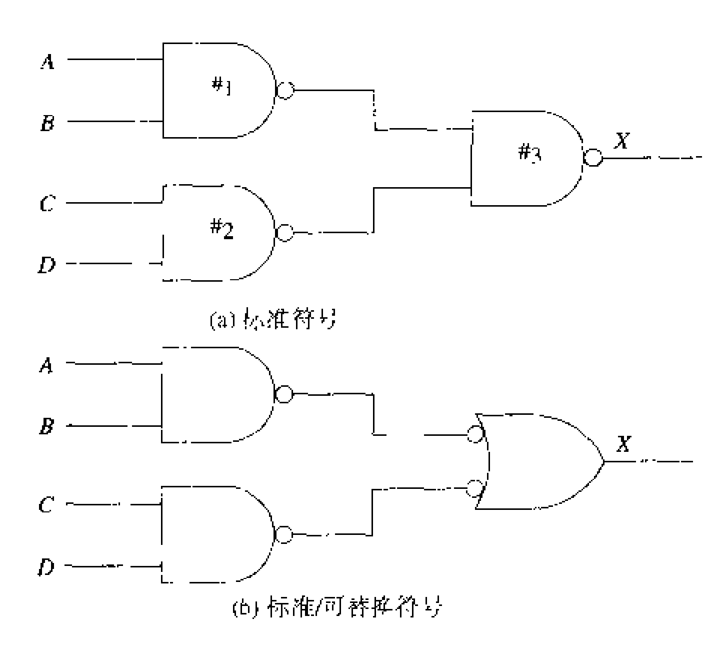


图4.31 可替换逻辑门符号的推导过程

既然代表的功能完全相同，为什么需要可替换的逻辑门符号呢？答案是我们需要很容易地确定一个逻辑门或电路的输出。第3.7节提供了一个读逻辑门输出的步骤。在该处理过程中，只考虑与门和或门的逻辑函数。另外，逻辑门上的圆圈读为低电平，无圆圈则读为高电平。如果电路是正确的，则该方法是很有效的。

确定如图4.32(a)所示的电路的输出。如果使用第3章中的方法，当逻辑门#1和逻辑门#2的输入为高电平时，它们的输出将是低电平。当逻辑门#3的输入为高电平时，其输出也将是低电平。然而，读逻辑门#1和逻辑门#2可以知道何时逻辑门#3的输入为低电平，而不是何时为高电平。如果其电路如图4.32(b)所示，还可以进行一个更简单的分析。即，将或门的输入反相则可以替换与非门的逻辑符号。



(a) 标准符号

(b) 标准/可替换符号

图4.32 分析逻辑电路（一）

读该电路。当逻辑门#1和逻辑门#2的输入为低电平时，将输出低电平。既然已知这样的输入条件将在该逻辑电路中的逻辑门#1和逻辑门#2的输出端产生低电平信号，则可知这些条件中的任何一个都将在或门的输出端产生一个高电平信号。尽管图4.32(b)中所示的输出逻辑门是与非门的可替换逻辑门，在这里还是将其称为或门，以帮助确定其任何一个输入端的条件和输出端产生的高电平信号（只要任何一个输入为低电平都将在或门的输出端产生一个高电平信号）。

在画逻辑图时应遵循的一般规则是将圆圈连接到圆圈，将无圆圈的点连接到无圆圈的点。图4.33(a)所示的电路表现了与图4.32(a)所示电路遇到的相同的问题。图4.33(b)所示的可替换与门解决了这个问题。从输出端到输入端读图4.33(b)所示的电路，当C为低电平或者或非门的输出为低电平时，该电路输出为低电平。当A或B为高电平时，或非门的输出为低电平。

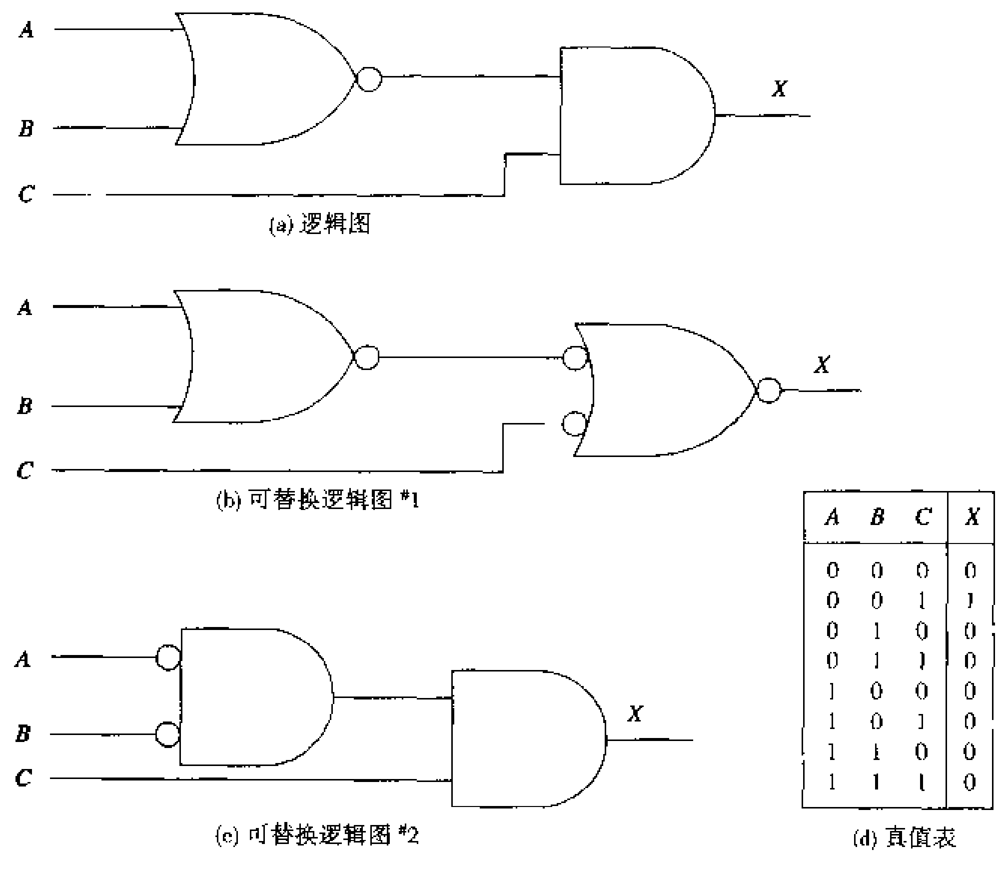
尽管这里是与门的可替换逻辑门符号，它还是应该被看成一个输入反相的或非门。这符合分析该电路的逻辑思维方法。

如图4.33(d)中的真值表所示，除了一个输入条件（$\overline{A}\overline{B}C$）外，其他所有的输入条件都将产生低电平输出，所以可以考虑重画图4.33(c)所示的电路。在该电路中使用了或非门的替换逻辑门符号。重新画出的电路仍然遵循圆圈到圆圈/无圆圈点到无圆圈点的规则，这是很容易解读的。

练习这种电路分析方法，很快就可以熟练掌握它。然后，只要看一下某一个电路就可以指示出什么样的输入将产生想要的输出电平。

图4.33(b)所示电路的布尔表达式是$\overline{\overline{\overline{A+B}}+\overline{C}}$。该表达式表明电路是低电平输出的。为了简化该表达式，可以去掉$A+B$上面的双重否定符号，因为这两个符号的长度相同。这样，该表达式就变为$\overline{A+B+\overline{C}}$。该表达式可以读为：当$A$为高电平，或$B$为高电平，或$C$为低电平时，输出为低电平。所有低电平输出都列在图4.33(d)所示的真值表中。断开两个+号上面仍然存在的联结符号

可以得到表达式$\bar{A}\bar{B}C$。这是该电路高电平输出的表达式，可以很容易地从图4.33(c)所示的逻辑图中读出。尽管上面的任何一种确定输出电平的方法都是对的，但是如果技术人员仅仅想检查电路的输入输出关系，就不必进行布尔简化。只需要看有无圆圈简单地解读逻辑符号的输入和输出即可。



A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

图 4.33　分析逻辑电路（二）

4.5 节复习题

A. 画出图 4.34 所示每个逻辑门的可替换逻辑门符号。

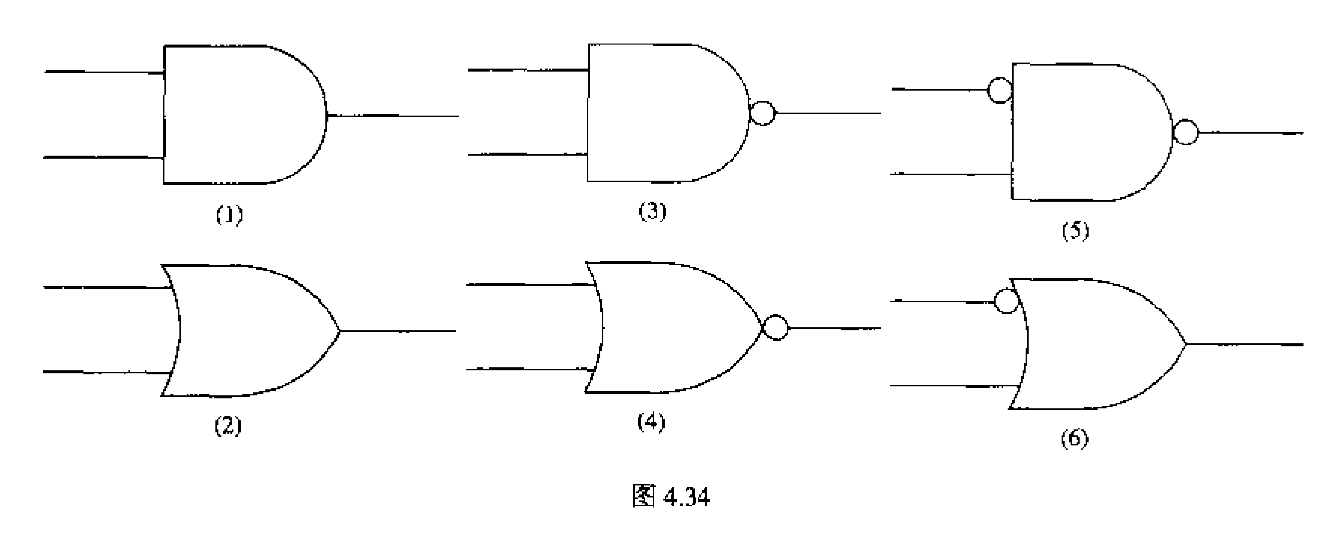


图 4.34

B. 假定输入为 A 和 B，画出复习题 A 中得出的每个可替换逻辑门符号的未简化的布尔表达式。

C. 证明复习题 B 中所写的布尔表达式和标准逻辑门符号的布尔表达式之间的等价性。

提示： 参考后续各图，读出产生高电平或低电平输出时所需要的电路输入。在这种分析中只允许使用逻辑函数和圆圈。

D. 图 4.35

E. 图 4.36。

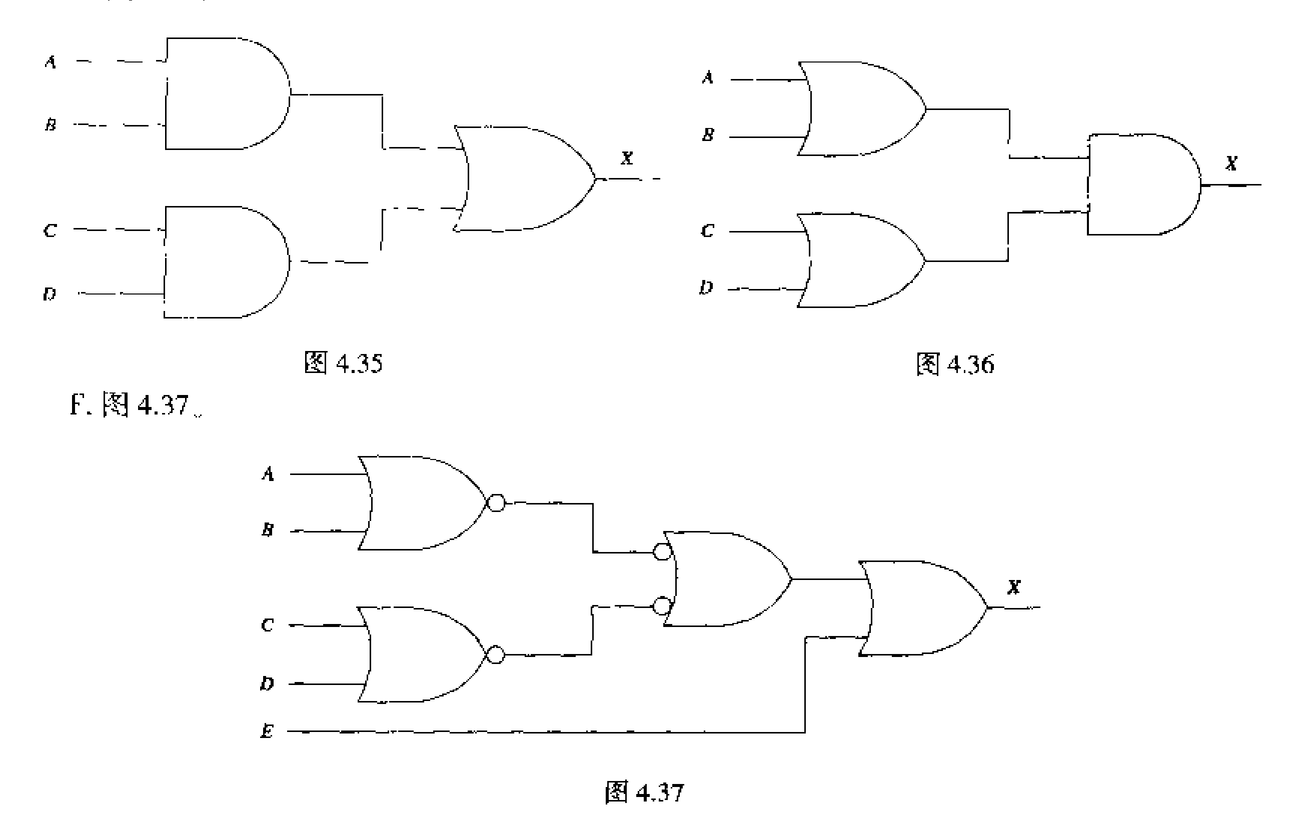


图 4.35　　图 4.36

F. 图 4.37。

图 4.37

G. 重画图 4.38 所示的电路，在必要的地方使用适当的可替换逻辑门符号。

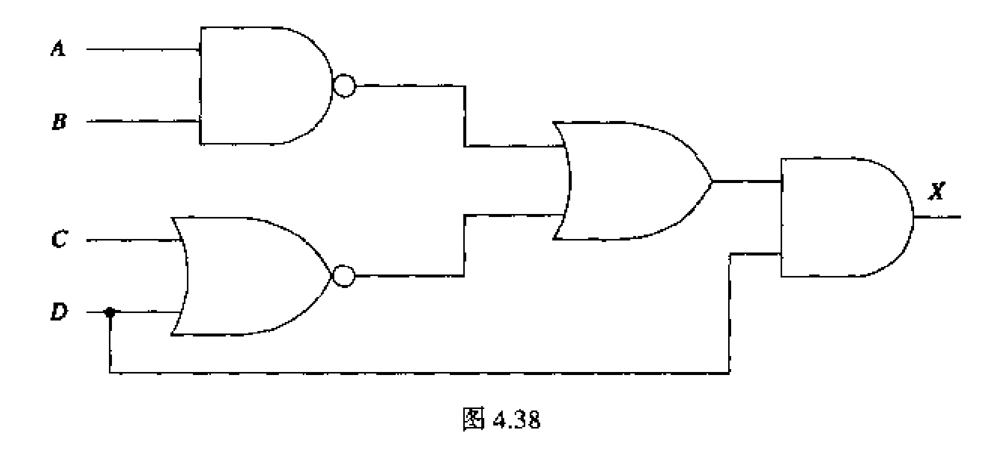


图 4.38

4.6　真值表

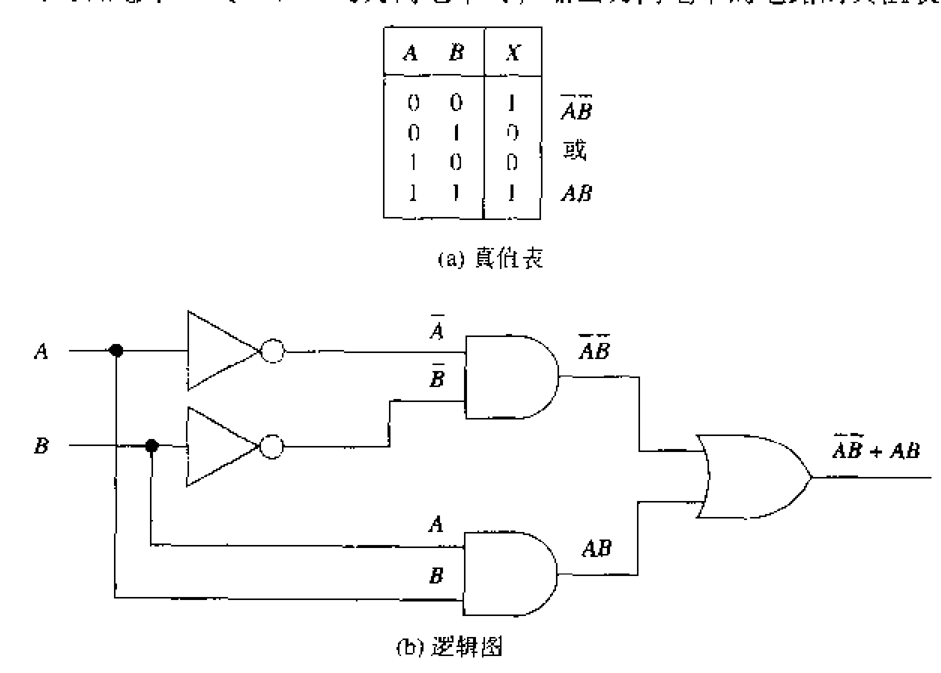
要点

1. 由真值表得到布尔表达式。

2. 识别“积之和”电路
3. 识别“和之积”电路。

尽管前面已经讲述了一些真值表的知识，但是为了在数字电路设计和电路分析中充分运用真值表，还需要了解更多的信息。

如果一个真值表注明了输出条件，则可以由该真值表写出一个布尔表达式。图4.39(a)所示的是一个当 A 和 B 均为低电平、或 A 和 B 均为高电平时，输出为高电平的电路的真值表。



A	B	X	
0	0	1	$\overline{A}\overline{B}$
0	1	0	或
1	0	0	
1	1	1	AB

(a) 真值表

(b) 逻辑图

图 4.39 由真值表得到布尔表达式

从前面的描述中可以得到两个结论。第一，$A = 0$ 且 $B = 0$ 的条件是与门的象征。由于从真值表得到的布尔表达式被写为高电平输出的形式，所以应该是 $\overline{A}\overline{B}$。A 和 B 上面的逻辑非符号的使用应该读为“如果 A 和 B 均为低电平，则输出为高电平”。不要将真值表中的 $A = 0$、$B = 0$ 的条件写为 $\overline{AB}$。该表达式与 $\overline{A}\overline{B}$ 表示的意思完全不同，是不正确的。在真值表中，还有一个高电平输出，它也是由该电路提供的。当 A 和 B 均为高电平时，可以得到该输出。因此，可以得到该输出的输入条件为 $A = 1$ 且 $B = 1$，写为 AB。

在电路中，两个不同输入条件都要求得到高电平输出，由该事实可以得到第二个结论。这两个输入组合必须是逻辑或的关系。因此，该真值表对应的布尔表达式可以写为 $\overline{A}\overline{B} + AB$。该表达式可以按上面讨论的方法来读，而且该表达式与真值表是直接相关的。

第一个结论表明，由真值表得到的两个高电平输出表达式都是逻辑与函数的形式。第二个结论表明，两个产生高电平输出的逻辑与变量组合必须和其他能得到高电平输出的组合进行逻辑或。

4.6.1 积之和配置

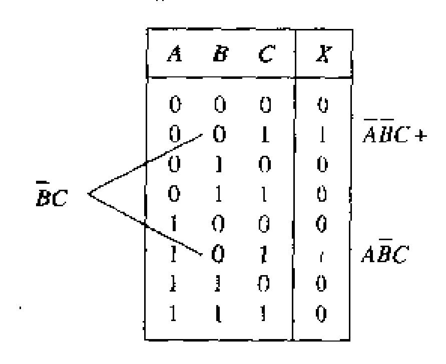
用于实现 $\overline{A}\overline{B} + AB$ 的电路如图4.39(b)所示。该逻辑电路是一种积之和（Sum-Of-Product，SOP）配置的形式。由于在该电路的输出端产生了乘积（逻辑与）的和（逻辑或）的输出形式，所以该配置称为SOP。

当以上面描述的方式从真值表得到布尔表达式时，如果存在两个或更多的高电平输出条件，则表达式总可以写成SOP的形式。当然，如果只有一个高电平输出，则表达式只用与门就可以表示。

图4.40所示的真值表也有两个不同的输入组合能够产生高电平输出。注意每一个高电平输出对应的输入组合是如何以表达式的形式写出来的。在代表输入为0的字母处，写成逻辑非的形式（$\bar{A}$，$\bar{B}$或$\bar{C}$）。在代表输入为1的字母处，直接写出该字母。由真值表得到的表达式为$\bar{A}\bar{B}C+A\bar{B}C$。相同的项可以进行简化。

$A\bar{B}C+\bar{A}\bar{B}C$	SOP表达式
$\bar{B}C(A+\bar{A})$	提出相同的项
$\bar{B}C(1)$	$A+\bar{A}=1$
$\bar{B}C$	$A\cdot 1=A$

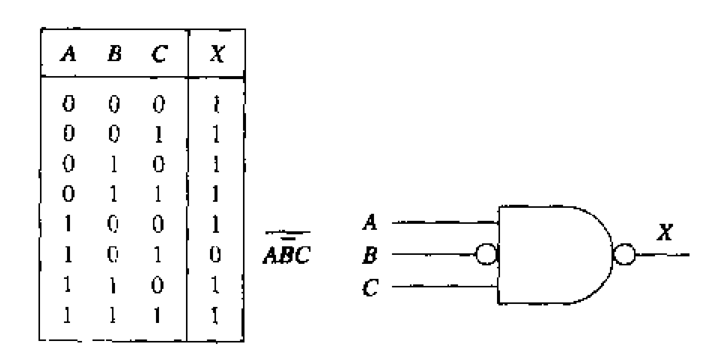
$\bar{B}C$将产生与原始表达式相同的高电平输出。这可以从图4.40的真值表中看出。



A	B	C	X	
0	0	0	0	
0	0	1	1	$\bar{A}\bar{B}C+$
0	1	0	0	
0	1	1	0	
1	0	0	0	
1	0	1	1	$A\bar{B}C$
1	1	0	0	
1	1	1	0	

图4.40　由真值表得到布尔表达式

根据高电平输出情况，图4.41所示的真值表将产生如下的布尔表达式：
$\bar{A}\bar{B}\bar{C}+\bar{A}\bar{B}C+\bar{A}B\bar{C}+\bar{A}BC+A\bar{B}\bar{C}+AB\bar{C}+ABC$



A	B	C	X	
0	0	0	1	
0	0	1	1	
0	1	0	1	
0	1	1	1	
1	0	0	1	
1	0	1	0	$\overline{A\bar{B}C}$
1	1	0	1	
1	1	1	1	

图4.41　由真值表得到低电平输出的布尔表达式

该真值表的表达式写成低电平输出的形式将减少很多麻烦。表达式$\overline{A\cdot\bar{B}\cdot C}$表明该电路的输出为低电平。其余的输出均为高电平。实际上，该表达式为$\bar{X}=A\bar{B}C$。对等式两边都取逻辑非，则有$\bar{\bar{X}}=\overline{A\bar{B}C}$，所以有$X=\overline{A\bar{B}C}$。如果摩根定律用在上面的处理中，结果将为$\bar{A}+B+\bar{C}$。该表达式表示了产生高电平输出的输入条件。

再讲一个真值表的例子。图4.42(a)所示的真值表表示当$X=1$，$Y=0$，$Z=0$时的低电平输出。其他的所有输出都是高电平。布尔表达式$\overline{X\cdot\bar{Y}\cdot\bar{Z}}$表示这种输出条件。图4.42(b)表示了该逻辑电路。当对该表达式利用摩根定律时，可以得到结果为$\bar{X}+Y+Z$。将其与真值表进行比较可以证实其正确性。图4.42(a)所示的真值表已经将高电平输出标注为表达式$\bar{X}+Y+Z$。

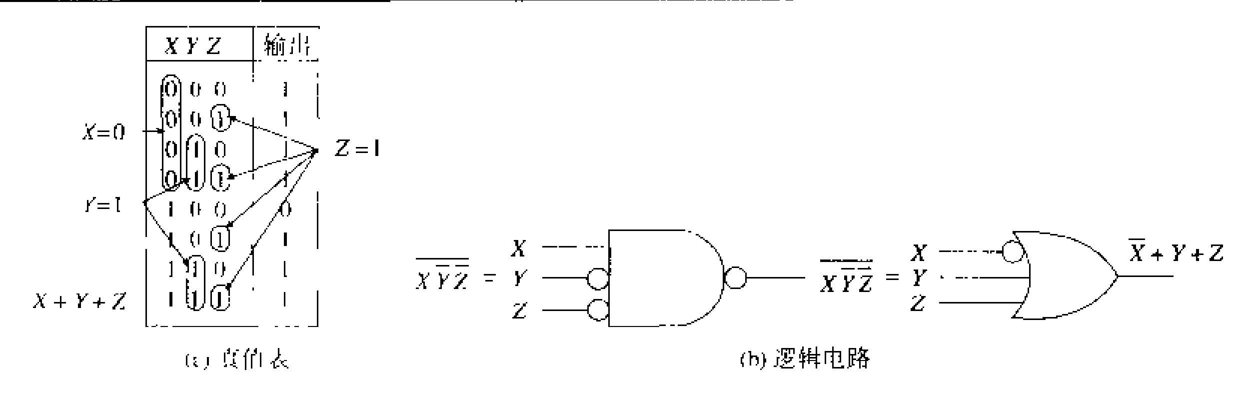


图 4.42　表达式 $\overline{XYZ} = \overline{X} + Y + Z$ 的实现

布尔表达式被简化后，其结果应该与初始的表达式相等，而且应该能够用真值表进行证明。图 4.43 所示的真值表对应的布尔表达式为 $\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C$。将共有的项 $\overline{A}\overline{B}$ 提出来以后，可以简化该布尔表达式。

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$\overline{A}\overline{B}$　　$\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C$

图 4.43　用于证明简化表达式等价性的真值表

简化后的表达式 $\overline{A}\overline{B}$ 可以用真值表进行证明，在真值表中，将产生高电平输出的输入条件 $\overline{A}\overline{B}$ 标出来。如果简化后的表达式可以产生与初始表达式相同的高电平输出，则这两个表达式是相等的。否则，简化过程中肯定出现了错误。

4.6.2　和之积配置

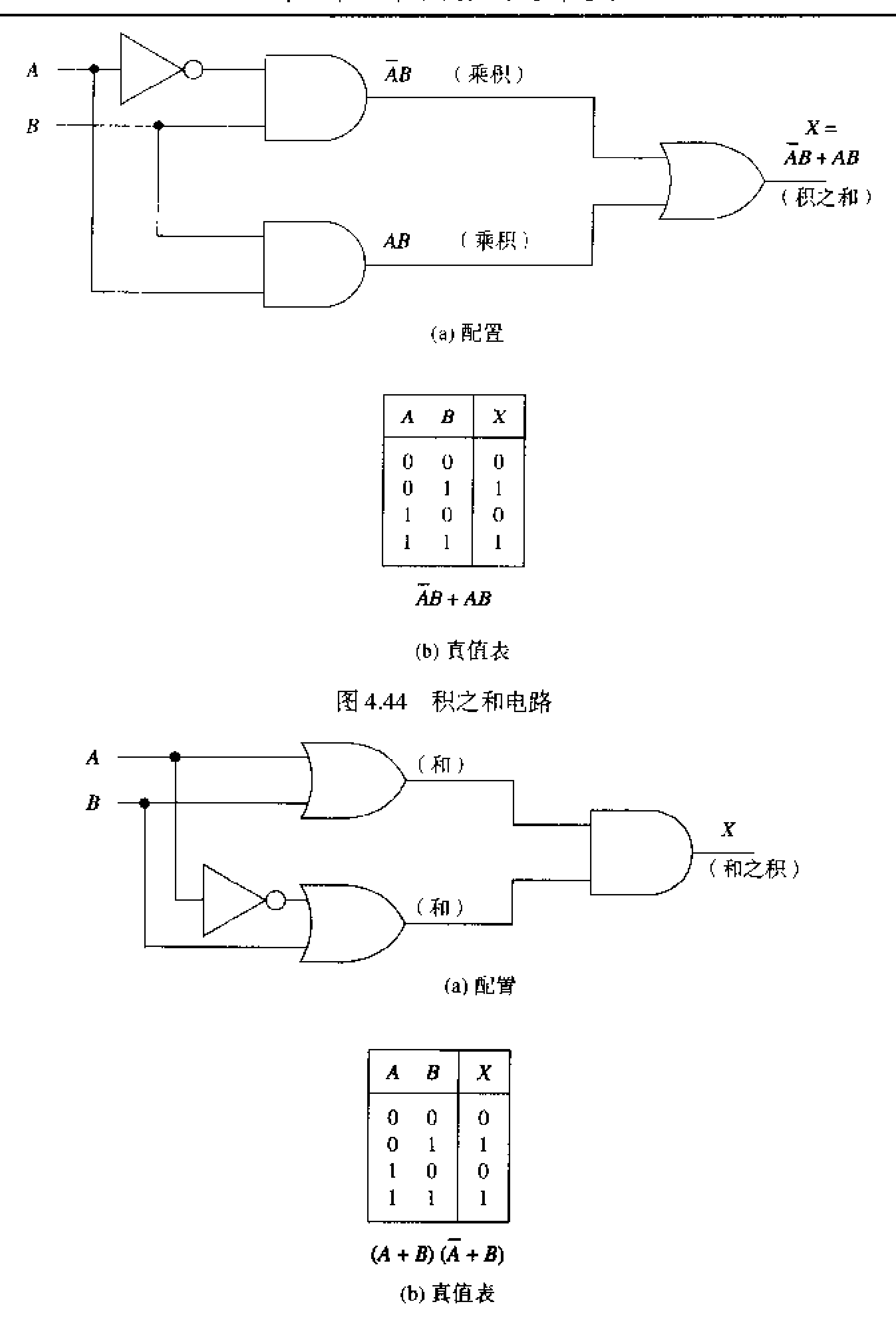
在由真值表写出的积之和(SOP)表达式中，产生高电平输出的输入变量组合进行逻辑与操作。然后，每组产生高电平输出的输入组合与其他产生高电平输出的组合进行逻辑或操作。因为实现该表达式所要求的电路是“与－或”配置的，总是会产生一个 SOP 表达式。图 4.44 所示的就是一个 SOP 电路配置。该电路的输出表达式是 $\overline{A}B + AB$。

还有一种设计技术使用的是和之积（POS）配置。顾名思义，这是一种“或－与”电路配置。如图 4.45 所示的就是一个 POS 电路配置。因为在该电路输出端产生的是或门输出之和的乘积（逻辑与），所以它被称为 POS 配置。这种 POS 电路的真值表可以与 SOP 电路的真值表完全相同。

可以从真值表得出POS表达式。但是，从真值表中推导POS表达式和SOP表达式有很大的区别。

当从真值表提取出 SOP 表达式时，表达式写为表示每种高电平输出条件的形式。这是由于当每个输入变量组合在与门的输出端产生低电平时，或门（参见图 4.44）将输出低电平信号。

当从真值表中提取出 POS 表达式时，表达式写为表示每种低电平输出条件的形式。这是由于当每个输入变量组合在或门的输出端产生低电平时，与门（参见图 4.45）将输出低电平信号。



(a) 配置

A	B	X
0	0	0
0	1	1
1	0	0
1	1	1

$\bar{A}B + AB$

(b) 真值表

图4.44 积之和电路

(a) 配管

A	B	X
0	0	0
0	1	1
1	0	0
1	1	1

$(A + B)(\bar{A} + B)$

(b) 真值表

图4.45 和之积电路

在提取POS表达式时，产生低电平输出的输入变量组合中的每个变量将与该组合中的其他变量进行逻辑或。然后，每组产生低电平输出的或变量组合再与其他产生低电平输出的组合进行逻辑与。产生低电平输出的变量的提取是以互补的形式完成的。为了说明这一点，可以思考下面的规则：

1. 对于在真值表中产生低电平输出的每一组输入变量组合，写出每个输入变量的互补形式，并在组合内进行逻辑或。例如，图4.45所示的真值表表示：当 $A = 0$ 且 $B = 0$ 时，输出为低

电平。因此，对于这种低电平输出的表达式应该写为 $A + B$。这时，每个变量都是以互补的形式写出的。因为在该组合中，A 和 B 均为低电平，所以如果以变量的真实形式来写，这两个变量都进行了逻辑非运算。当 $A = 1$ 且 $B = 0$ 时，也可以产生一个低电平输出。其结果为 $\overline{A} + B$。

2. 再将各组进行了逻辑或的变量进行逻辑与。如图 4.45(b)所示，该真值表产生的结果为 $(A + B)(A + B)$。这个最终的表达式是 POS 配置的，它可以表示真值表中的低电平输出。

如果联结符号可以用来指示何时电路将输出低电平，图 4.45(b)所示真值表可以产生 POS 状态的表达式 $(A + B)(\overline{A} + B)$ 和 SOP 状态的表达式 $\overline{A}B + AB$。第二个表达式可以用 SOP 状态表示低电平输出。对第二个表达式使用摩根定律，可以证明它与第一个表达式是等价的。

图4.45所示的电路和真值表可以解释为什么在POS表达式中必须将互补的输入变量提取出来。如果 $A = 0$ 且 $B = 0$，则电路的输出为 0。或门的所有 0 输入都将产生 0 输出，它将使与门被禁止，并使该 POS 电路产生 0 输出。或门输出低电平的表达式可以写为 $\overline{\overline{A}\overline{B}}$。用摩根定律进行简化，可以得到等价的表达式 $A + B$。

下面对SOP和POS表达式进行简化，以显示它们的等价性。SOP表达式写成高电平输出的形式：

SOP	POS
$AB + AB$	$(A + B)(\overline{A} + B)$
$B(A + A)$	$A\overline{A} + AB + \overline{A}B + BB$
$B(1)$	$0 + AB + \overline{A}B + B$
B	$AB + AB + B$
	$B(A + \overline{A} + 1)$
	$B(1)$
	B

为了进一步证实，再看一下如图 4.46 所示的 SOP 电路。该电路的输出是 $\overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C + ABC$。现在，从图 4.46(b)所示的同一个真值表中提取其 POS 表达式。该表达式为 $(A + B + C)(\overline{A} + B + C)(A + \overline{B} + C)$。POS 电路如图 4.47 所示。注意，在实现 POS 电路时，使用的逻辑门数目要少一些。

一般而言，与低电平输出相比，当真值表只包含少数几个高电平输出时，使用SOP电路会更好一些。相反地，如果真值表包含的低电平输出少于高电平输出，使用 POS 电路会更好一些。

图 4.46 和图 4.47 所示的两个电路和表达式的等价性证明如下所示。

SOP

$\overline{A}\,\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C + ABC$

$\overline{A}B(\overline{C} + C) + AC(\overline{B} + B) + \overline{A}\,\overline{B}C$

$\overline{A}B(1) + AC(1) + \overline{A}\,\overline{B}C$

$\overline{A}B + AC + \overline{A}\,\overline{B}C$

$\overline{A}(B + \overline{B}C) + AC$

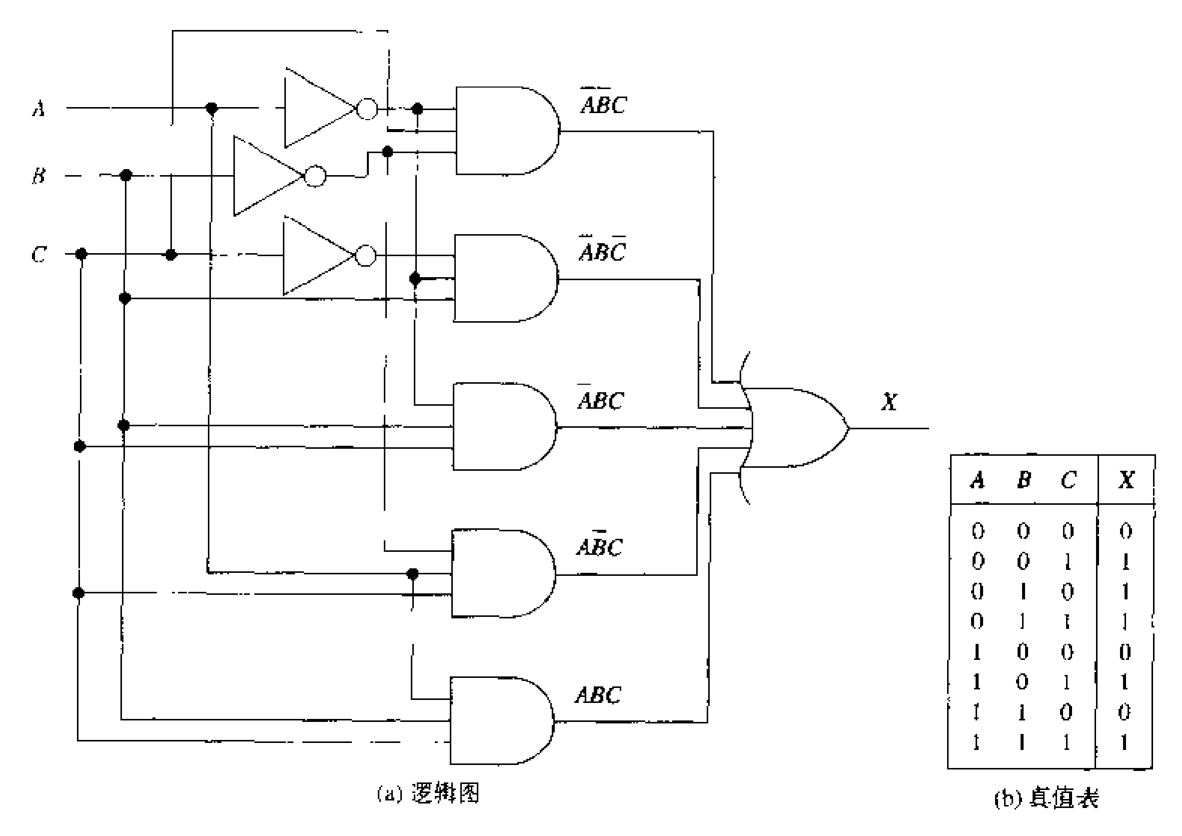
$\overline{A}(B + C) + AC$

$\overline{A}B + \overline{A}C + AC$

$\overline{A}B + C(\overline{A} + A)$

$\overline{A}B + C(1)$

$\overline{A}B + C$



A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

(a) 逻辑图　　(b) 真值表

图 4.46　$\overline{A}BC+AB\overline{C}+\overline{A}BC+A\overline{B}C+ABC$ 的 SOP 配置

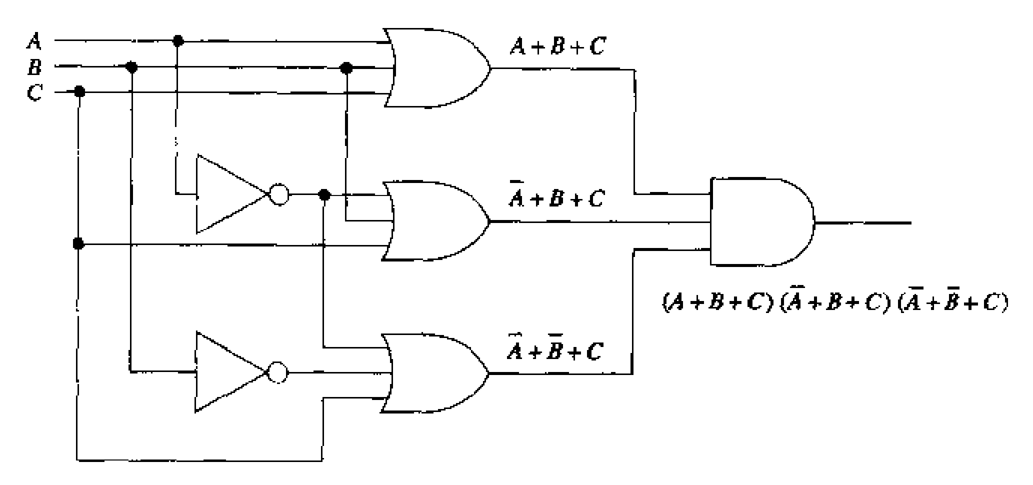


图 4.47　图 4.46 所示电路的 POS 配置

POS

$(A+B+C)(\overline{A}+B+C)(\overline{A}+\overline{B}+C)$

$(A\overline{A}+AB+AC+\overline{A}B+BB+BC+\overline{A}C+BC+CC)(\overline{A}+\overline{B}+C)$

$(0+AB+AC+\overline{A}B+B+BC+\overline{A}C+C)(\overline{A}+\overline{B}+C)$

$\overline{A}AB+\overline{A}AC+\overline{A}\,\overline{A}B+\overline{A}B+\overline{A}BC+\overline{A}\,\overline{A}C+\overline{A}C+\overline{B}AB+\overline{B}AC$

$\quad+\overline{B}\,\overline{A}B+\overline{B}B+\overline{B}BC+\overline{B}\,\overline{A}C+\overline{B}C+CAB+CAC+C\overline{A}B$

$\quad+CB+CBC+C\overline{A}C+CC$

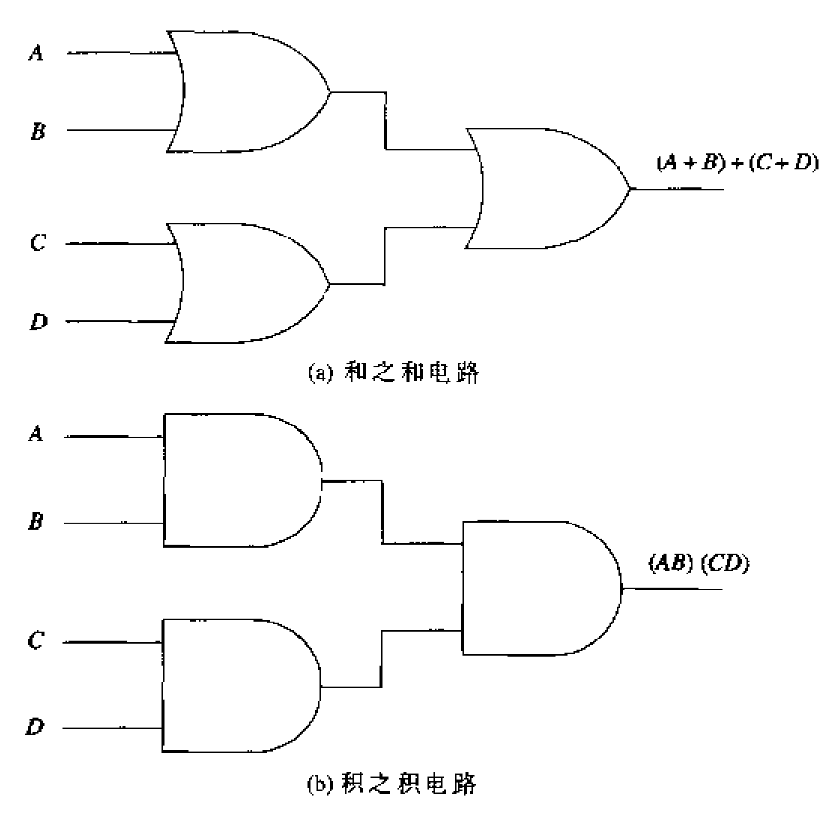
$0+0+\overline{A}B+\overline{A}B+\overline{A}BC+\overline{A}C+\overline{A}C+0+A\overline{B}C+0+0+0$

$\quad+\overline{A}\,\overline{B}C+\overline{B}C+ABC+AC+\overline{A}BC+BC+BC+\overline{A}C+C$

$\overline{A}B+\overline{A}BC+\overline{A}C+A\overline{B}C+\overline{A}\,\overline{B}C+\overline{B}C+ABC+AC+BC+C$

$$\overline{A}B(1+C)+\overline{A}C(1+\overline{B})+\overline{B}C(1+A)+AC(1+B)+C(1+B)$$
$$\overline{A}B+\overline{A}C+\overline{B}C+AC+C$$
$$\overline{A}B+C(\overline{A}+\overline{B}+A+1)$$
$$\overline{A}B+C$$

除了SOP和POS配置外，还有“和之和”（SOS）电路配置和“积之积”（POP）电路配置。在SOS电路中，是多个或门连接到或门上。在POP电路中，是多个与门连接到与门上。SOS和POP电路配置如图4.48所示。



(a) 和之和电路

(b) 积之积电路

图4.48　SOS和POP电路配置

4.6节复习题

写出下面每个真值表的SOP布尔表达式，并简化写出的表达式。

A.

A	*B*	*X*
0	0	0
0	1	1
1	0	1
1	1	1

B.

A	*B*	*C*	*X*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

C.

A	B	C	X
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

D.

A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

E. 由下面所示的真值表写出低电平输出的布尔表达式。一种用SOP形式，另一种用POS形式。

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

F. 写出下面真值表的 POS 表达式。

A	B	X
0	0	1
0	1	1
1	0	0
1	1	0

阶段性小结（4.4 节 ~ 4.6 节）

解读一个布尔表达式时，变量上面的单个逻辑非符号表示的是逻辑低电平。上面没有逻辑非符号的变量表示的是逻辑高电平。$\overline{X}\overline{Y}Z$ 读为“如果 X 为低电平，Y 为低电平，Z 为高电平……”。

为了解读方便，多个变量上面都有逻辑非符号的表达式需要进行简化。在本例中，$\overline{X\cdot\overline{Y\cdot\overline{Z}}}=\overline{X}+Y\overline{Z}$，第一个表达式可以用摩根定律简化，以便能够较容易地读出。

图 4.28 所示的是可替换逻辑门符号。一个逻辑门的替换逻辑符号的短逻辑与该逻辑门的短逻辑是相同的。

由下面的步骤可以得到可替换逻辑门符号：

1. 改变符号。
2. 对每个输入变量进行逻辑非运算。
3. 对整个表达式进行逻辑非运算。
4. 去掉所有的双重逻辑非符号。

由真值表写出的高电平输出形式的布尔表达式是SOP配置的表达式。如果真值表中的输入组合（$A=1$，$B=0$，$C=0$）产生的是高电平输出，则表达式写为 $A\bar{B}C$。

由真值表写出的SOP表达式常常需要进行简化，在下一节将会详细讲解这种处理方法。简化前后的两个表达式的等价性可以用得到初始表达式的真值表进行证明。

SOP电路配置包含了连接到一个或门上的多个与门。POS电路配置包含了连接到一个与门上的多个或门。

通过写出低电平输出的表达式可以由真值表得到POS表达式。变量组合中的每个变量都必须写成补的形式，各变量必须进行逻辑或运算。然后，每个逻辑或变量的组合应该通过逻辑与连接在一起。

SOP表达式 $ABC+AB\bar{C}$ 和POS表达式 $(\bar{A}+\bar{B})(A+C)$ 使用得如此普遍的原因是它们很容易由真值表提取得到，而且也很容易进行简化。这一点在本章后面表现得越来越明显。

阶段性练习（4.4节～4.6节）

1. 表达式 ABC 表示 A，B 和 C 均为高电平时，逻辑门的输出为高电平。
   a. 对
   b. 错
2. 表达式 AB 表示 A 为低电平，B 为高电平时，逻辑门的输出为低电平。
   a. 对
   b. 错
3. 表达式 $AB\bar{C}$ 表示 A 和 C 为低电平，B 为高电平时，逻辑门的输出为高电平。
   a. 对
   b. 错
4. 表达式 $\bar{A}\bar{B}$ 表示 A 和 B 均为高电平时，逻辑门的输出为低电平。
   a. 对
   b. 错
5. 表达式 $\overline{\bar{A}\cdot\bar{B}}$ 表示 A 和 B 均为高电平时，逻辑门的输出为低电平。
   a. 对
   b. 错
6. 表达式 $A+\bar{B}$ 表示 A 为高电平，B 为低电平时，逻辑门的输出为高电平。
   a. 对
   b. 错
7. 将表达式 $A\cdot B\cdot C(\overline{\bar{A}+\bar{B}})$ 简化为高电平输出的形式。
   a. $A+B+C$
   b. $\overline{A+B}+\overline{C}$
   c. ABC
   d. $\overline{ABC}$
8. 找出图4.49中对应的可替换逻辑门符号。
9. 找出图4.50中对应的可替换逻辑门符号。

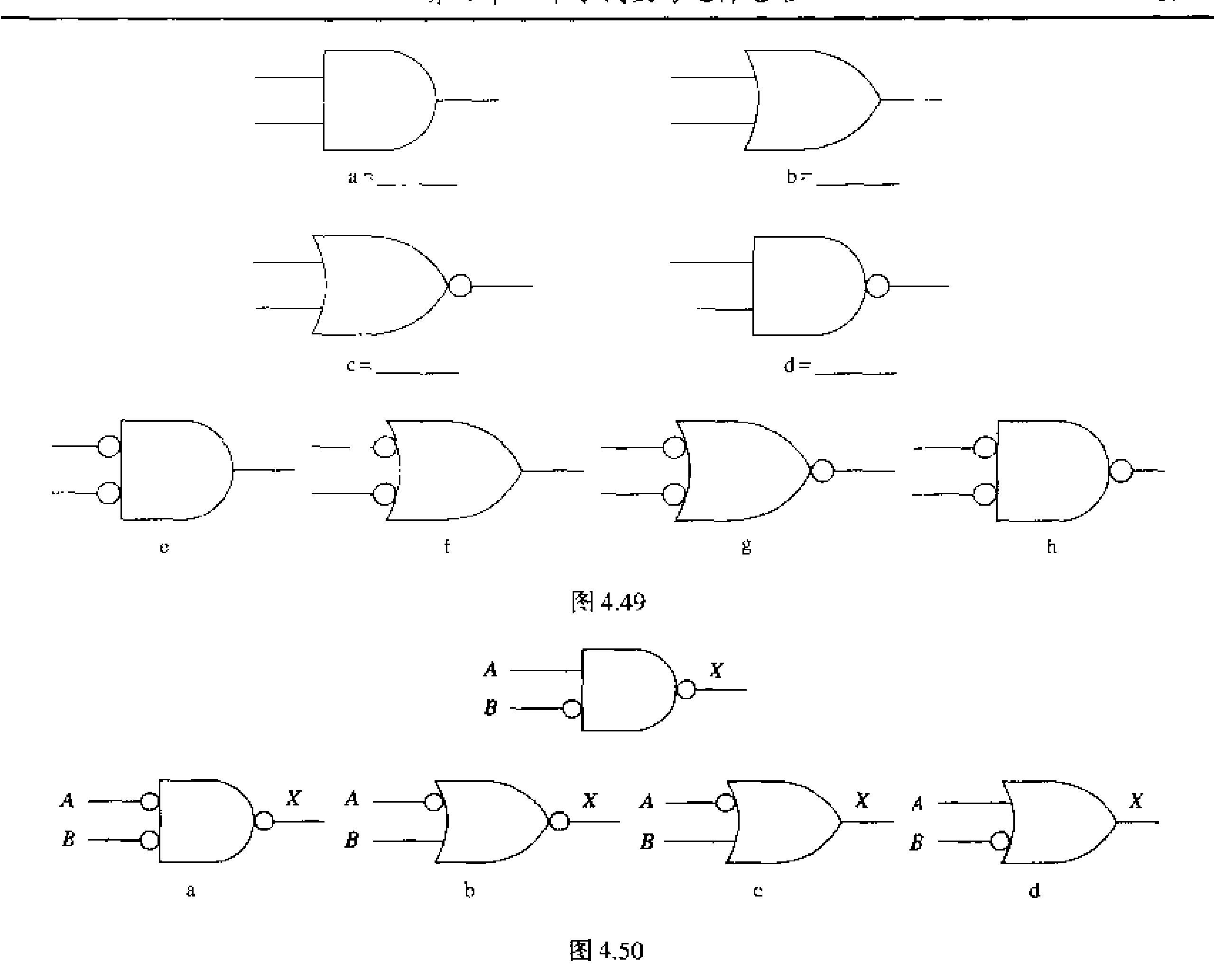


图 4.49

图 4.50

10. 怎样的输入条件可以使表达式 $A+B+C$ 所表示的逻辑门输出低电平?
    a. A，B 和 C 均为低电平
    b. A，B 和 C 均为高电平
11. 找出对应下面真值表的布尔表达式:
    a. $A+B$
    b. $\overline{A+B}$
    c. $\bar{A}\bar{B}+AB$
    d. $\bar{A}B+A\bar{B}$

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

12. 找出对应下面真值表的布尔表达式:
    a. $\bar{A}\bar{B}\bar{C}+\bar{A}B\bar{C}+ABC$
    b. $ABC\cdot A\bar{B}\bar{C}\cdot\bar{A}\bar{B}\bar{C}$
    c. $\bar{A}\bar{B}\bar{C}+\bar{A}\bar{B}C+A\bar{B}\bar{C}$
    d. $\bar{A}+\bar{B}+\bar{C}$

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

13. 简化上题中得到的布尔表达式。

a. $A\overline{B} + A\overline{B}\,\overline{C}$
b. $\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C$
c. $\overline{A}\,\overline{B} + BC$
d. $\overline{A}\,\overline{B} + \overline{B}C$

14. 识别图 4.51 所示电路的配置方式
   a. 和之和
   b. 积之和
   c. 和之积
   d. 积之积

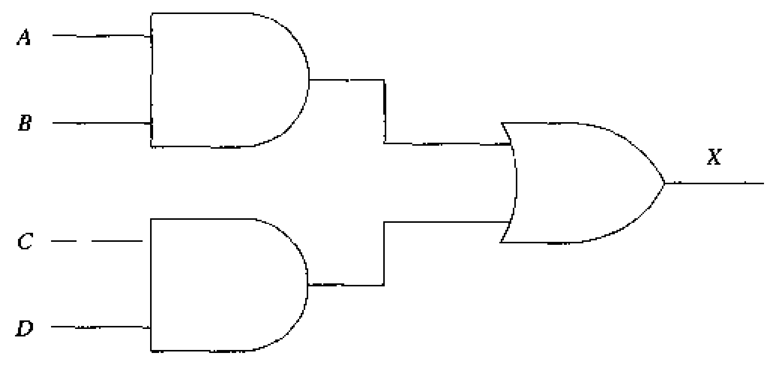


图 4.51

15. 找出对应下面真值表的低电平输出形式的布尔表达式。
   a. $\overline{A}\,\overline{B}\,\overline{C} + A\overline{B}\,\overline{C}$
   b. $(A + B + C)(\overline{A} + B + C)$
   c. $(\overline{A}\,\overline{B}\,\overline{C})(A\overline{B}\,\overline{C})$

A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

4.7 用布尔代数简化布尔表达式

要点

利用实数和布尔代数的特性以及摩根定律简化布尔表达式。

本节综合了前面提供的全部信息来简化布尔表达式。学习本节前，先复习一下表4.1和表4.4将会很有帮助。这里将使用实数和布尔代数的全部特性以及摩根定律来简化布尔表达式。

有时，用一种方法简化布尔表达式所得的结果很可能与另一种方法简化所得的结果不同。通常情况下，虽然两个结果不同，但它们表现在真值表上却是相同的。如前一节讲述的，利用真值表证明简化后的表达式与初始表达式的等价性，这种实践是很有帮助的。

一旦掌握了基本知识，实践就成为学习布尔表达式简化的最好办法。下面，首先解决几个问题，然后逐步勾画出简化处理的轮廓。

问题 4.1

1. $\bar{A}BC+A\bar{B}C+AB\bar{C}$	原表达式
2. $AB(C+C)+A\bar{B}C$	提出相同的变量 $\bar{A}\bar{B}$
3. $AB(1)+AB\bar{C}$	互补特性
4. $\bar{A}\bar{B}+A\bar{B}C$	使能特性 $\bar{B}$
5. $B(\bar{A}+AC)$	提出相同的变量 B
6. $B(A+C)$	定律：$A+A\bar{B}=\bar{A}+\bar{B}$
7. $AB+BC$	展开 B

注解

第二步： $A\bar{B}$在前两个输入组合中是相同的变量，可以提出来。注意，$\bar{B}C$在第二和第三个输入组合中也是相同变量，如果先将$\bar{B}C$提出来，下面各步处理相同，则得到的结果是相同的。

第三步： $C+C=1$。

第四步： $\bar{A}B1=A\bar{B}$。

第五步： $\bar{B}$在第四步的两个输入组合中是相同的变量。因此，$\bar{B}$可以提出来。

第六步： 应用定律$(A+A\bar{B}=\bar{A}+\bar{B})$。在本步得到的结果可以认为是最终的结果。但是，最好将 B 展开，这样在读表达式时，就不会有困难。

第七步： 展开$\bar{B}$后，可以得到一个很容易读出的“积之和”表达式。

可以用真值表证明$\bar{A}\bar{B}+\bar{B}C$等于$\bar{A}\bar{B}\bar{C}+\bar{A}\bar{B}C+A\bar{B}\bar{C}$。

问题 4.2

1. $(\bar{A}+B)(B+C)$	原表达式
2. $\bar{A}B+\bar{A}\bar{C}+BB+B\bar{C}$	展开表达式
3. $\bar{A}B+\bar{A}\bar{C}+B+BC$	冗余特性（$BB=B$）
4. $B(\bar{A}+1+\bar{C})+\bar{A}\bar{C}$	提出相同的变量 B
5. $B(1)+\bar{A}C$	禁止特性（$A+1=1$）
6. $B+\bar{A}\bar{C}$	使能特性（$A\cdot 1=A$）

问题 4.3

1. $X+XY+\bar{X}YZ$	原表达式
2. $X+\bar{X}Y(1+Z)$	提出相同的项 $\bar{X}Y$
3. $X+XY(1)$	禁止特性
4. $X+\bar{X}Y$	使能特性
5. $X+Y$	定律：$A+\bar{A}B=A+B$

问题 4.4

$A\cdot B\cdot C+\overline{A\cdot B\cdot C}$	原表达式
1	互补特性。注意，第二个变量组合 ABC 被看成一个逻辑非变量。

问题 4.5

$\bar{X}\cdot\overline{\bar{Y}\cdot Z}+\bar{X}\cdot\overline{Y\cdot\bar{Z}}$	原表达式

第一步：	$\overline{\overline{X}}+\overline{\overline{Y}}+Z+X+Y+\overline{\overline{Z}}$	摩根定律（断开联结 / 改变逻辑运算符）
第二步：	$X+\overline{X}+Y+\overline{Y}+Z+\overline{Z}$	双重否定特性 / 交换特性
第三步：	$1+1+1$	互补特性
第四步：	1	禁止特性

问题 4.6

	$\overline{A\cdot\overline{B}\cdot C}+\overline{\overline{A}+\overline{C}}$	原表达式
第一步：	$\overline{A}+\overline{\overline{B}}+\overline{C}+\overline{\overline{A}}\cdot\overline{\overline{C}}$	摩根定律
第二步：	$\overline{A}+B+\overline{C}+A\cdot C$	双重否定特性
第三步：	$\overline{A}(1+C)+B+\overline{C}$	提出相同项
第四步：	$\overline{A}\cdot(1)+B+\overline{C}$	禁止特性
第五步：	$\overline{A}+B+\overline{C}$	使能特性

问题 4.7

	$\overline{A}\cdot\overline{B}\cdot\overline{C}+A\cdot B\cdot C+\overline{A}\cdot B\cdot C+A\cdot\overline{B}\cdot\overline{C}$	原表达式
第一步：	$(A\cdot\overline{B}\cdot\overline{C}+A\cdot B\cdot C)+(\overline{A}\cdot\overline{B}\cdot\overline{C}+A\cdot B\cdot\overline{C})$ $+(\overline{A}\cdot B\cdot\overline{C}+A\cdot\overline{B}\cdot\overline{C})$	因为 $A+A=A$，补上 $\overline{A}\overline{B}\overline{C}$
第二步：	$A\overline{B}(\overline{C}+C)+\overline{A}\overline{C}(\overline{B}+B)+\overline{B}\overline{C}(\overline{A}+A)$	提出相同项
第三步：	$AB(1)+\overline{A}\overline{C}(1)+\overline{B}\overline{C}(1)$	互补特性
第四步：	$AB+\overline{A}\overline{C}+\overline{B}\overline{C}$	使能特性

注意，在原表达式中 $\overline{A}\overline{B}\overline{C}$ 只有一个。然而，如果用原表达式的形式，是无法进行简化的，因为表达式 $A\overline{B}+\overline{A}\overline{B}\overline{C}+A\overline{B}C$ 或 $\overline{A}\overline{B}+C(\overline{A}B+A\overline{B})$ 无法利用布尔代数的其他特性。因为 $A+A=A$，$A+A+A=A$（冗余特性），所以，如果有必要，布尔表达式中的任何一个变量组合都能够被加上两次（或更多次）。补上两个 $\overline{A}\overline{B}\overline{C}$ 并不会改变该表达式，但却可以使简化处理变得简单一些。

注意，在第一步中加上的圆括号不是必需的，加上它们只是为了起辅助作用。

问题 4.8

	$A\cdot B\cdot\overline{C}+A\cdot\overline{B}\cdot C+\overline{A}\cdot B\cdot C+A\cdot B\cdot C$	原表达式
第一步：	$(A\cdot B\cdot C+A\cdot B\cdot\overline{C})+(A\cdot B\cdot C+A\cdot\overline{B}\cdot C)$ $+(A\cdot B\cdot C+\overline{A}\cdot B\cdot C)$	补上 ABC
第二步：	$A\cdot B(C+\overline{C})+A\cdot C(B+\overline{B})+B\cdot C(A+\overline{A})$	提出相同项
第三步：	$A\cdot B(1)+A\cdot C(1)+B\cdot C(1)$	互补特性
第四步：	$A\cdot B+A\cdot C+B\cdot C$	使能特性

在这里也用到了相同的补项方法。如果需要，可以参考问题 4.7。

问题 4.9

	$(\overline{A}+B+\overline{C})(A+B+\overline{C})$	原表达式
第一步：	$\overline{A}A+\overline{A}B+\overline{A}\overline{C}+BA+BB+B\overline{C}+\overline{C}A+\overline{C}B+\overline{C}\overline{C}$	展开
第二步：	$0+\overline{A}B+\overline{A}\overline{C}+AB+B+B\overline{C}+A\overline{C}+B\overline{C}+\overline{C}$	互补特性/冗余特性
第三步：	$\overline{A}B+\overline{A}\overline{C}+AB+B+B\overline{C}+A\overline{C}+\overline{C}$	使能特性/冗余特性
第四步：	$B(\overline{A}+A+1+\overline{C})+\overline{C}(\overline{A}+A+1)$	提出相同项

第五步：	$B(1) + C(1)$	禁止特性
第六步：	$B + C$	使能特性

问题 4.10		
	$WXY + \overline{W}XY + X\overline{Y}Z$	原表达式
第一步：	$XY(W + \overline{W} + Z)$	提出相同项
第二步：	$X\overline{Y}(1)$	互补特性
第三步：	XY	使能特性

问题 4.11		
	$\overline{\overline{W}X\overline{Y}Z}$	原表达式
第一步：	$\overline{\overline{W}} + X + \overline{Y} + Z$	摩根定律
第二步：	$W + X + \overline{Y} + Z$	双重否定特性

问题 4.12		
	$\overline{\overline{\overline{A}B}C}$	原表达式
第一步：	$\overline{\overline{\overline{A}B}} + C$	摩根定律
第二步：	$\overline{A}B + C$	双重否定特性

在问题4.12中，AB上面的双重否定符号在第二步中被去掉了。除了去掉双重否定符号外，没有其他的理由去断开它们。断开每个单独的联结符号并改变相应的逻辑符号，和去掉双重否定符号得到的结果是一样的。下面的练习证明使用摩根定律代替去掉等长的联结符号是无用的。

$\overline{\overline{A + B + C}}$

$\overline{\overline{A}} \cdot \overline{\overline{B}} \cdot \overline{\overline{C}}$

$\overline{\overline{A}} + \overline{\overline{B}} + \overline{\overline{C}}$

$A + B + C$

4.7 节复习题

简化下面的布尔表达式：

A. $ABC + AB\overline{C}$
B. $A + \overline{A}B$
C. $AB + \overline{AB}$
D. $(A + B)(B + C)$
E. $\overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,\overline{C} + ABC$
F. $\overline{A}\overline{B}C + A\overline{B}C$
G. $\overline{\overline{XY} + \overline{XYZ}}$
H. $\overline{ABCD}$

4.8 用卡诺图简化布尔表达式

要点

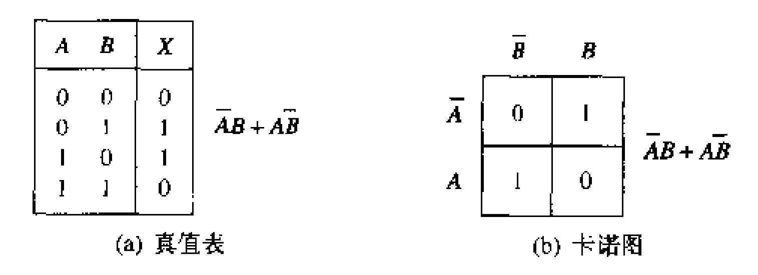
利用卡诺图简化布尔表达式。

前面讲述的简化布尔表达式的能力有赖于对实数和布尔代数的特性以及摩根定律等方面知识的深入掌握。

卡诺图是用于简化布尔表达式的一种非常优秀的工具。卡诺图简化方法很简单，而且不要求具有布尔规则和定律方面的知识。但是，这并不是说我们前面利用布尔代数进行简化的学习是浪费时间，因为有时是不能使用卡诺图的。

卡诺图实际上就是一个图形化的真值表。当要求由真值表来设计电路或由 SOP 表达式得到所需特性的电路时，它是非常有用的。

如图 4.52 所示的是一个二输入电路的卡诺图和真值表。对于每组产生高电平输出的输入变量组合，1 被直接从真值表中放到了卡诺图中。对于每组产生低电平输出的输入变量组合，0 也被放到了卡诺图中。真值表中的每一个输出条件在卡诺图中都画出来了。真值表中的第一个条件是 $A=0$，$B=0$，$X=0$。在卡诺图中，它画在水平方向临近 A 行，垂直方向临近 $\bar{B}$ 列的位置。对应各自的输出，其他的输入条件以类似的方法画在卡诺图中。真值表最终的布尔表达式，即 $\bar{A}B+A\bar{B}$，是 SOP 形式的，该表达式无法再简化了。

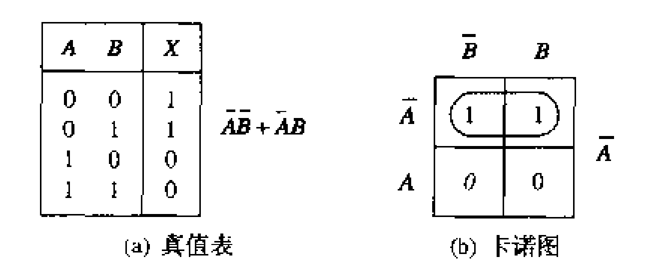


A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

(a) 真值表 (b) 卡诺图

图 4.52 二输入卡诺图

为了进一步讲解卡诺图方法，下面又举了一个例子，如图 4.53(a)所示的是一个二输入电路的真值表。表达式 $\bar{A}\bar{B}+\bar{A}B$ 画在卡诺图中。



A	B	X
0	0	1
0	1	1
1	0	0
1	1	0

(a) 真值表 (b) 卡诺图

图 4.53 带有卡诺圈的二输入卡诺图

画在卡诺图中的任何一个表达式都可以通过将水平或垂直方向临近的"1"圈在一起而得以简化。如图 4.53(b)的卡诺图所示，一旦卡诺圈画出后，所有的互补变量都可以从原表达式中去掉。这样就可以得到一个经过简化的等价的表达式。在图 4.53(b)中，在水平方向上临近卡诺圈的 $\bar{A}$ 仍然保留在输出表达式中。由于 B 和 $\bar{B}$ 在垂直方向上出现在临近卡诺圈的位置，所以它们被去掉了。这与代数简化方法完全一致：

$$\bar{A}\bar{B}+\bar{A}B$$
$$\bar{A}(\bar{B}+B)$$
$$\bar{A}(1)$$
$$\bar{A}$$

正如上面所做的那样，将两个“1”圈在一起被称为圈了一对变量。需要记住的是，只能将水平或垂直方向临近的“1”圈在一起。一旦画出卡诺圈后，所有的互补变量（A 和 $\bar{A}$ 或 B 和 $\bar{B}$）就都可以从原表达式中去掉了。

图4.54所示的是一个三输入电路的卡诺图。卡诺图上的正方形与真值表的对应关系表示在卡诺图上。卡诺图的布局是非常重要的。如果布局不好，就可能得不出正确的简化表达式。注意，卡诺图上每个临近的方块只有一个变量是不同的。左上角的方块（$\bar{A}\bar{B}\bar{C}$）与下一个方块（$\bar{A}B\bar{C}$）只有一个变量 B 是不同的。整个卡诺图上所有的水平和垂直方向上的临近方块都是这样的。

	$\bar{C}$	C
$\bar{A}\bar{B}$	$\bar{A}\bar{B}\bar{C}$	$\bar{A}\bar{B}C$
$\bar{A}B$	$\bar{A}B\bar{C}$	$\bar{A}BC$
AB	$AB\bar{C}$	ABC
$A\bar{B}$	$A\bar{B}\bar{C}$	$A\bar{B}C$

图4.54　三输入卡诺图的布局

为了更进一步讲解卡诺图，看一下图4.55所示的四输入卡诺图的布局。如果从卡诺图上选出一个方块，则在水平方向和垂直方向与其临近的方块都只与选中的方块相差一个变量。如果选中 $ABCD$（方块10），则其水平方向的临近方块为 $AB\bar{C}D$（方块9）和 $ABC\bar{D}$（方块11）。每个相邻方块都只有一个变量与选中的方块不同。同样地，垂直方向上的相邻方块 $ABCD$（方块5）和 $A\bar{B}CD$（方块13）也是如此。因为该卡诺图是按格雷码的状态布局的，所以如图所示每个方块都是这样的。

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	1	2	3
$\bar{A}B$	7	6	5	4
AB	8	9	10	11
$A\bar{B}$	15	14	13	12

二进制				十进制	格雷码			
A	B	C	D		A	B	C	D
0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	1
0	0	1	0	2	0	0	1	1
0	0	1	1	3	0	0	1	0
0	1	0	0	4	0	1	1	0
0	1	0	1	5	0	1	1	1
0	1	1	0	6	0	1	0	1
0	1	1	1	7	0	1	0	0
1	0	0	0	8	1	1	0	0
1	0	0	1	9	1	1	0	1
1	0	1	0	10	1	1	1	1
1	0	1	1	11	1	1	1	0
1	1	0	0	12	1	0	1	0
1	1	0	1	13	1	0	1	1
1	1	1	0	14	1	0	0	1
1	1	1	1	15	1	0	0	0

图4.55　三输入卡诺图的格雷码布局

实际上，我们可以认为左下角的方块 $A\bar{B}\bar{C}\bar{D}$ 与左上角的方块 $\bar{A}\bar{B}\bar{C}\bar{D}$ 是相邻的，因为这两个表达式只有一个变量不同。因此，为了达到循环的目的，卡诺图的底行可以放到与顶行相邻的位置上。使用卡诺图时，认识到这两行是相邻的，这是非常重要的。

而且，左列与右列也是相邻的，因为左列的变量组合与右列的变量组合中只有一个变量是不同的。因此，当确定临近组合时，卡诺图中的左列与右列也可以放到一起。

图4.56描述了卡诺图中的这种相邻关系。图4.56(a)证明四个外角的卡诺图方块是相邻的，因为任何一个角上的变量组合都只与其他垂直或水平方向上的变量组合有一个变量不同。图4.56(b)证明了卡诺图底行和顶行的这种相邻关系。图4.56(c)证明了左列与右列的相邻关系。

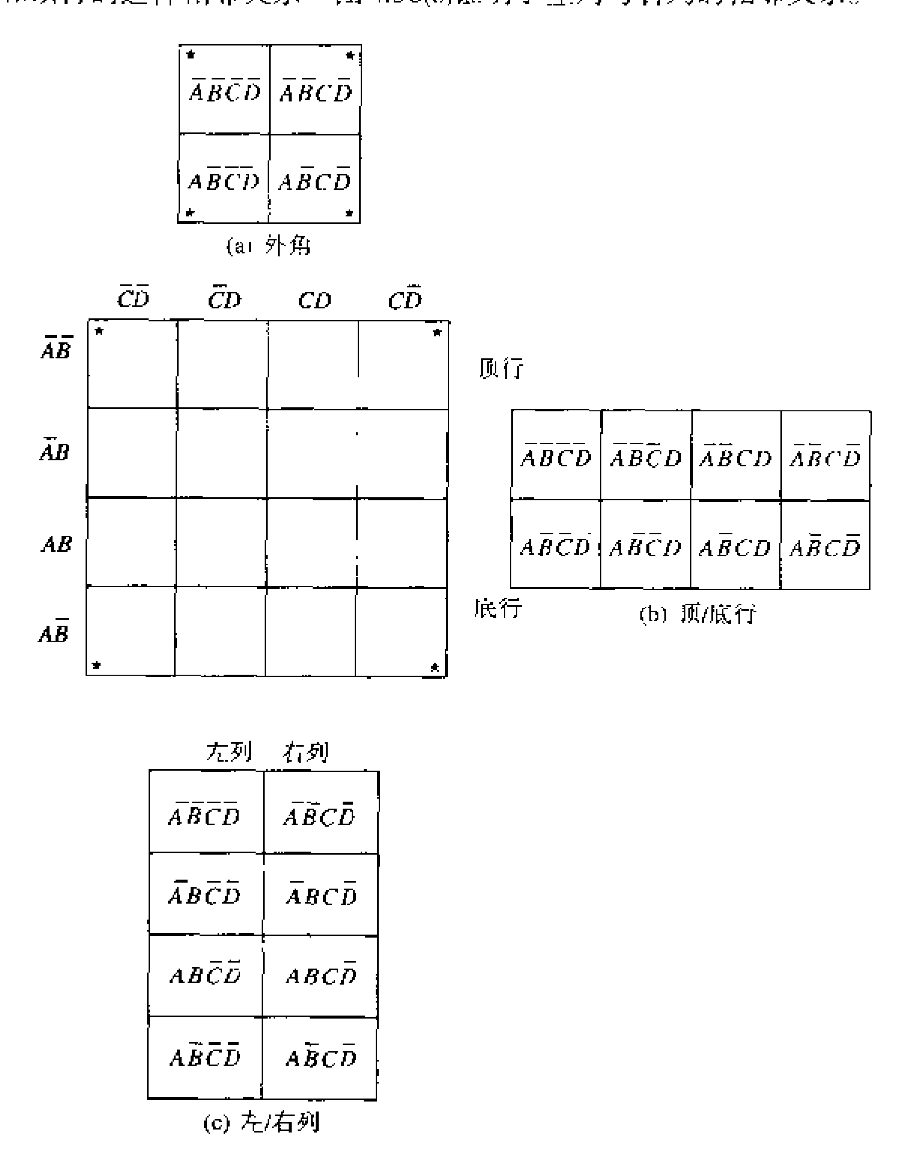


图4.56 卡诺图的相邻关系

尽管卡诺图的布局非常重要，但是其布局也是可以变化的。惟一需要遵循的是必须使用格雷码形式。图4.57所示的是卡诺图的几种布局变化。图中两对“1”被圈在一起，组成了一个四元一组的方形。需要强调的是，每个卡诺图的布局都可以不同，但是都必须遵循格雷码形式。在每个卡诺图上，卡诺圈产生的答案都是相同的（$B\bar{C}$）。另一点需要注意的是，“0”在这里并没有显示在卡诺图上。尽管在本章中还会把它们以余数的形式显示出来，但是在做“1”的卡诺圈时，这是没有必要的。在本章中，用于得到“积之和”表达式的其余卡诺图将如图4.54和图4.55所示来布局。图4.58所示的是几个做卡诺圈的例子。

图4.58(a)将一对“1”圈在一起，得到简化表达式$\bar{A}\bar{C}$。由于卡诺圈是在水平方向上与$\bar{A}\bar{B}$和$\bar{A}B$相邻的，所以互补的B就可以去掉。卡诺圈是在垂直方向上与$\bar{C}$列相邻的，所以该变量在输出表达式中仍然需要保留。

在图4.58(b)所示的卡诺图上，有两对"1"。如上所述，左上角的那对"1"产生的是 $\overline{A}C$。右边的那对"1"在水平方向上与 $\overline{A}B$ 行和 AB 行相邻，因此，互补的 A 将被去掉。和由真值表得到输出表达式类似，每对被圈的"1"所产生的结果表达式应该进行逻辑或，这样就可以得到 $\overline{A}C+BC$。由于卡诺图中所有的"1"都是成对的，所以不要将水平相邻的 $AB\overline{C}$ 和 ABC 配成对，因为这样将在输出表达式中产生无关的变量组合（AB），这是不必要的，而且只能增加输出表达式的复杂性

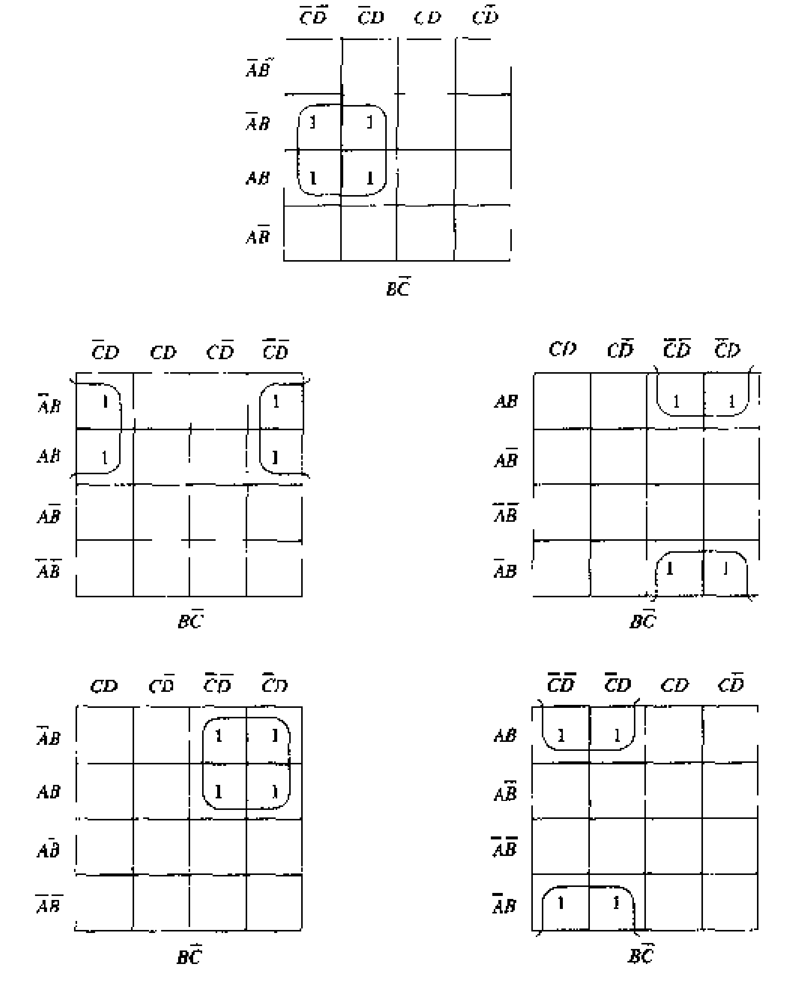


图4.57　卡诺图的变化

图4.58所示的卡诺图中有两个"1"。由于表达式 $\overline{A}\overline{B}\overline{C}$ 只与表达式 $A\overline{B}\overline{C}$ 相差一个变量，所以这两个变量组合可以认为在垂直方向上是相邻的。

在该卡诺图中，也可以通过滚动使顶行和底行相邻在一起。由于在水平方向 $\overline{A}\overline{B}$ 行上显示了一个"1"，$A\overline{B}$ 行上显示了另一个"1"，所以 A 被从输出表达式中去掉了，只留下表达式 $\overline{B}\overline{C}$。

在图4.58(d)所示的卡诺图中有三个高电平输出条件。这个卡诺图显示了一种前面没有提到过的情形。首先，如果水平相邻的"1"被配成了对，结果将是 $\overline{A}B$，因为 C 是以互补的形式出现的，被去掉了。如果剩余的"1"（ABC）不像图中所示的那样配对，则输出表达式将是 $\overline{A}B+ABC$。前面已经讲过，它可以通过将 B 提出来，从而简化该表达式。如果卡诺图中剩余的"1"以图中显示的方式进行配对，则去掉一个变量后，得到的输出表达式为 $\overline{A}B+BC$。为了得到最简化的表达式，有必要将全部水平方向和垂直方向上相邻的"1"都圈起来。然而，正如在对图4.58(b)所示的卡诺图的解释中提到的，不要将已经圈过的"1"重复圈起来。

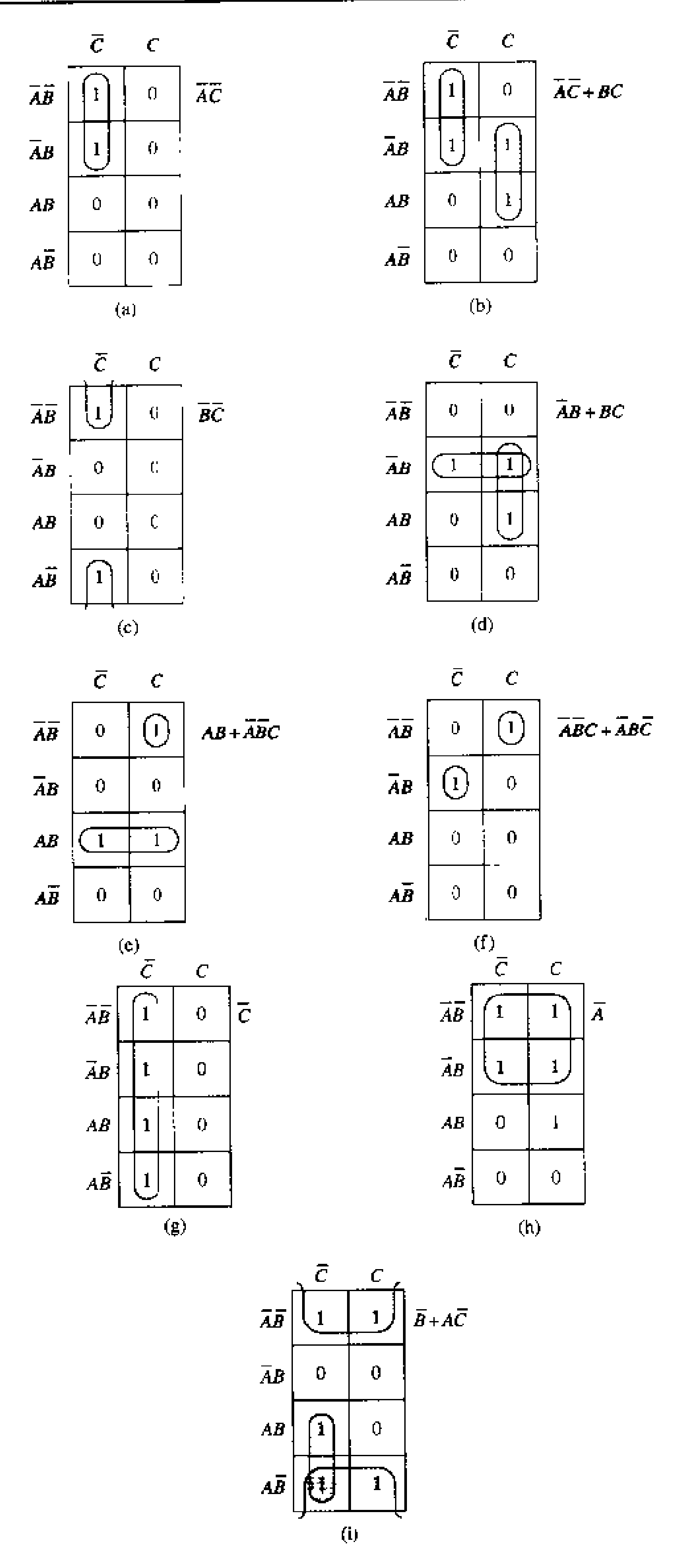


图4.58　形成三输入电路卡诺图的卡诺圈

图4.58(e)所示的卡诺图显示了一对水平方向上相邻的“1”，圈起来后可以得到表达式 AB。剩余的“1”不能圈起来，因为在水平方向和垂直方向都没有相邻的“1”。由于它不能被圈起来，所以得到表达式 $\bar{A}BC$，这样最终的表达式为 $AB+\bar{A}\bar{B}C$。该表达式不可能再进一步简化了。

图4.58(f)所示的卡诺图对应的表达式无法简化。在该图中，水平方向和垂直方向上都无法形成卡诺圈。对角线上的“1”是不能配对的。

图4.58(g)提供了卡诺图中另一种可能出现的情况。可以将水平方向或垂直方向上四个相邻的“1”圈在一起。将四个相邻的“1”圈在一起称为四元卡诺圈。在这四个垂直方向上相邻的“1”形成的四元卡诺圈中有两个 A、两个 $\bar{A}$、两个 B 和两个 $\bar{B}$，因此所有的 A 和 B 都可以去掉，留下的表达式为 C。

在三输入卡诺图中圈起一对“1”，总是会从最终的输出表达式中去掉一个变量。在一个三输入卡诺图中形成一个四元卡诺圈，则会从最终的输出表达式中去掉两个变量。

图4.58(h)的卡诺图又包含了一个四元卡诺圈。图中的这四个“1”在水平和垂直两个方向上相邻。由于四元卡诺圈在水平方向上相邻的是 $A\bar{B}$ 和 $\bar{A}B$，所以 B 将被去掉。另外，该卡诺圈在垂直方向上相邻的是 C 和 C，所以该变量也要被去掉。这样，最终得到的表达式为 $\bar{A}$。

在图4.58(i)中也存在一个四元卡诺圈。由于 $\bar{A}\bar{B}$ 行与 $A\bar{B}$ 行相邻，所以互补的 A 将被去掉。另外，$\bar{C}$ 和 C 在垂直方向上也是相邻的，所以 C 也要被去掉。该四元卡诺圈的输出表达式为 $\bar{B}$。剩下的一个位于 $AB\bar{C}$ 上的“1”可以与四元卡诺圈配对，从而去掉变量 B。所以，最终的表达式为 $\bar{B}+A\bar{C}$。

图4.59所示的是一个四输入电路的空卡诺图。注意，底行和顶行是相邻的。另外，左列和右列也是相邻的。这种相邻的滚动原则将在下面的几个卡诺图中表现出来。

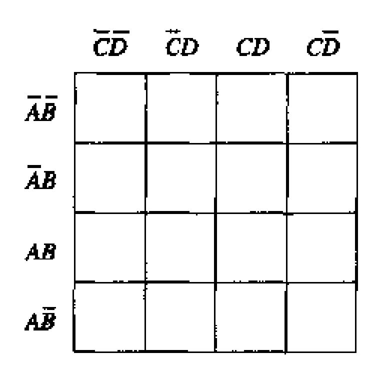


图4.59　四输入电路的卡诺图

图4.60(a)所示的一对“1”可以圈在一起。这对“1”在水平方向上与 AB 相邻，因此这两个变量是不能去掉的。它们还在垂直方向上与 $\bar{C}D$ 列和 CD 列相邻。由于 C 是以互补的形式出现的，所以可以去掉它们。最终的表达式为 ABD。

图4.60(b)中存在一个四元卡诺圈。该四元卡诺圈去掉了所有的 C 和 D，留下的表达式为 $\bar{A}B$。在图4.60(c)中，有两个四元卡诺圈。上面的四元卡诺圈产生的结果是 BD，下面的四元卡诺圈产生的结果是 AD。最终的简化表达式为 $BD+AD$。如果决定在卡诺图上圈三对“1”，则得到的表达式为 $\bar{A}BD+ABD+A\bar{B}D$。该表达式还可以进一步简化，这表示画出的卡诺圈是不正确的。画卡诺圈时，应该尽量画得大一些。

到现在为止，我们既画过成对的“1”组成的卡诺圈，也画过四元卡诺圈。图4.60(d)的卡诺图上有八个“1”可以圈在一起。得到的表达式为 B，有三个变量被去掉了。

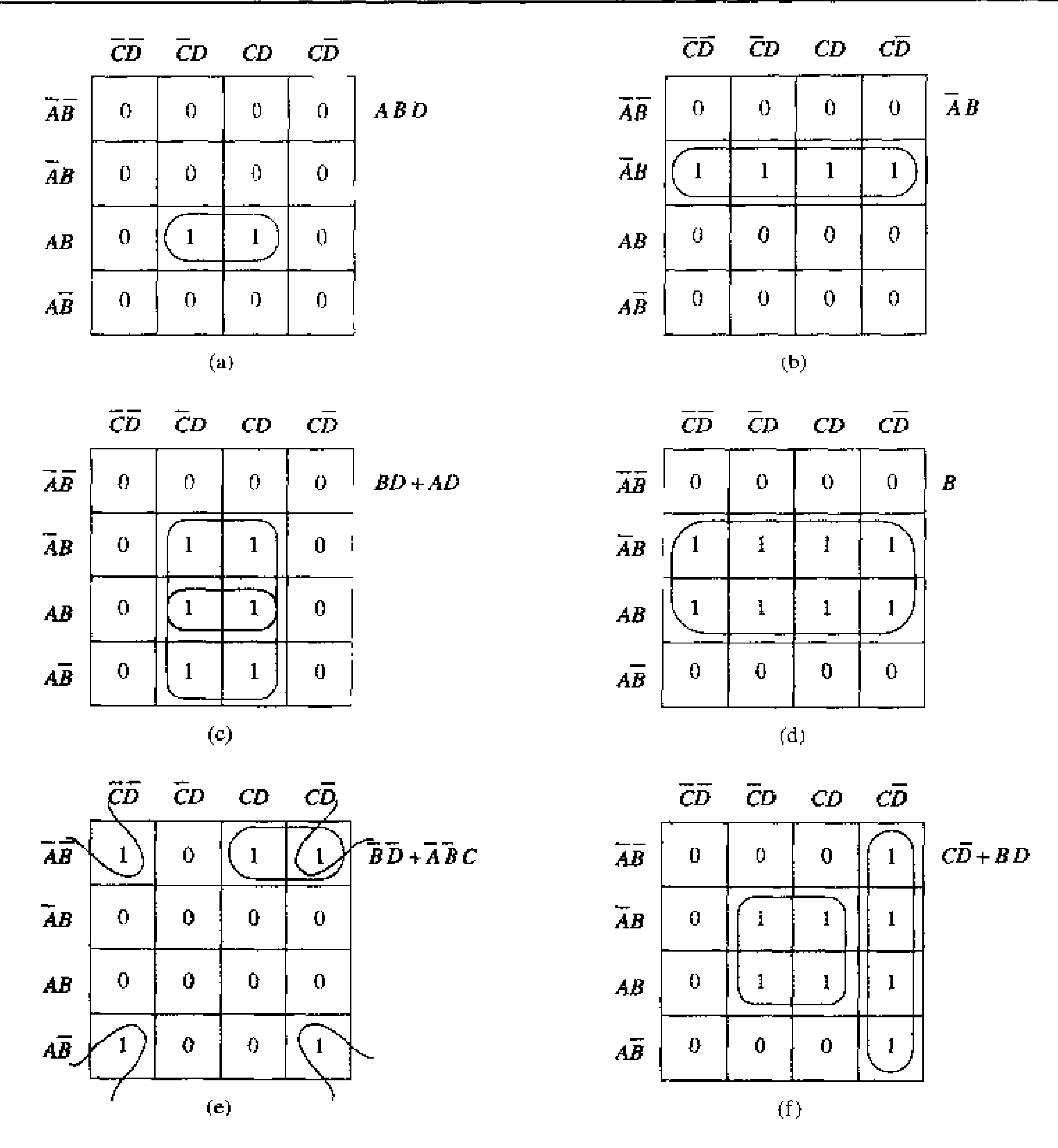


图 4.60 画出四输入卡诺图的卡诺圈

在三输入或四输入卡诺图上可以画出二元、四元和八元的卡诺圈。首先，总是尽量画出最大的卡诺圈，因为这样可以去掉的变量最多。如果可能，也可以将单个的“1”圈进水平方向或垂直方向相邻的卡诺圈中。

因为卡诺图的边、角位置是相邻的，所以在图 4.60(e)中，四个外角的“1”可以圈在一起形成一个四元卡诺圈。一旦这个四元卡诺圈形成后，剩余的 $\overline{A}\overline{B}C\overline{D}=1$ 就可以与这个四元卡诺圈配在一起，这样可以达到进一步简化的目的。在图 4.60(f)中组成两个四元卡诺圈，并确保最后得到的表达式为 $CD+BD$。

图4.61所示的是最后一个在四输入卡诺图上画卡诺圈的练习。该练习首先需要从图4.61(a)的真值表中提取出布尔表达式，在图 4.61 的(b)或(c)中利用卡诺图简化得到的表达式，并在图 4.61 的(d)或(e)中用电路来实现它。

从真值表中提取出来的布尔表达式被画在两个卡诺图中。图4.61(b)中显示的卡诺图在垂直方向上有三个二元卡诺圈，它的结果是 $\bar{A}CD+BCD+ACD$（表达式1）。图4.61(c)的卡诺圈的组成则不同，但也是可行的。该卡诺图的结果是 $\bar{A}CD+\bar{A}BD+ACD$（表达式2）。注意，在两个经过简化的表达式中，其中间项是不同的。

为了证明这两个表达式是等价的，需要检查它们的真值表，以保证其结果与原表达式相同。这两个表达式的实现方案如图4.61(d)和(e)所示。

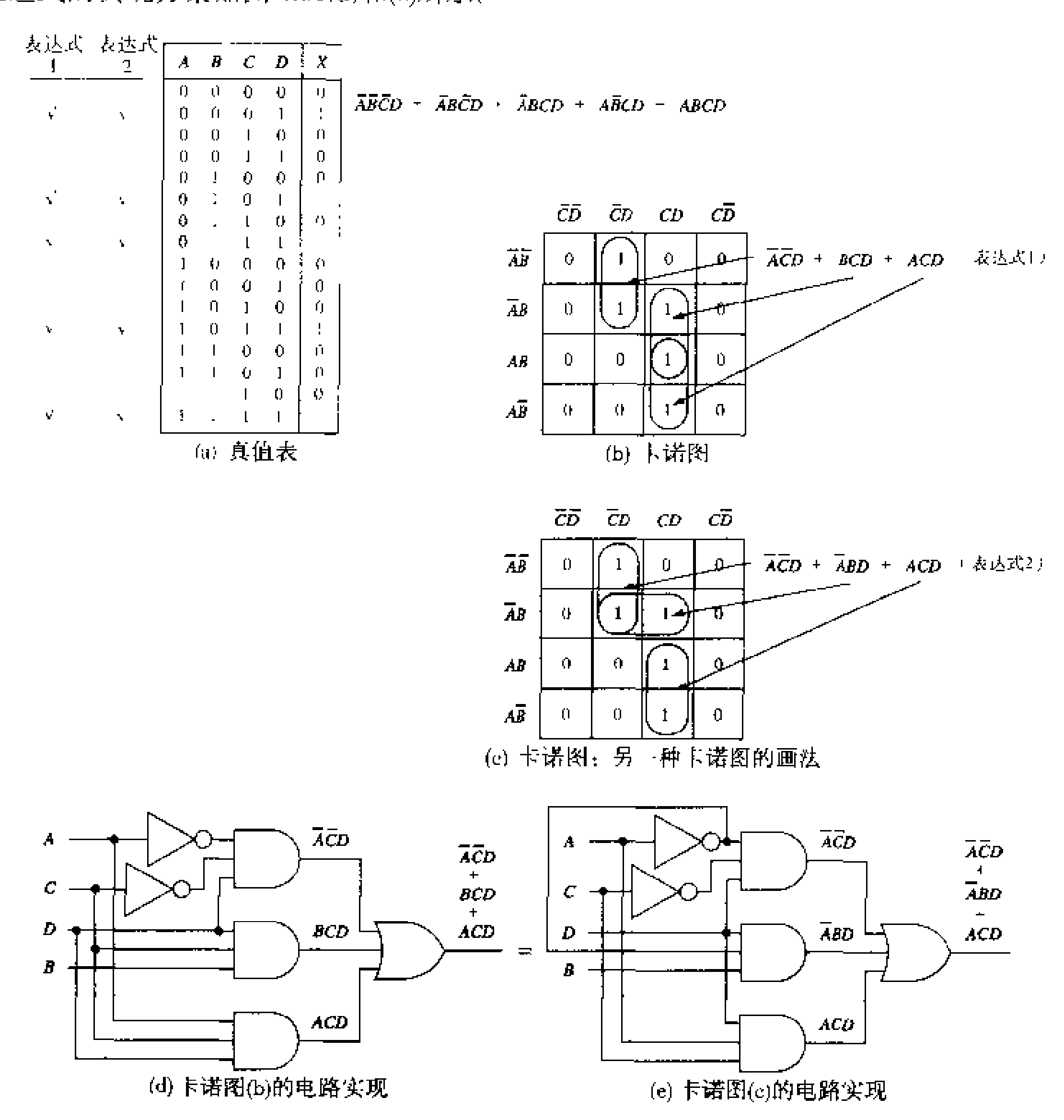
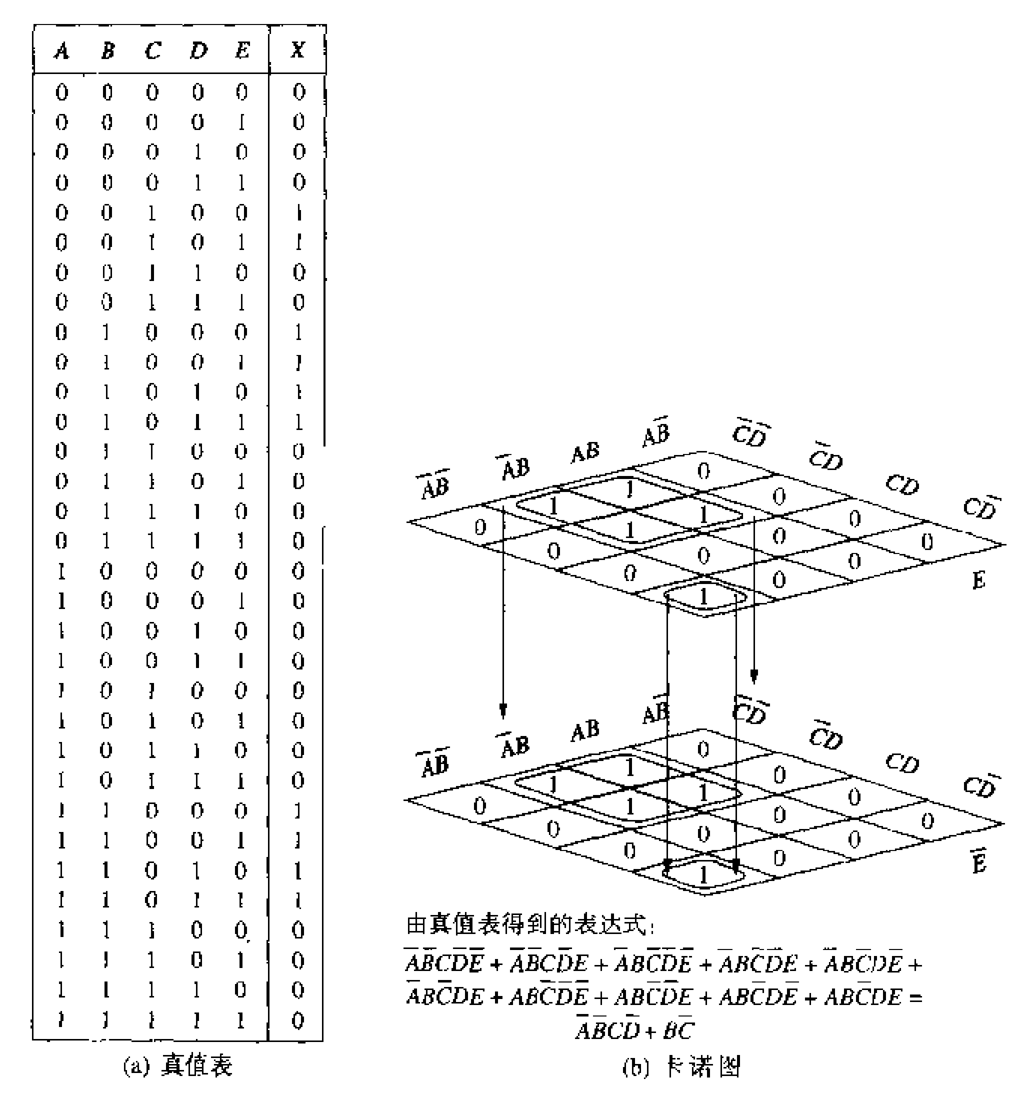


图4.61　最后一个在四输入卡诺图上画卡诺圈的练习

如图4.62所示的是一个五输入的卡诺图和真值表。一般情况下，涉及到四个以上输入的问题都是通过卡诺图的计算机程序来解决的。虽然如此，该图对学习还是有益的。

下面是如何将“1”和“0”以及卡诺圈置于一个五输入卡诺图中的方法：

1. 所有包含了 E 的输入组合都画在上面一层，所有包含了 $\bar{E}$ 的输入组合都画在下面一层。
2. 当可能将 E 去掉时，可以在两层之间形成卡诺圈。



A	B	C	D	E	X
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	0	1	1
0	0	1	1	0	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	0	1	1
0	1	0	1	0	1
0	1	0	1	1	1
0	1	1	0	0	0
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	0

(a) 真值表　　(b) 卡诺图

图 4.62　五输入卡诺图

4.8.1　无关项

在数字系统中，有些条件对于某个特定的任务而言没有实质性的作用。例如，在个人计算机中的RAM地址可能是$00000_{(16)}$到$9FFFF_{(16)}$。这些十六进制数的第一个数字代表的是一个64 KB内存页的页地址。因此，页地址$0000_{(2)}$（第0页）到$1001_{(2)}$（第9页）都是RAM的有效地址。这些二进制数代表了每个十六进制数中的第一位十六进制数字。从$1010_{(2)}$（第A页）到$1111_{(2)}$（第F页）的页地址将不会影响RAM电路。这表明第A页到第F页的页地址对于该电路而言是无关项。

还有很多关于无关项的例子。如果一个代码或输入不存在，如BCD码1100或余3码0010，则它们对电路而言自然就是无关项。

在真值表和卡诺图中，无关项是用X来表示的。由于X表示一个无关输入，所以在卡诺图中它既可以被当成高电平，也可以被当成低电平。这样做的目的是为了方便画出卡诺圈。

图4.63(a)所示的卡诺图在$\bar{A}BC$的位置显示了一个X。如果将这个X当成1，则可以形成一个四元卡诺圈，其表达式的结果为$\bar{A}$。如果将这个X当成0，则其表达式的结果为$\bar{A}\bar{B}+\bar{A}\bar{C}$。可以很明显地看出哪一种X的取值得到的表达式的结果更简单。

图4.63(b)中的卡诺图也含有一个X。由于这个X与任何一个画卡诺圈的“1”都不相邻，所以最好将它当成0。

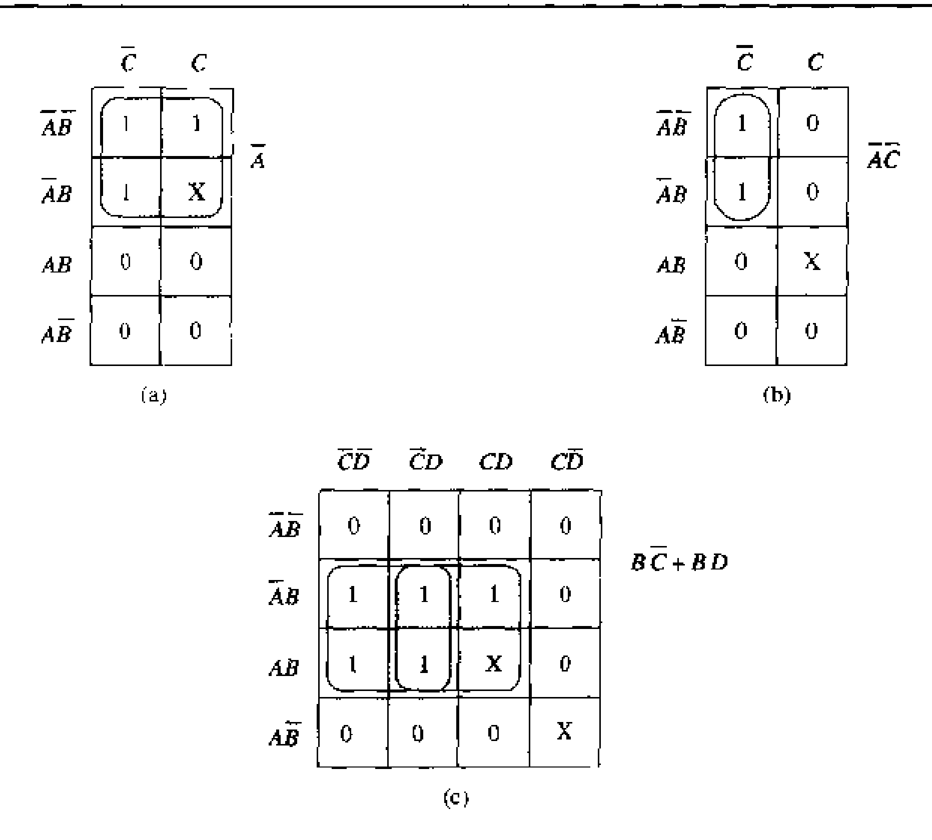


图 4.63　在卡诺图上将无关项画入卡诺圈

图4.63(c)中含有两个无关项。四元卡诺圈产生的结果为 $B\overline{C}$。如果 CD 列中的 X 为 1，则可以形成另一个四元卡诺圈，其结果为 BD。位于右下角的 X 与其他任何一个卡诺圈都不相邻，所以它应该被当成 0。

在4.6节中可以找到如何由真值表提取POS表达式的信息。由于只不过是一种图形化的真值表，所以有一种方法可以从卡诺图中提取出简化过的POS表达式。有关这种方法的知识是可选的，将在4.10 节的设计题 4.3 中讨论。

4.8 节复习题

A. 展示一个三输入的卡诺图。

B. 展示一个四输入的卡诺图。

C. 利用卡诺图简化下列 SOP 表达式：

(1) $A\overline{B} + AB$

(2) $A\overline{B}C + ABC$

(3) $\overline{A}\,\overline{B}\,\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\,\overline{C} + ABC$

(4) $\overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + A\overline{B}C + A\,\overline{B}\,\overline{C} + AB\overline{C} + \overline{A}B\overline{C}$

(5) $\overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\,\overline{C} + ABC$

(6) $\overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}CD + AB\overline{C}\,\overline{D} + ABCD$

(7) $\overline{A}B\overline{C}D + AB\overline{C}D + A\overline{B}\,\overline{C}\,\overline{D} + A\overline{B}\,\overline{C}D$

(8) $A\,\overline{B}C\overline{D} + \overline{A}B\overline{C}\,D + \overline{A}BC\overline{D} - ABC\overline{D} + A\overline{B}\,\overline{C}D + A\overline{B}CD + A\overline{B}C\overline{D}$

D. 由下面的真值表画出其卡诺图并进行简化。

A	*B*	*C*	*D*	*X*
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	X
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	X
1	1	1	1	X

阶段性小结（4.7 节 ~ 4.8 节）

通过真值表证明一个简化的布尔表达式与原表达式的等价性的练习是非常有用的。

在进行简化时，一看见等长的双重否定符号和联结符号，就应该将其去掉。使用摩根定律时，最好先将最长的联结符号断开。

为了简化表达式，可以将一个 SOP 表达式的变量组合无数次加入到表达式中，这样不会影响该表达式。

卡诺图提供了一种图形化的真值表。常见的是二、三或四输入的卡诺图。

卡诺图上的卡诺圈有二元的、四元的和八元的。只要能够形成二元的、四元的和八元的卡诺圈，水平方向和垂直方向上所有的“1”都可以圈在一起。卡诺圈中出现在相邻位置的互补变量可以去掉。

卡诺图的底行与顶行是相邻的。同样地，在画卡诺圈时左列和右列也被认为是相邻的。

一般总是先画出最大的卡诺圈。

真值表和卡诺圈中的无关项写为 X。X 既可以当成高电平，也可以当成低电平。X 的取值应该使卡诺圈的画法更便于得到最简单的表达式。

阶段性练习（4.7 节 ~ 4.8 节）

用布尔代数简化下面的表达式：

1. $\overline{AB} + C$
2. $(A + B)(A + C)$
3. $\overline{AB\overline{\overline{C}}} + \overline{\overline{A}\,\overline{B}C}$
4. $A\overline{B}\,\overline{C} + AB\overline{C} + \overline{A}\,B\overline{C} + A\overline{B}\,C$
5. $(\overline{X} + Y + \overline{\overline{Z}})(X + Y + \overline{Z})$
6. $\overline{X}Y\overline{Z} + XY\overline{Z} + \overline{X}YZ + XYZ$
7. $\overline{A\overline{B}C} + \overline{A + \overline{C}}$
8. $\overline{(\overline{\overline{\overline{X\overline{Y}\,\overline{Z}}} + YZ})(X\overline{Y})}$

9. $(\overline{A}+\overline{B})\overline{(\overline{A}+C)}$

10. $\overline{\overline{A}}+\overline{B}+\overline{C}+(A\overline{B}\,\overline{C}D)+\overline{\overline{A}+\overline{E}}$

用卡诺图简化下面的表达式：

11. $\overline{A}B\overline{C}+AB\overline{C}+ABC$

12. $\overline{A}\,\overline{B}\,\overline{C}+\overline{A}B\overline{C}+A\overline{B}\,\overline{C}$

13. $\overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,\overline{B}C+\overline{A}BC+A\overline{B}\,\overline{C}+A\overline{B}C$

14. $\overline{A}\,\overline{B}\,\overline{C}D+\overline{A}\,\overline{B}CD+A\overline{B}C\overline{D}$

15. $\overline{A}\,\overline{B}\,\overline{C}D+\overline{A}BCD+\overline{A}\,\overline{B}CD-\overline{A}BC\overline{D}+\overline{A}B\overline{C}\,\overline{D}+ABCD+ABCD+\overline{A}BC\overline{D}$

由下面的真值表画出对应的卡诺图，并简化表达式：

16.

A	B	C	X
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	X
1	0	1	X
1	1	0	1
1	1	1	0

17.

A	B	C	D	X
0	0	0	0	1
0	0	0	1	X
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

18.

A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	X
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.9　与非门和或非门的多种功能

要点

1. 用与非门和或非门实现逻辑函数。
2. 只用与非门或者只用或非门实现 SOP 和 POS 配置的电路。

在本章中，始终都在强调要用最少的逻辑门来实现逻辑电路，这也是简化布尔表达式的主要原因。下面开始讲解使用最少的集成电路芯片实现这些电路的方法。

如果比较与非门（7400）、或非门（7402）、与门（7408）和或门（7432）等二输入逻辑门示意图的复杂性，可以发现与非门是最简单的。由于与非门比其他的逻辑门需要的部件更少，所以它们的价格更便宜。实际上，由于与非门的使用非常广泛，所以除了最常用的二输入、三输入或四输入与非门外，还有八输入、十二输入和十三输入的与非门。

与非门和或非门都是多功能的。它们可以用于实现任何逻辑函数。尽管用与非门实现逻辑功能更普遍一些，但是这两种逻辑门都将在下面进行讨论。

4.9.1 用与非门实现其他逻辑功能

图4.64所示的是用与非门和或非门实现逻辑非函数。第3章中提供的信息证明这两种逻辑门都是反相逻辑门。

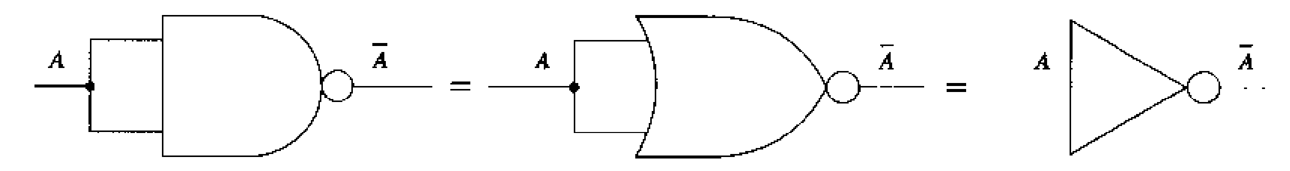


图4.64 用与非门和或非门实现逻辑非函数

如图所示，如果与非门的输入被连接在一起，在任何时刻，两个输入就都将同时为高电平或同时为低电平。与非门的短逻辑“只要有一个输入为0，输出就为1；所有的输入都为1时，输出才为0”表明了该逻辑门的反相功能。

类似地，或非门的短逻辑也证明了如果其输入连接在一起，则也具有反相功能。无论与非门或者或非门的输入数目为多少，只要所有的输入都连接在一起，其作用就是一个非门。

图4.65显示了用与非门实现与门功能的图例。由于第二个与非门起的是非门的功能，所以它通过双重否定第一个逻辑门的输出去掉了逻辑非的符号。只要逻辑非符号被去掉了，该电路的布尔表达式显示出的就是与门功能。

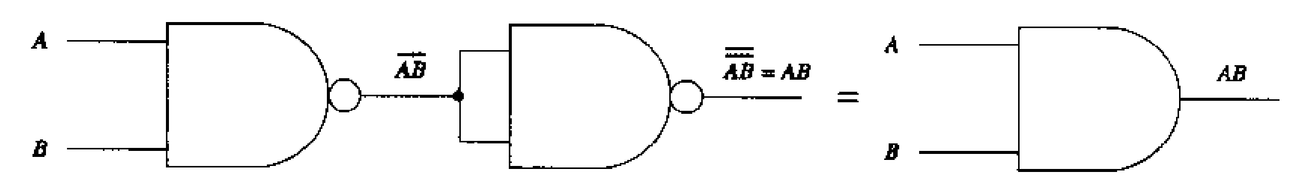


图4.65 用与非门实现与门功能

图4.66所示的逻辑图显示了如何用与非门实现或门功能。如果预想到了或门的可替换逻辑门符号，则这个例子是很容易记住的。如图所示，可替换逻辑门符号是一个反相输入的与非门。该与非门电路的布尔表达式等于或门的逻辑函数。

图4.67证实了或非门函数能够用与非门实现。在图4.66所示的用与非门实现或门的电路中，在输出端加上一个反相器就可以实现或非门的功能。

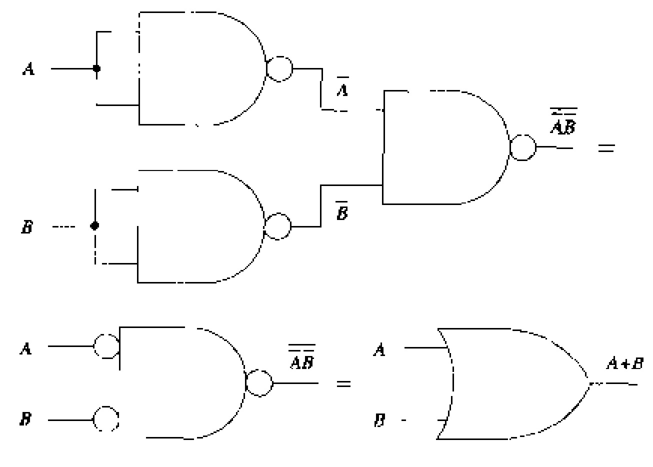


图 4.66　用与非门实现或门功能

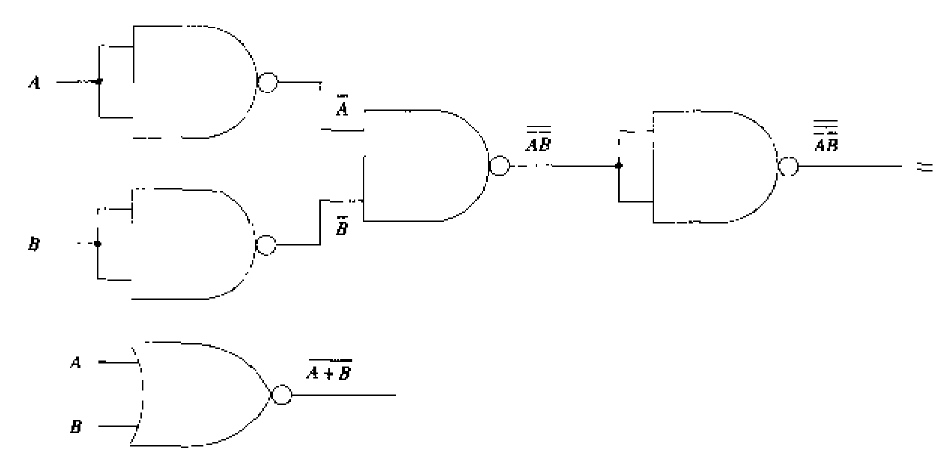


图 4.67　用与非门实现或非门的功能

4.9.2　用或非门实现其他逻辑功能

用或非门实现或门的功能的方法如图 4.68 所示。图中的第二个或非门被当成非门使用，以便双重否定其输入信号，从而实现或门的功能。

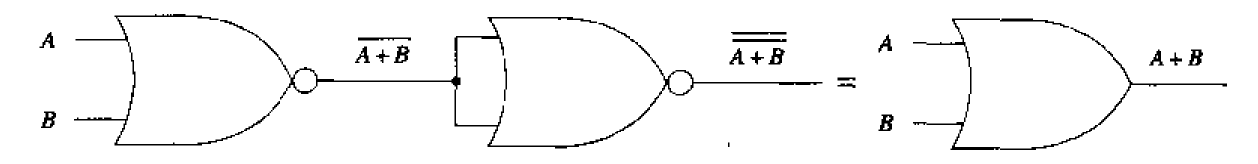


图 4.68　用或非门实现或门的功能

图 4.69 所示的是如何用或非门实现与门的功能。如果用了与门的可替换逻辑门符号，实现方法就很容易记住。如果对或非门实现电路输出的表达式应用摩根定律，就可以证明它和与门的等价性。

如图 4.70 所示，与非门的功能也可以用或非门来实现。比较与门的实现方法（图 4.69）和与非门的实现方法（图 4.70）。图 4.71(a)所示的是用与非门实现一个三输入逻辑或函数的例子。图 4.71(b)所示的是用或非门实现一个三输入逻辑与函数的例子。

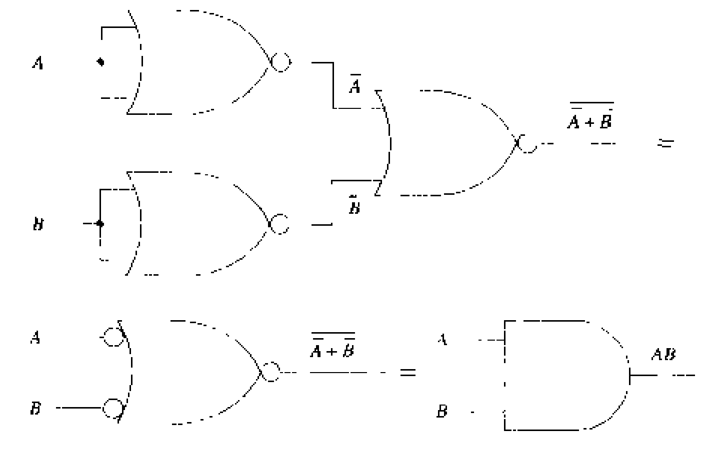


图 4.69　用或非门实现与门的功能

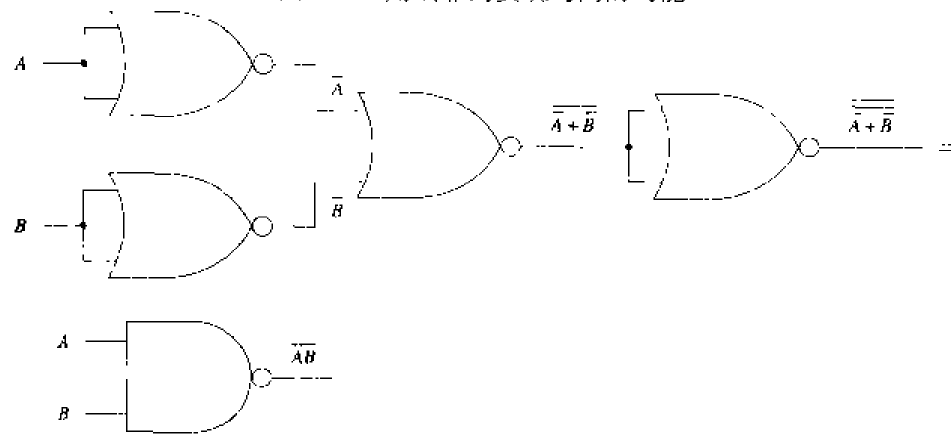
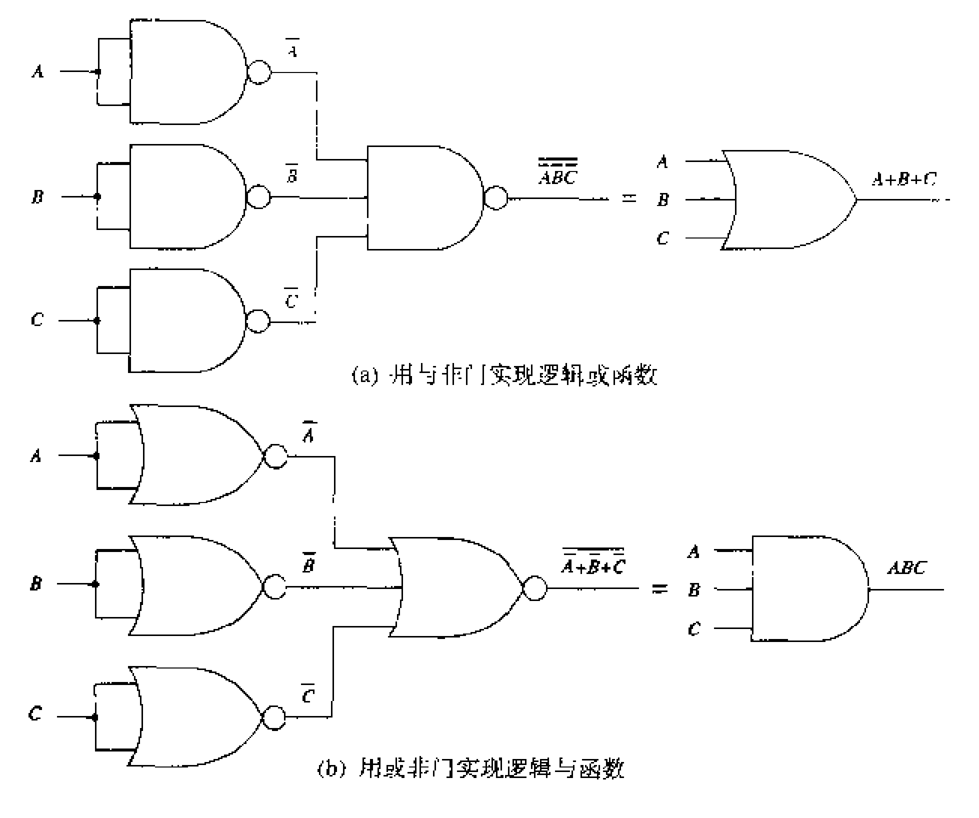


图 4.70　用或非门实现与非门的功能



(a) 用与非门实现逻辑或函数

(b) 用或非门实现逻辑与函数

图 4.71　三输入逻辑函数

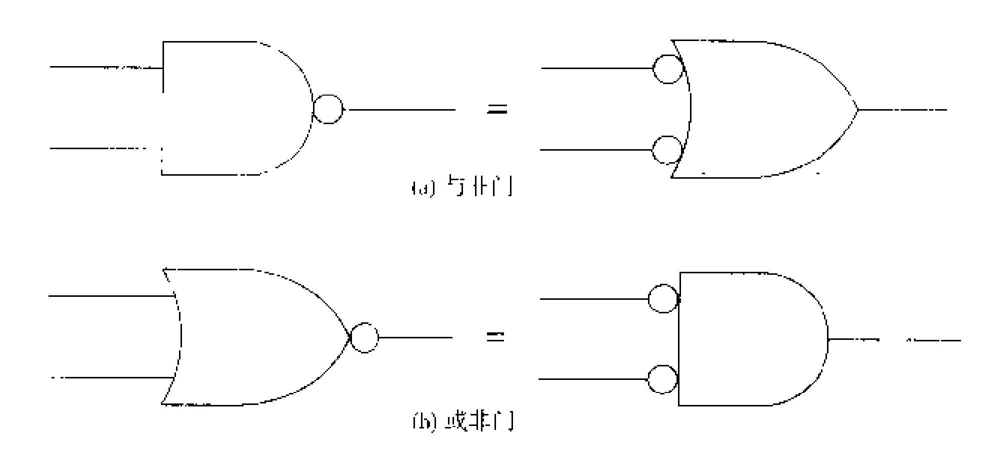
由上面的例子看，可能觉得用与非门或者或非门实现其他逻辑函数需要的逻辑门更多。有时确实是这样的，但是我们更关心的是实现一个电路所需要的集成电路芯片的数目，而不是逻辑门的数目。下面将上面所讲的内容进行综合，看是否能够使电路最小。

4.9.3　积之和及和之积电路的重要性

SOP 和 POS 电路配置与真值表和卡诺图直接相关，并在本章中得到了格外的重视。这并不是说，除了这些电路的混合外，和之和（SOS）和积之积（POP）电路不重要。每种电路都有自己的作用。

重视SOP和POS电路的原因是：由真值表得到它们的表达式并进行简化相对而言比较容易，而且这两种配置可以用与非门和或非门很简捷地实现。

通过前面的学习，读者应该很熟悉所有的可替换逻辑门符号。为了方便复习，图 4.72 显示了与非门和或非门的标准逻辑门符号和可替换逻辑门符号。



(a) 与非门

(b) 或非门

图 4.72　与非门 / 或非门逻辑符号

4.9.4　SOP 电路的实现

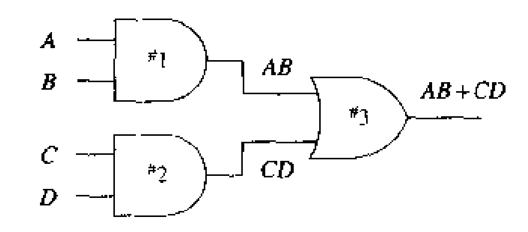
我们用与非门实现如图4.73(a)所示的SOP电路。如前所述，在图4.73(b)中，SOP电路的每个逻辑门的功能都用与非门来实现。但是，这个与非门的实现电路包含了两对背靠背的反相器，它们是不必要的。由于每对背靠背的反相器都是对信号进行双重否定，所以在图 4.73(c)中将其去掉了。

就是这种直接的门对门的实现方式使得用与非门构建SOP电路的方法变得非常普遍。如图4.73(a)所示，用与门和或门要用两片芯片，而用与非门只要用一片芯片就可以了。每幅图上标注的布尔表达式表明了用与非门实现的等价性。

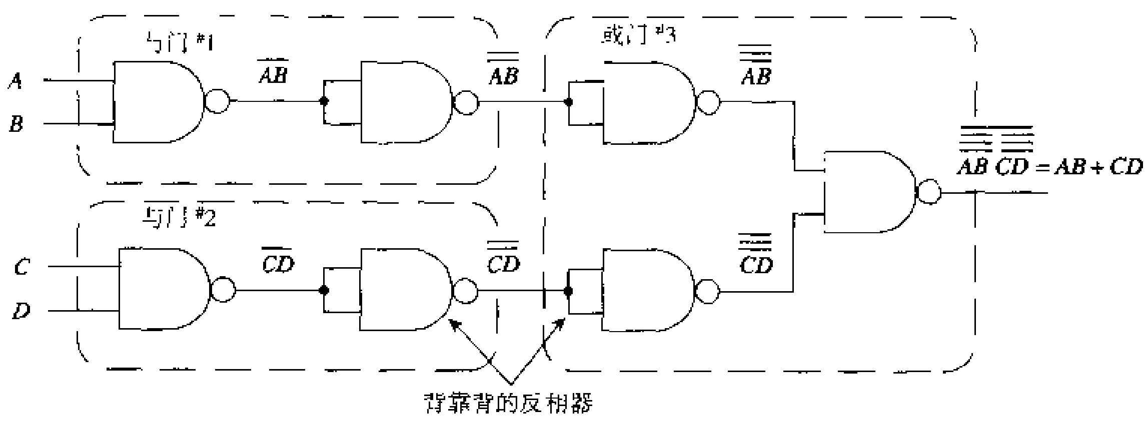
如果看一下图 4.74 所示的与门－或门 SOP 电路，则可以更容易地理解这种实现方法。在这幅图中用到了或门的可替换逻辑门符号，与非门实现方法得到了自我证明。

用或非门实现图 4.73(a)所示的电路，可能需要 8 个或非门。这需要两片芯片，所以不是一个好的实现办法。

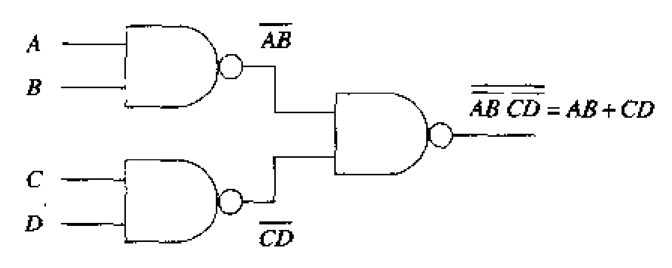
典型的与非门实现 SOP 电路的例子如图 4.75 所示。这符合用于简化电路分析的圆圈到圆圈原则。实际上，每个输入逻辑门的输出端的圆圈都可以去掉。这样，尽管是用与非门实现的，但是却形成了一个与门－或门 SOP 电路。



(a) 与门-或门实现方法



(b) 与非门实现方法



(c) 去掉多余反相器后的与非门实现方法

图 4.73 SOP 电路

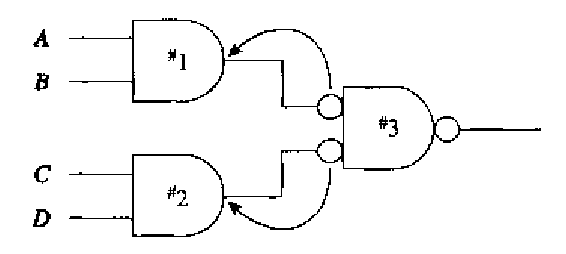


图 4.74 用与门/可替换或门逻辑符号实现的 SOP 电路

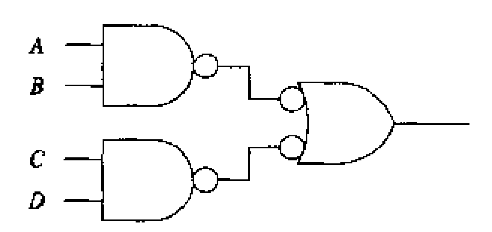
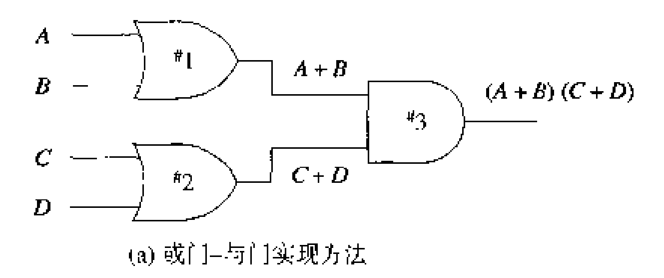


图 4.75 用与非门/可替换与非门逻辑符号实现的 SOP 电路

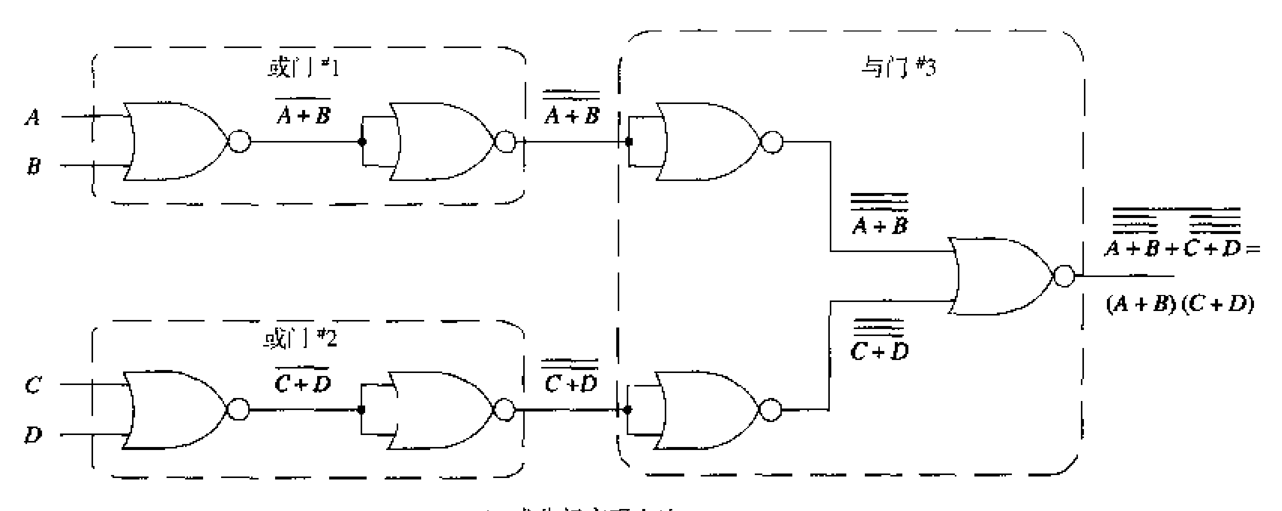
4.9.5　POS 电路的实现

与用与非门实现 SOP 电路相对应，可以用或非门实现 POS 电路。

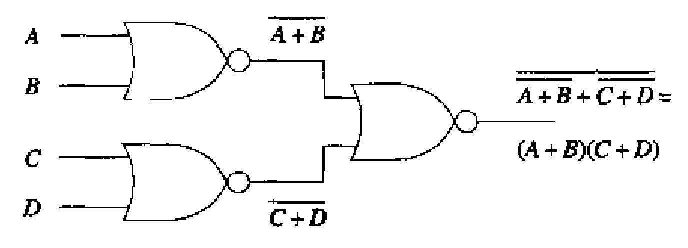
图 4.76(a)所示的是一个 POS 电路。图 4.76(b)所示的是用或非门实现该电路的方法，注意，或非门的实现电路中包含了背靠背的反相器，用来双重否定信号。由于这些反相器是不必要的，所以在图 4.76(c)电路中将其去掉了。图 4.76 的每幅图中所示的布尔表达式表明了三个电路的等价性。



(a) 或门–与门实现方法



(b) 或非门实现方法



(c) 去掉多余反相器后的或非门实现方法

图 4.76　POS 电路

用或非门实现 POS 电路配置的门到门简化方法十分流行。

图 4.77 表明了一种概念，它在前面的与非门实现电路中已经出现过。如果去掉可替换与门逻辑符号输入端到或门输出端的圆圈，这种或非门实现电路就变得很明显了。

为了分析方便，图 4.78 画出了用或非门实现 POS 电路的方法。

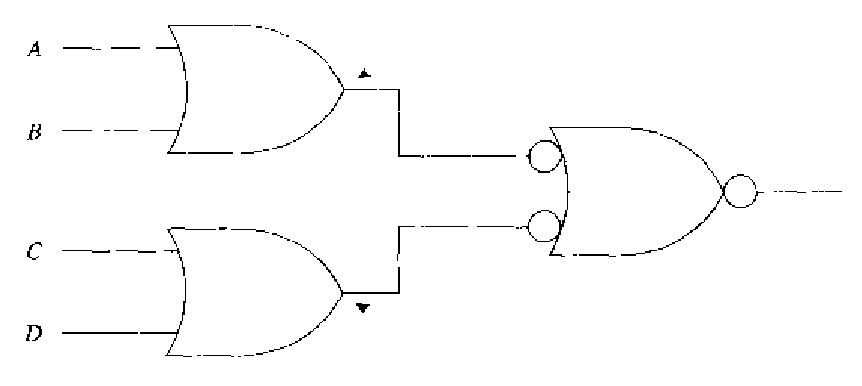


图4.77 用或门/与门的可替换逻辑门实现POS电路

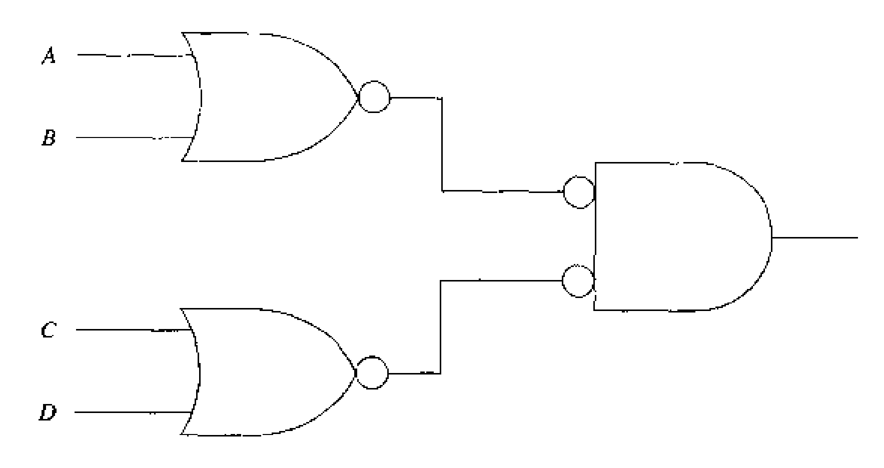


图4.78 用或非门/或非门的可替换逻辑门实现POS电路

由于SOP和POS表达式可以直接从真值表得到，并可以用卡诺图进行简化，所以这两种电路配置使用得非常广泛。除了这种使用上的广泛性，它们还可以很容易地用与非门或者或非门实现。这样，就可以使用更少的集成电路芯片，从而降低成本。

4.9 节复习题

A. 用与非门实现下面的逻辑功能。

(1) 非

(2) 与

(3) 或

(4) 或非

B. 用或非门实现下面的逻辑功能。

(1) 非

(2) 与

(3) 或

(4) 与非

C. 全部用与非门实现图4.79所示的电路。

D. 全部用或非门实现图4.80所示的电路。

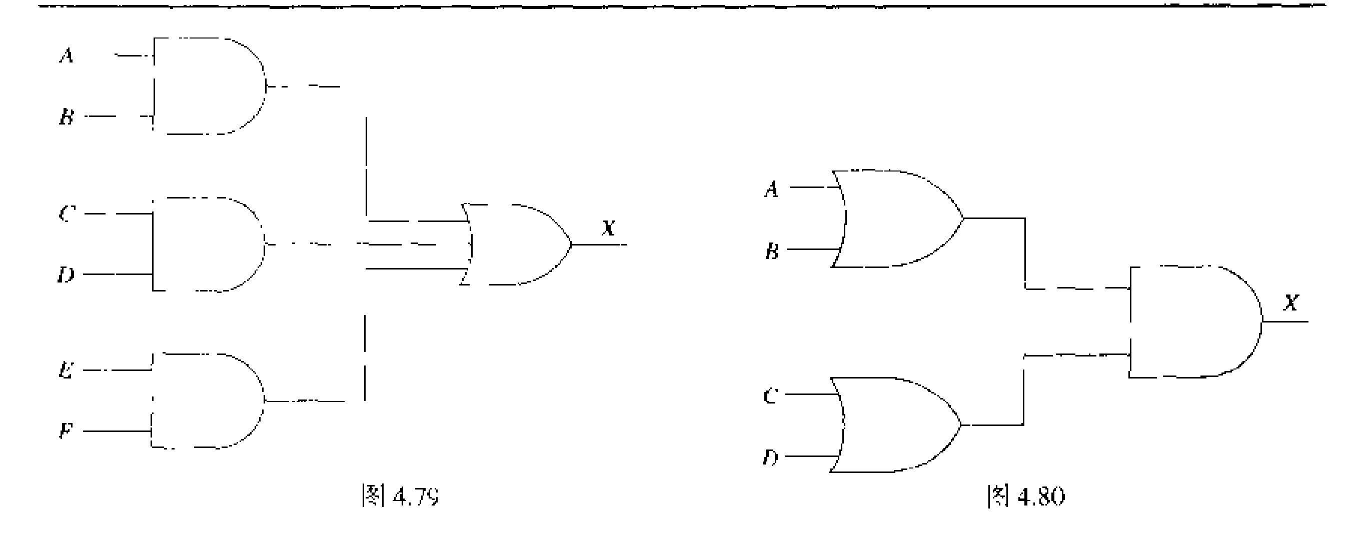


图 4.79　　图 4.80

4.10 最终的逻辑电路设计

要点

给出一个布尔表达式或真值表，用最少的集成电路芯片实现其逻辑电路。

学习布尔代数、可替换逻辑门符号、真值表、卡诺图以及与非门和或非门的多种功能，都是为了给最终的电路设计做准备。在本节，将应用所学的知识用最简单的形式设计一个逻辑电路。

4.10.1 由布尔表达式设计逻辑电路

如果已经有了所需逻辑功能对应的布尔表达式，则只需要两步就可以实现该电路。

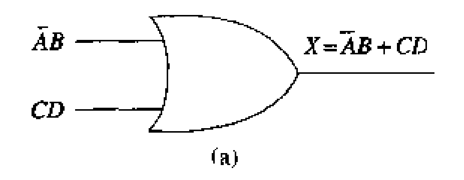
1. 如果可能，先简化该表达式。
2. 用最少的集成电路芯片实现该电路。

作为练习，实现表达式 $\bar{A}B + CD$。检查该表达式会发现，两个输入变量的组合（AB 和 CD）是逻辑或的关系。因此，该逻辑电路的输出逻辑门应该是一个二输入的或门。如图 4.81(a)所示，画出一个或门，在其每个输入端上标出一个输入变量的组合。

输入变量的组合构成了逻辑与项。这表明该或门前面应该连接两个与门。如图 4.81(b)所示，画出这些逻辑门后，在它们的输出端加上标注，并将输出端连接到或门的输入端上。

最后一步是将与门连接到合适的输入上。由于其中一个与门的输出为 $\bar{A}B$，所以该逻辑门的输入 A 的一端应该放置一个反相器。另一个与门的输入可以直接连接到如图 4.81(c)所示的变量上。

由于这是一个 SOP 电路，所以可以用门到门连接的与非门逻辑实现。与非门的实现电路如图 4.82 所示。该电路可以用一片四-二输入与非门集成电路芯片 7400 来实现。该电路初始形式需要三个集成电路芯片（与门、或门和非门）实现。



(a)

图 4.81　实现 $\bar{A}B + CD$

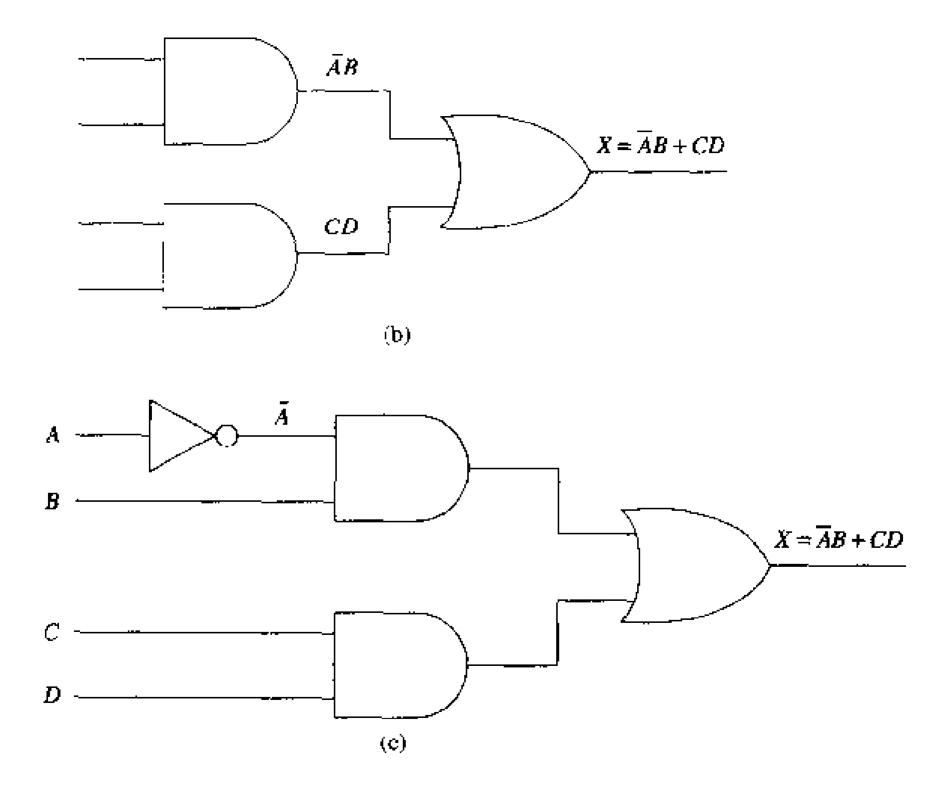


图4.81(续)　实现$\bar{A}B+CD$

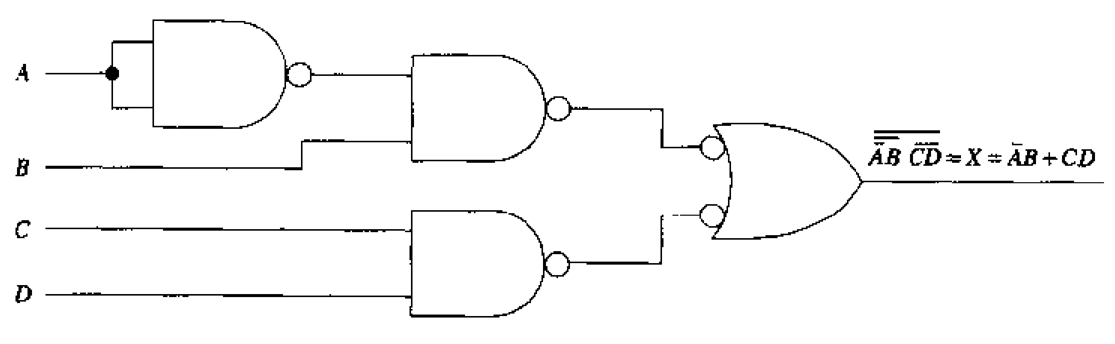


图4.82　用与非门实现$\bar{A}B+CD$

在这里总会出现一个问题，即是否需要简化布尔表达式。表达式$\bar{A}B+CD$不能再简化了。尽管如此，为了减少芯片的使用数量，它还可以变为$\overline{\overline{\bar{A}B}\,\overline{CD}}$，从而用如图4.82所示的与非门来实现。尽管一个门到门连接可以完成，但是初始表达式还是可以用摩根定律加以改变：

$\bar{A}B+CD$

改变逻辑运算符。

$\bar{A}B\cdot CD$

对每个变量取非。注意，在进行逻辑非操作时，输入AB和CD都被当成单个的输入组合。

$\overline{\bar{A}B}\cdot\overline{CD}$

对整个表达式取非。

$\overline{\overline{\bar{A}B}\cdot\overline{CD}}$

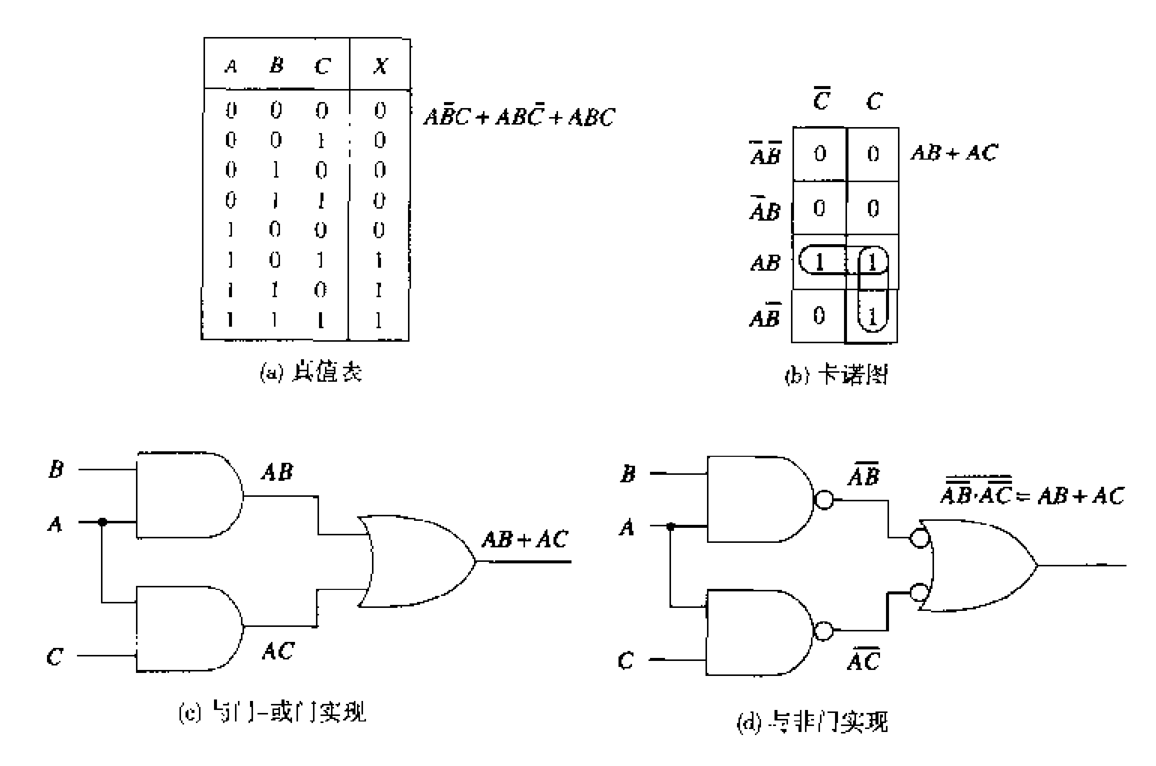
无论如何，表达式$\bar{A}B+CD$都是能够写成如图4.81(c)所示电路的惟一表达式。表达式$\overline{\overline{\bar{A}B}\cdot\overline{CD}}$也是能够写成如图4.82所示电路的惟一表达式。可见，一个表达式适用于一个给出的逻辑电路。可能会有几个等价的表达式，有些情况下，某些表达式更简单，但是表达式指示的正是一个电路是如何实现的。因此，当为一个给定电路写表达式时，不要进行简化。

4.10.2　由真值表实现逻辑电路

如果要由一个给定的表达式或真值表设计电路，考虑到经济方面的原因，在实现时需要进行简化。这里以设计题的方式给出了几个例子。

设计题 4.1

先确定由如图4.83(a)所示真值表实现逻辑电路的最佳方法。该真值表生成的布尔表达式为 $A\bar{B}C + AB\bar{C} + ABC$。如果该表达式在如图4.83(b)所示的卡诺图上被简化，则其结果为 $AB + AC$。图4.83(c)所示的是直接根据该表达式实现电路的方法。用这种方法实现只需要三个逻辑门，但是需要两种不同的逻辑芯片。由于它是SOP配置的，所以可用如图4.82(d)所示的与非门实现。这种实现方法也需要三个逻辑门，但是只需要一个芯片即可。该电路没有用或非门来实现，因为如果用或非门则需要八个逻辑门



A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(a) 真值表　(b) 卡诺图

(c) 与门-或门实现　(d) 与非门实现

图4.83　设计题4.1

似乎如图4.83(d)所示的用与非门实现的方法是最简单的。但是，用基本的布尔代数可以推导出另一个表达式。表达式 $AB + AC$ 可以写成 $A(B + C)$。由于 $AB + AC = A(B + C)$，现在可以对第二个表达式进行分析。图4.84(a)所示的是直接根据该表达式实现电路的方法。该表达式只需要两个逻辑门，比原表达式的实现要简单。但是它需要一个或门和一个与门芯片。图4.84(b)是用与非门来实现该电路的，体现了此类实现的灵活性。这里需要五个逻辑门。

该表达式的最简单实现方法是如图4.84(c)所示的使用或非门逻辑的实现方法。该电路画成如前面4.9节中讲解的那样。尽管为了说明得更清楚画出了背靠背的反相器，但是它们上面有被划掉的记号，以表示在实际的电路设计时会将其去掉。没有背靠背反相器的电路如图4.84(d)所示。与对应的用与非门实现 $AB + AC$ 类似，该电路只要求三个逻辑门，一个芯片。无论是图4.83(d)还是图4.84(d)，任何一种实现方法都可以。本例中所有逻辑电路都标出了布尔表达式，以显示它们的等价性。

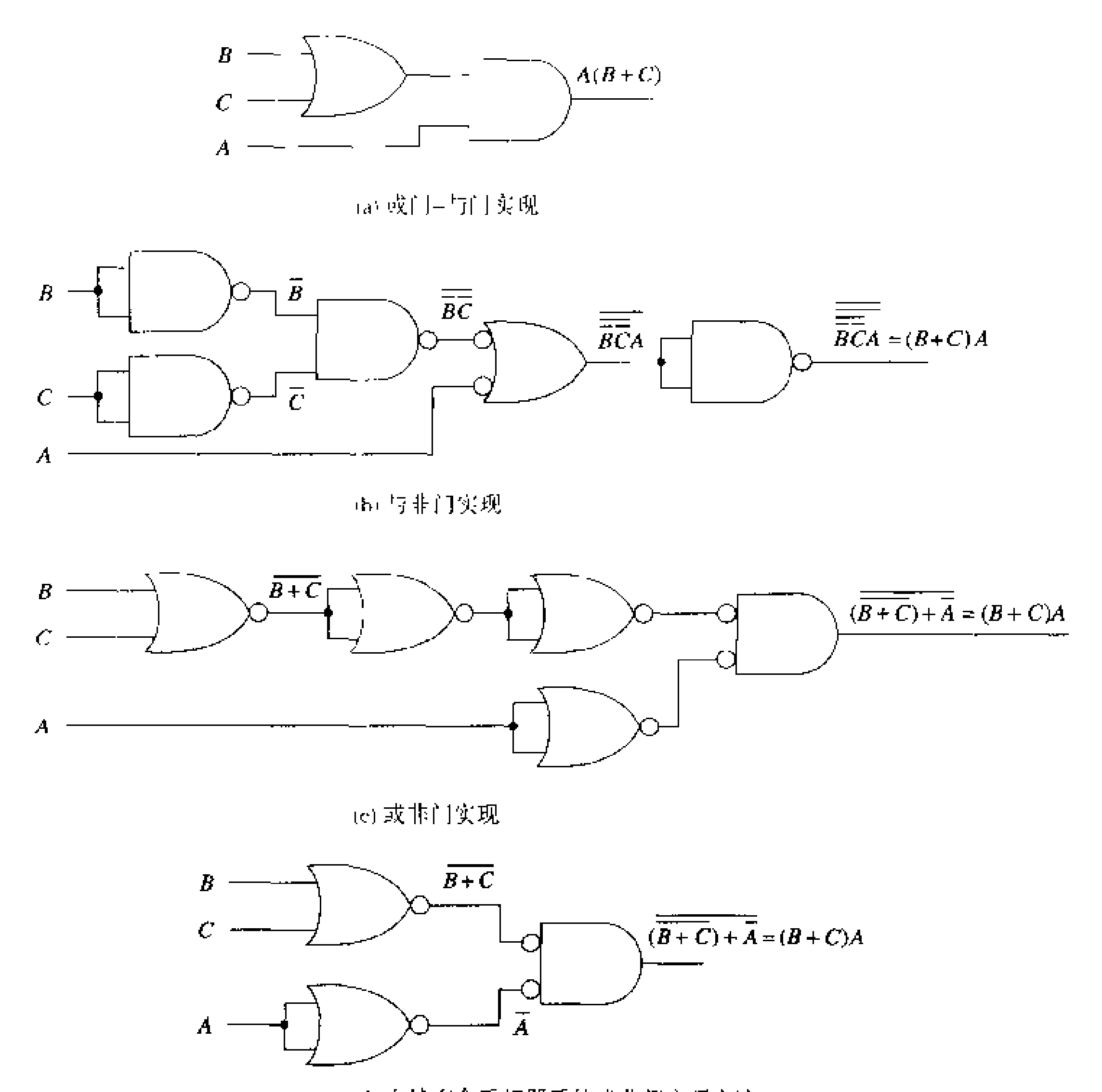


图 4.84　设计题 4.1：另一种解决方案

设计题 4.2

实现布尔表达式 $A\bar{B}C + \bar{A}(B + C)$。图 4.85(a)是根据该表达式直接实现的电路。通过分配 $\bar{A}$，可以将该布尔表达式扩展为一个 SOP 表达式。其结果为 $A\bar{B}C + \bar{A}B + \bar{A}C$。如果画出该表达式的卡诺图，则可以进一步简化为如图 4.85(b)所示的 $\bar{A}B + \bar{B}C$。

这里提供了一个增长卡诺图处理知识的机会。到此为止，我们还没有在一个三输入的卡诺图上画过二输入的表达式。在表达式 $A\bar{B}C + \bar{A}B + \bar{A}C$ 中，第一个输入变量组合没有什么问题，画在图 4.85(b)所示的卡诺图的右下角方框中。第二个输入变量组合 $\bar{A}B$，隐含 C 可能是低电平也可能是高电平。因此，C 在卡诺图中必须画成高电平 $\bar{A}BC$ 和低电平 $\bar{A}B\bar{C}$。最后一个输入变量组合是 $\bar{A}C$，在卡诺图中必须画成 B 为低电平的 $\bar{A}\bar{B}C$ 和 B 为高电平的 $\bar{A}BC$。最后一项 $\bar{A}BC$ 是冗余项，已经画出来了。一旦形成卡诺圈，就可以得到简化后的结果表达式：$\bar{A}B + \bar{B}C$。

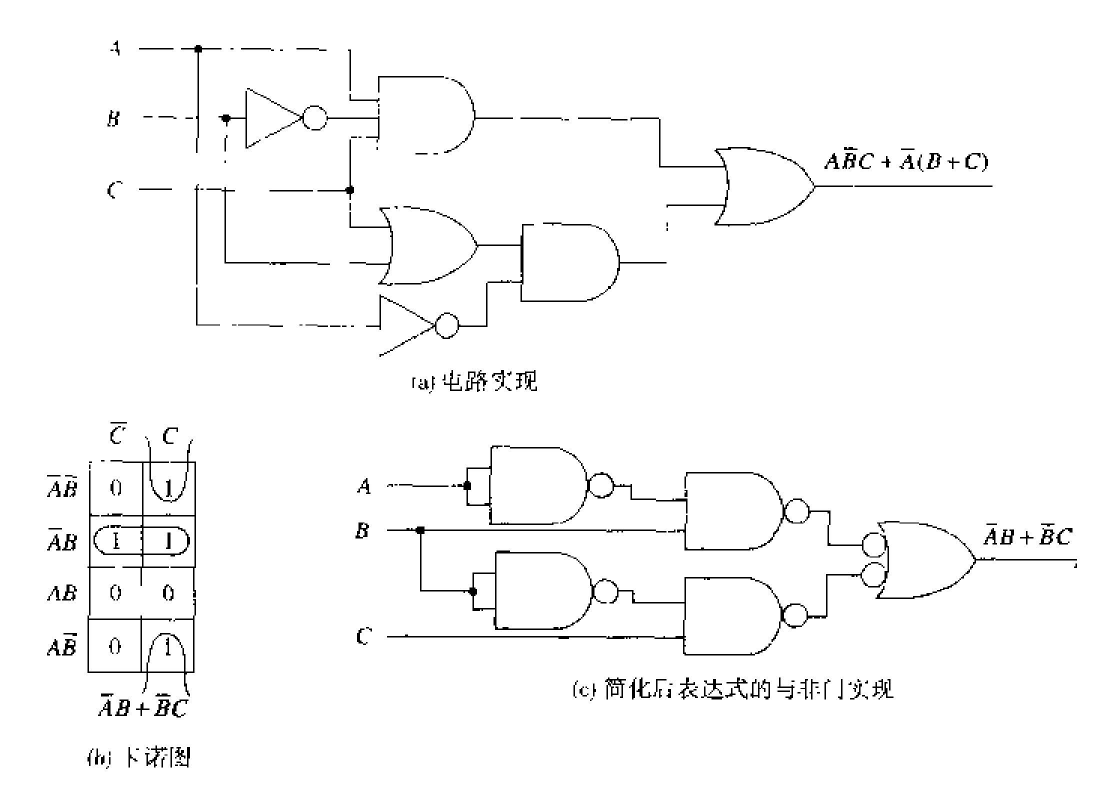


图 4.85　设计题 4.2

即使在输入项 $\overline{A}B$ 中将 C 既当成高电平也当成低电平，该项还是不能被看成无关输入。C 在该输入组合中无关，但是 $\overline{A}B$ 项却不是无关的，必须如上面所述将它画出来。因为 C 是互补的并被去掉了，所以这样做是对的，但是保留了 AB 项。

该题的代数简化过程如下：

$$ABC+\overline{A}(B+C)$$
$$A\overline{B}C+\overline{A}B+\overline{A}C$$
$$ABC+\overline{A}B\overline{C}+\overline{A}BC+\overline{A}\,\overline{B}C-\overline{A}BC$$

这一步在 $\overline{A}B$ 中加入了 C 为低电平和高电平的两种情况，在 $\overline{A}C$ 中加入了 B 为低电平和高电平的两种情况。

$$ABC+\overline{A}B\overline{C}+\overline{A}BC+A\overline{B}C$$
$$AB(\overline{C}+C)+\overline{B}C(\overline{A}+A)$$
$$AB(1)+\overline{B}C(1)$$
$$AB+BC$$

简化后的最终表达式用与非门实现的电路如图 4.85(c)所示。

设计题 4.3

假定需要为图 4.86 所示的真值表设计一个对应的逻辑电路。其 SOP 形式的布尔表达式为 $\overline{A}\,\overline{B}\,\overline{C}D+\overline{A}B\overline{C}D+\overline{A}BC\overline{D}+\overline{A}BCD+A\overline{B}\,\overline{C}D+A\overline{B}C\overline{D}+A\overline{B}CD+AB\overline{C}\,\overline{D}+AB\overline{C}D+ABC\overline{D}+ABCD$。该表达式也可以写成POS形式：$(A+B+C+D)(A+B+C+\overline{D})(A+B+\overline{C}+D)(A+B+\overline{C}+D)(\overline{A}+B+C+D)$。在其中任何一种情况下，卡诺图都可以对表达式进行适当的简化。

A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

图 4.86　设计题 4.3：真值表

画出 SOP 和 POS 两个卡诺图，以比较它们的电路实现方法。图 4.87(a)所示的 SOP 卡诺图得到的表达式为 $B + AC + AD$。该表达式的实现如图 4.87(b)所示。

需要加以注意的是，必须考虑到用与非门实现该电路。由于在原电路中 B 不是进行逻辑与操作，所以不能使用门到门的连接。这样，为了该表达式的正确实现，在与非门实现电路中，必须对 B 进行反相操作。最后的实现电路如图 4.87(c)所示。

图 4.88(a)所示的 POS 卡诺图生成的表达式为$(A + B)(B + C + D)$。该表达式的实现如图 4.88(b)所示。该电路能够以 POS 配置的形式用门到门连接的或非门实现。或非门的实现电路如图 4.88(c)所示。

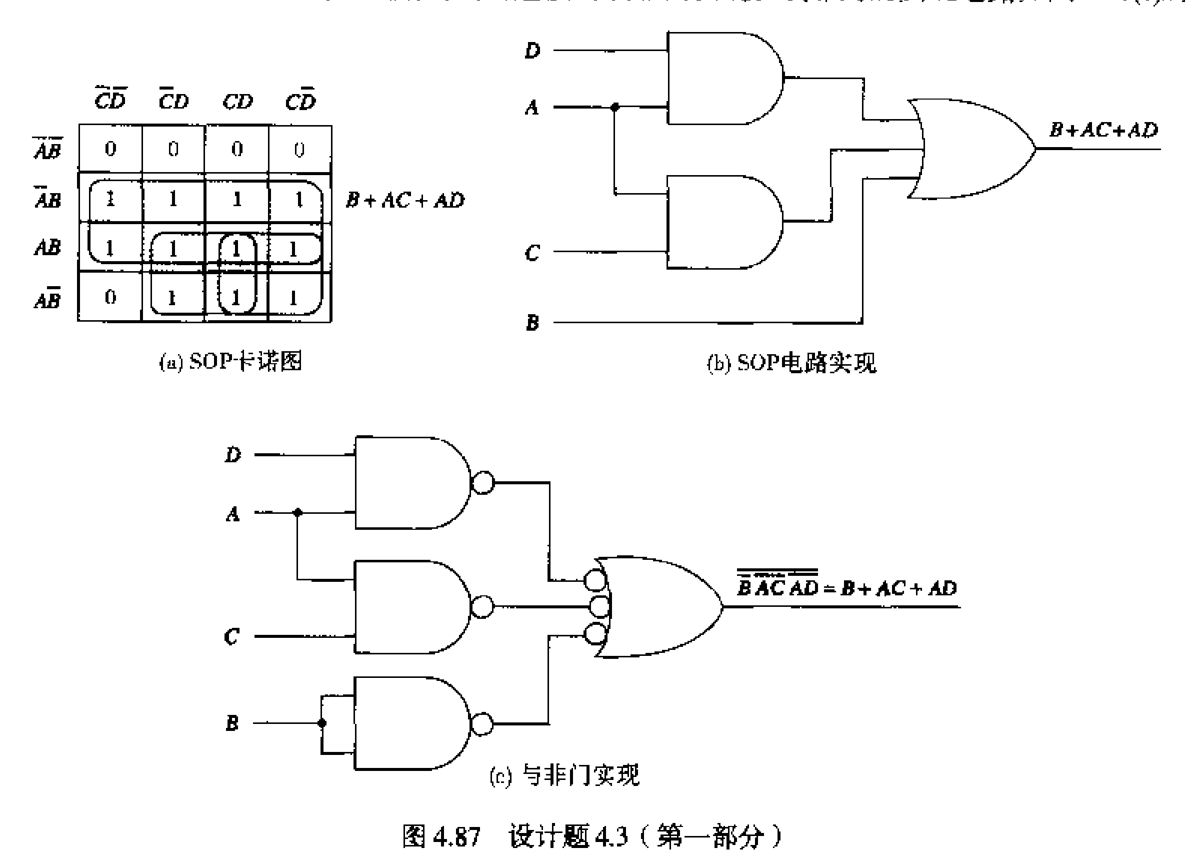
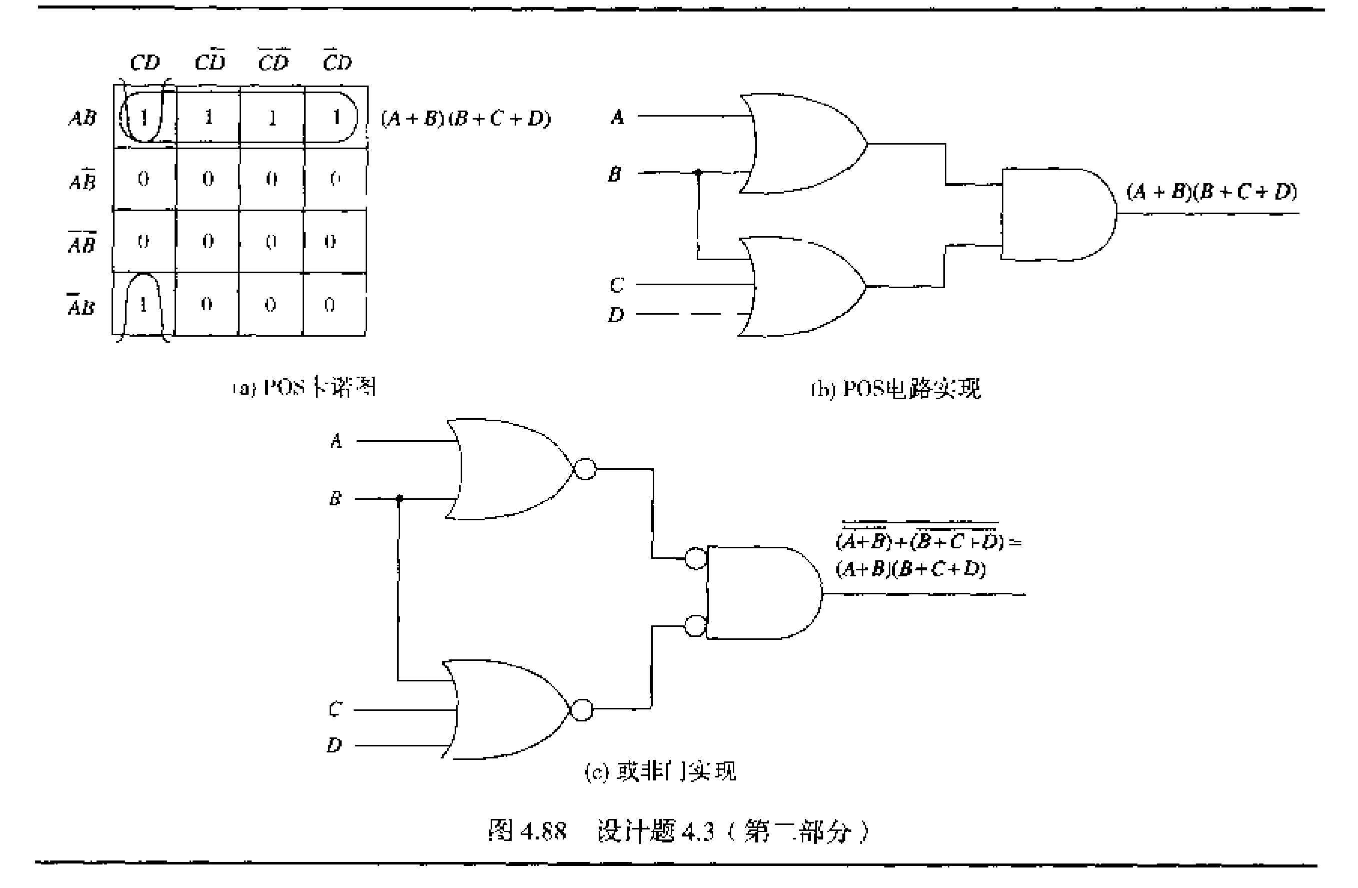


图 4.87　设计题 4.3（第一部分）



(a) POS卡诺图　　(b) POS电路实现

(c) 或非门实现

图 4.88　设计题 4.3（第二部分）

尽管由卡诺图提取 POS 简化表达式并不是必须进行的，下面还是对处理过程给出了简短的说明。

与前面用到的SOP卡诺图比较，图4.88(a)所示的POS卡诺图是以否定形式来布局的。对于SOP卡诺图布局上的每一个低电平，在其 POS 卡诺图布局上都是高电平。例如，在 SOP 卡诺图布局上的 $\overline{A}\overline{B}$，在 POS 卡诺图布局上就是 AB，$\overline{A}B$ 是 $A\overline{B}$，等等。

一旦 POS 卡诺图完成了布局，则 SOP 卡诺图布局上的“0”在 POS 卡诺图布局上就都变成了“1”。两种卡诺图中卡诺圈的画法则是相同的。区别在于由卡诺圈得到的最终表达式不同。互补的变量还是像以前一样被去掉了，但是，从POS 卡诺图中经过卡诺圈处理后提取的变量必须是逻辑或的关系。图 4.88(a)的四元卡诺圈产生的表达式为 $A + B$；因为 A 被去掉了，所以二元卡诺圈产生的表达式为 $B + C + D$。经过卡诺圈处理后留下来的每组变量组合与其他变量组合都应该是逻辑与的关系。因此，简化后的表达式为$(A + B)(B + C + D)$。

原 SOP 简化表达式 $B + AC + AD$ 也可以变为 $B + A(C + D)$。该电路如图 4.89 所示。作为最终的设计方案，它的与非门和或非门逻辑实现包含了太多的逻辑门。最简单的设计实现是如图 4.88(c)所示的或非门电路。

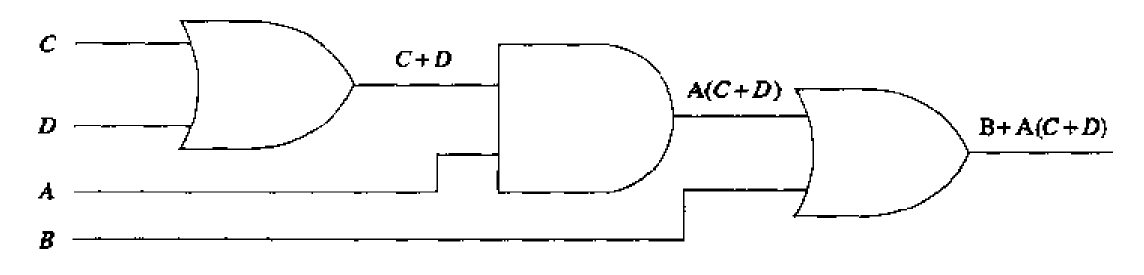


图 4.89　设计题 4.3（第三部分）

设计题 4.4

本题是表达式 $AB + BC \cdot CD$ 的电路实现。该表达式不能转化为卡诺图，所以必须用布尔代数的方法简化。简化步骤如下：

$$AB + \overline{B}C \cdot \overline{\overline{CD}}$$
$$AB \cdot \overline{B}C \cdot \overline{CD}$$
$$(A + B)(B + C)(C + D)$$
$$(\overline{A}B + AC + B\overline{B} + \overline{B}\,\overline{C})(\overline{C} + D)$$
$$(AB + AC + 0 + BC)(C + D)$$
$$ABC + ACC + B\overline{C}\,\overline{C} + \overline{A}BD + \overline{A}CD + B\overline{C}D$$
$$ABC + \overline{A}C + \overline{B}C + ABD + ACD + BCD$$
$$AC(B + 1 + D) + BC(1 + D) + ABD$$
$$AC(1) + \overline{B}C(1) + \overline{A}BD$$
$$AC + BC + ABD$$

由于简化后的表达式是SOP状态的，所以该电路可以用如图4.90所示的与非门实现。如图所示，实现该电路需要两个集成电路芯片：一个四–二输入与非门（7400）和一个三–三输入与非门（7410）。注意，7410的一部分是将其三个输入连接在一起的，其功能相当于一个非门。

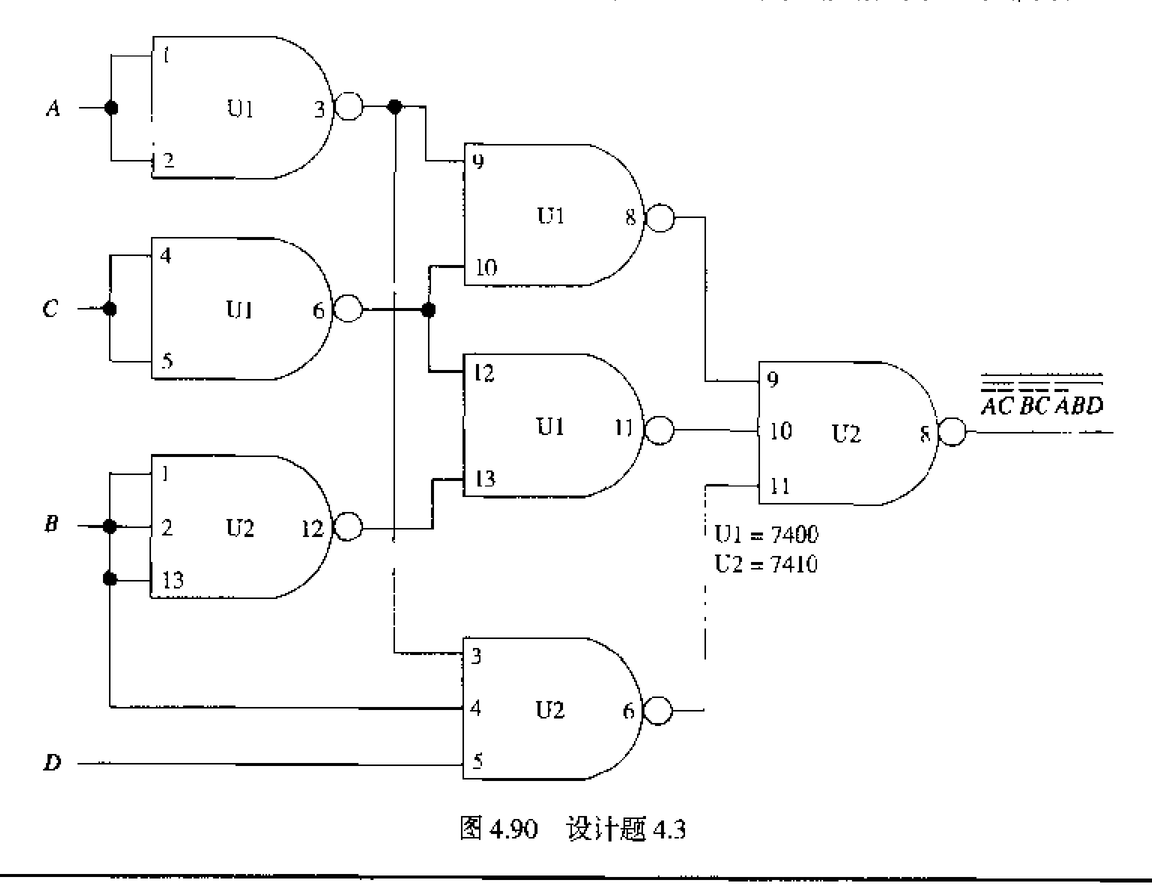


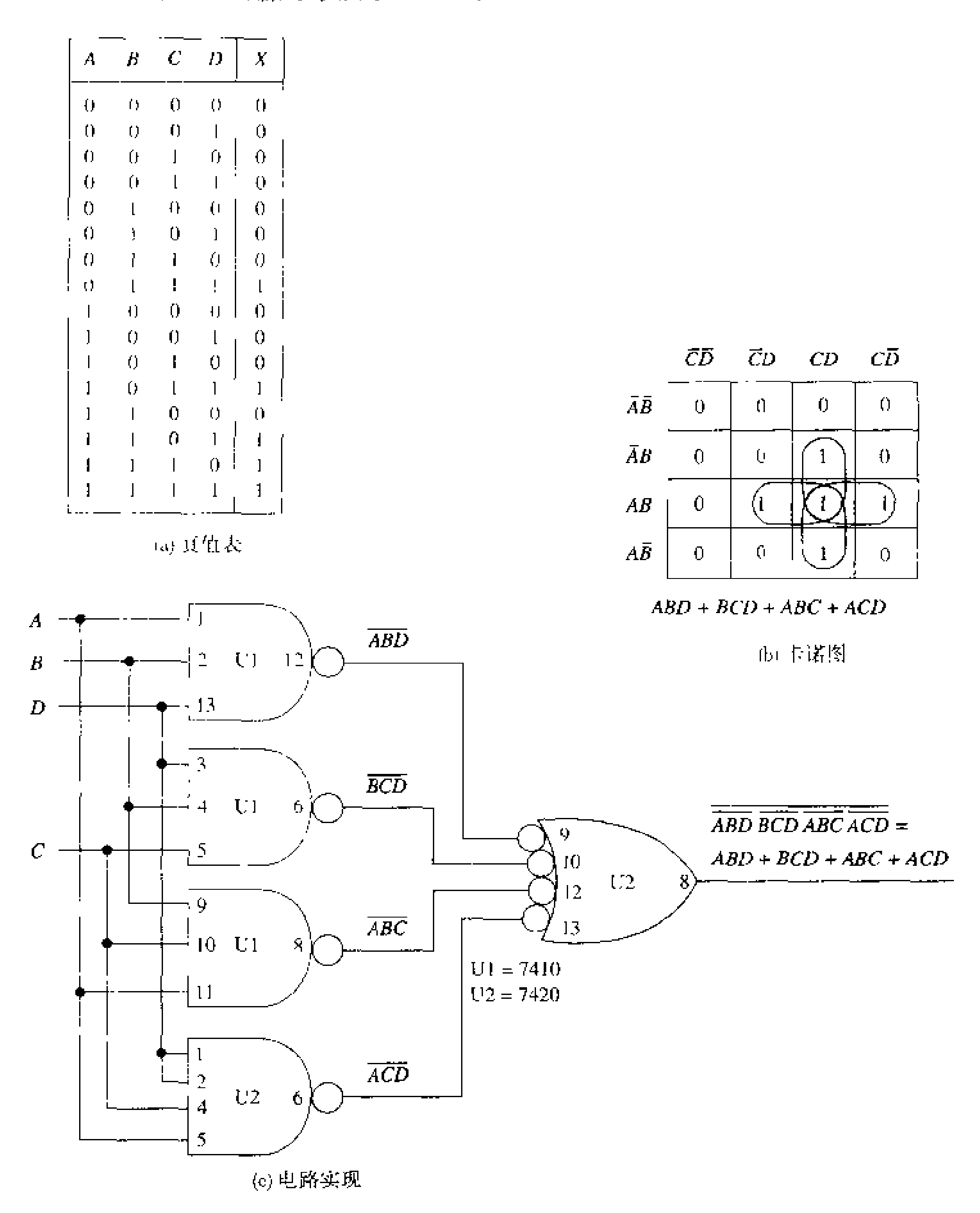
图 4.90 设计题 4.3

设计题 4.5

设计一个四输入的多数表决器电路。该电路应该在大多数输入为高电平时，输出高电平信号。

第一步是画出真值表，并将每个包含了三个或四个输入为“1”的输入组合所对应的输出标为高电平。该真值表如图4.91(a)所示。第二步是由真值表写出表达式并通过如图4.91(b)所示的卡诺图进行简化。因为在卡诺图上有四对“1”可以形成卡诺圈，所以结果为 $ABD + BCD + ABC + ACD$。

由于这是一个SOP表达式，所以如图4.91(c)所示，它可以直接实现。该电路需要一个三－三输入与非门（7410）和一个二－四输入与非门（7420）。



A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(a) 真值表

(b) 卡诺图

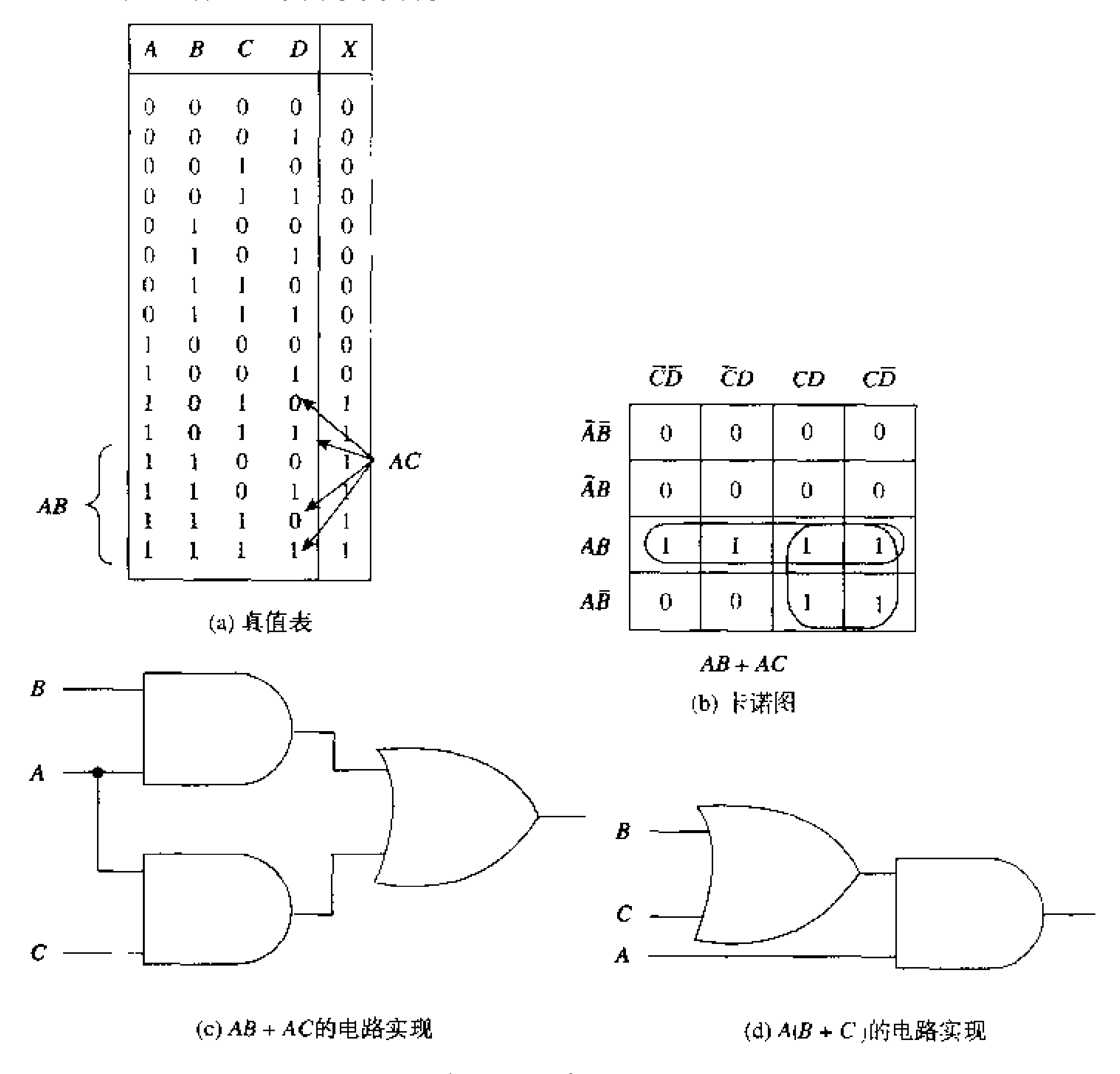
(c) 电路实现

图 4.91　设计题 4.5

设计题 4.6

设计一个电路，要求它在产生无效BCD码时输出高电平。前面已经讨论过四位一组的二进制编码的十进制数，其中$1010_{(2)}$到$1111_{(2)}$是无效的BCD数。该电路的真值表如图4.92(a)所示。图4.92(b)

显示的是其卡诺图。注意，该真值表在经过检查后，做了标记，这样可以保证简化后的表达式（$AB+AC$）能够满足电路的高电平输出要求。图4.92(c)和(d)所示的是该电路的标准实现方法。该电路应该用与非门或者是或非门来实现。



A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(a) 真值表

$AB+AC$

(b) 卡诺图

(c) $AB+AC$的电路实现

(d) $A(B+C)$的电路实现

图4.92 设计题4.6

阶段性小结（4.9节～4.10节）

与非门或者或非门能够用于实现所有的逻辑功能。图4.93总结了用这些逻辑门实现逻辑功能的方法。

常规符号 与非门 或非门

(a) 逻辑非功能

图4.93 与非门/或非门逻辑实现

(b) 逻辑与功能

(c) 逻辑或功能

(d) 与非门功能

(e) 或非门功能

图4.93（续）　与非门/或非门逻辑实现

SOP电路能够用与非门通过门到门的连接实现。因为由真值表得到的写成高电平输出的布尔表达式是SOP形式的，所以这使得此类实现方法特别有吸引力。

POS电路可以用或非门通过门到门的连接实现。正是直接的逻辑门使此类实现方法的使用非常普遍。POS布尔表达式可以直接由真值表提取得到。

为逻辑电路写布尔表达式时，不要简化该表达式。例如，布尔表达式$\overline{AB}+C$代表了如图4.94所示的逻辑电路。该表达式经过简化，变为$\overline{A}+\overline{B}+C$，这样很容易读。根据摩根定律，可以证明这两个表达式是等价的。

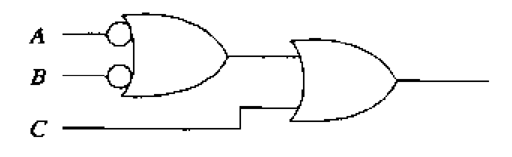


图4.94　$\overline{AB}+C$的实现

在最后的部分给出了几个设计题。实现简化电路的基本规则为：

1. 用布尔代数或卡诺图简化表达式。
2. 将简化后的表达式与真值表进行比较，以保证这两个表达式的等价性。
3. 用最少的集成电路芯片实现逻辑电路。

阶段性练习（4.9节～4.10节）

1. 确定图4.95中哪些是逻辑与功能。

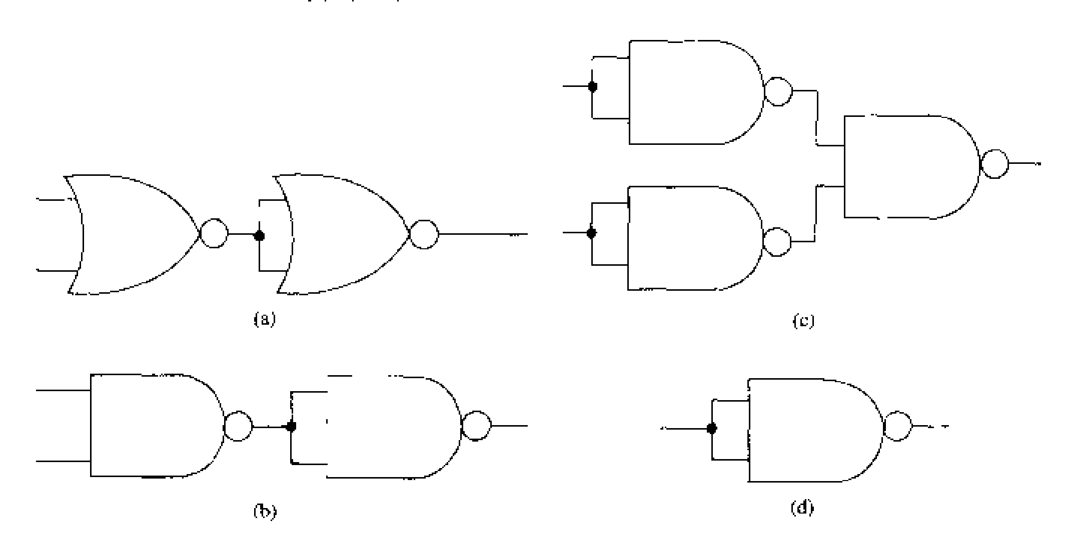


图4.95

2. 确定图4.96中哪些是逻辑或功能。

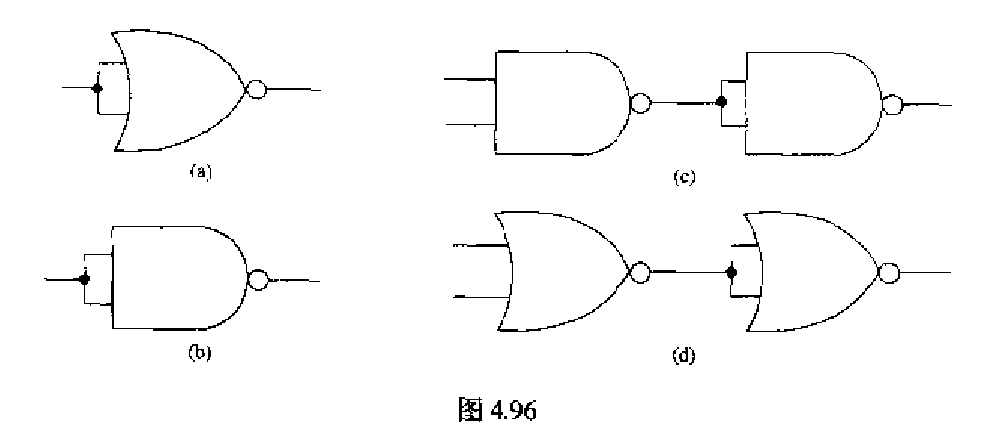


图4.96

3. 使用下面哪一种逻辑门实现SOP电路时用到的芯片数最少？
   a. 或门
   b. 与门
   c. 或非门
   d. 与非门
4. 使用下面哪一种逻辑门实现POS电路时用到的芯片数最少？
   a. 或门
   b. 与门

c. 或非门

d. 与非门

5. SOP 和 POS 真值表的布局相同。

a. 对

b. 错

本章小结

本章的学习是从与（$A \cdot B$）、或（$A + B$）、与非（$\overline{AB}$）、或非（$\overline{A+B}$）以及非（$\overline{A}$）的布尔符号和表达式开始的。

表4.4 总结了实数和布尔代数的特性以及摩根定律。摩根定律证明了 $\overline{A+B}=\overline{A}\,\overline{B}$以及 $\overline{AB}=\overline{A}+\overline{B}$。该定律提供了一种处理联结符号的方法，只要改变联结符号下面的逻辑符号，就可以断开其上的联结符号。这些定律还允许：(1)改变逻辑运算符；(2)对单个的输入变量进行逻辑非运算；(3)对整个表达式进行逻辑非运算；(4)去掉所有的双重逻辑非符号。

整个表达式上带有联结符号的布尔表达式表示的是低电平输出，没有联结符号的布尔表达式表示的是高电平输出。

每个标准逻辑门符号都有一个可替换逻辑门符号。这些符号可以按照上面的4个步骤，由摩根定律得到。

画逻辑图时，如果有必要，应该利用可替换逻辑门符号尽量将带圆圈的相互连接，不带圆圈的相互连接。由真值表提取表达式时，高电平输出产生 SOP 表达式、低电平输出产生 POS 表达式。

卡诺图是一种图形化的真值表，可以用于简化布尔表达式，但并不涉及到布尔代数的数学问题。将卡诺图中在水平方向或垂直方向上相邻的“1”圈在一起形成卡诺圈。卡诺圈可以是二元的、四元的或八元的，在一个卡诺圈中的互补变量都应被去掉。在画卡诺圈时，卡诺图上的底行和顶行被认为是相邻的。类似地，左列和右列也被认为是相邻的。卡诺圈应该圈住尽量多的“1”。无关项变量在图上既可以当成高电平也可以当成低电平，而且应该尽量有利于卡诺圈的形成。

与非门和或非门是多功能的。每种逻辑功能都可以用与非门或者或非门来实现。SOP电路用与非门实现，POS 电路用或非门实现时，实现方法往往是最简单的。

习题

4.1 节

1. 一个二输入与门的输入分别是 A 和 B，写出其输出的布尔表达式。
2. 一个三输入或门的输入分别是 A，B 和 C，写出其输出的布尔表达式。
3. 布尔表达式 $\overline{ABC}$ 表示一个三输入________门的输出。
4. 布尔表达式 $\overline{A}+\overline{B}$ 表示当________时，逻辑门的输出为低电平。
5. 布尔表达式 $A+B+C$ 表示当________时，逻辑门的输出为高电平。
6. 如果输入为 XY，写出反相器的输出表达式。

4.2 节

7. 解释加法结合律$(A+B)+C=A+(B+C)=A+B+C$的含义。

8. 布尔表达式 $A \cdot B \cdot 1 =$ ______。
9. 完成下列式子：
   a. $A(B+C) =$ ______
   b. $A \cdot 0 =$ ______。
   c. $X+1 =$ ______。
   d. $A \cdot 1 =$ ______。
   e. $X+0 =$ ______。
   f. $X \cdot X =$ ______。
   g. $\bar{X}+X =$ ______。
   h. $A \cdot A =$ ______。
   i. $A+A =$ ______。
   j. $A+AB =$ ______。
   k. $A+AB =$ ______。
   l. $A+\bar{A}B =$ ______。

4.3 节

10. 完成下列定律：
   a. $\overline{A+B} =$ ______。
   b. $\overline{AB} =$ ______。
11. 将布尔表达式 AB 变为一个能够用或非门和非门实现的表达式。
12. 将布尔表达式 $A+B+C$ 变为一个能够用与非门和非门实现的表达式。

4.4 节

13. 表达式 $\bar{X}YZ$ 表明当______时，电路的输出为高电平。
14. 表达式 $X\bar{Y}$ 表明当______时，电路的输出为______。
15. 表达式 $\bar{X}+Y$ 表明当______时，电路的输出为______。
16. 简化表达式 $W\bar{X}Y(\overline{\bar{W}+Z})$。

4.5 节

17. 画出与门的可替换逻辑门符号。
18. 画出或门的可替换逻辑门符号。
19. 画出与非门的可替换逻辑门符号。
20. 画出或非门的可替换逻辑门符号。
21. 画出如图 4.97 所示电路的可替换逻辑门符号。

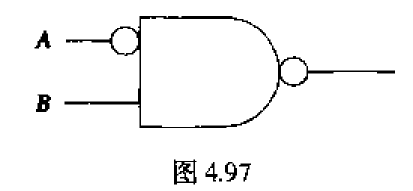


图 4.97

22. 用标准的逻辑门符号和/或可替换逻辑门符号重画如图 4.98 所示的电路。

CT 23. 用适当的可替换逻辑门符号重画如图 4.99 所示的电路。

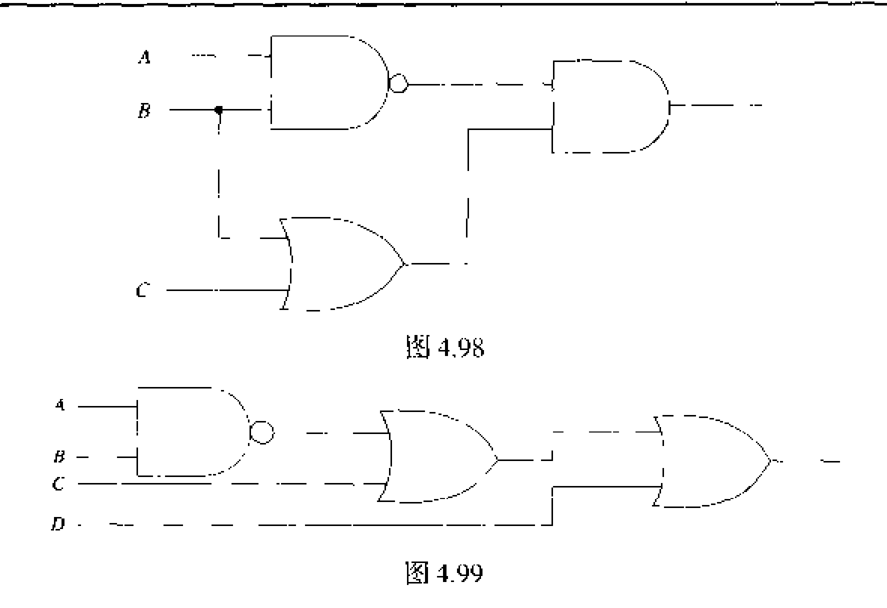


图 4.98

图 4.99

4.6 节

24. 将下面的每个真值表都写成积之和（SOP）表达式：

a.

A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

b.

A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

c.

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

d.

A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

CT　25. 将下面的每个真值表都写成和之积（POS）表达式：

a.

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

b.

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	[illegible]
1	0	0	[illegible]
1	0	1	1
1	1	0	0
1	1	1	0

26. 确定如图 4.100 所示的逻辑电路是何种配置方式。

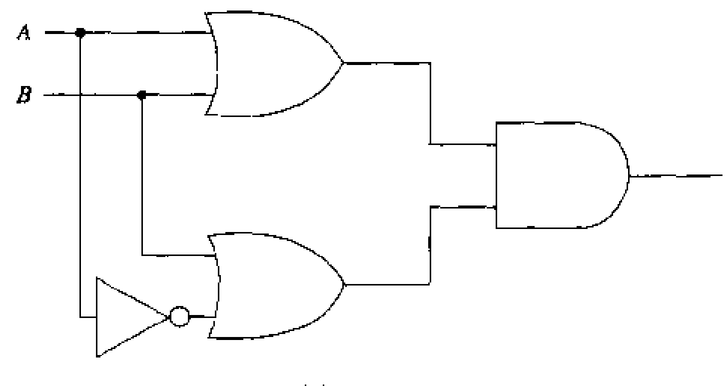


图 4.100

27. 写出如图 4.100 所示的逻辑电路的布尔表达式。

4.7 节

28. 用布尔代数简化下列表达式
   a. $\bar{A}\,\bar{B}\,\bar{C} + \bar{A}B\bar{C}$
   b. $\bar{A}\,\bar{B}\,\bar{C} + \bar{A}\,\bar{B}C + AB\bar{C} + ABC$
   c. $\bar{A}BC + A\bar{B}C + \bar{A}BC + A\bar{B}\,\bar{C}$
   d. $(X + Y)(X + Z)$
   e. $XY + \overline{XY}$
   f. $\overline{ABC} + \overline{\bar{A} + C}$
   g. $(\bar{X} + Y + \bar{Z})(X + Y + \bar{Z})$
   h. $\overline{A\bar{B}\bar{C}}D$
   i. $\overline{X\bar{\bar{Y}}\bar{\bar{Z}}}$

4.8 节

29. 由下面的真值表得到卡诺图，在卡诺图上标出高电平输出，并用卡诺圈简化最终的表达式。

a.

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

b.

A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

c.

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	X
1	1	0	0
1	1	1	1

d.

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	X
1	0	1	X
1	1	0	0
1	1	1	0

30. 由下面的真值表得到卡诺图，在卡诺图上标出高电平输出，并用卡诺圈简化最终的表达式。

a.

A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

b.

A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	[illegible]	0	0	0
0	[illegible]	0	1	0
0	[illegible]	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	[illegible]	0	1	1
1	[illegible]	1	0	1
1	[illegible]	1	1	1

c.

A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	X
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

d.

A	B	C	D	X
0	0	0	0	X
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

4.9节

31. 只用与非门画出如图4.101所示的逻辑门。

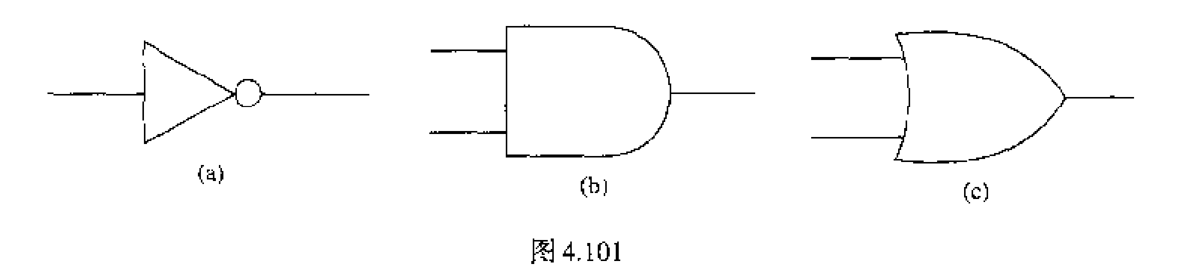


图4.101

32. 只用或非门画出如图4.102所示逻辑门。

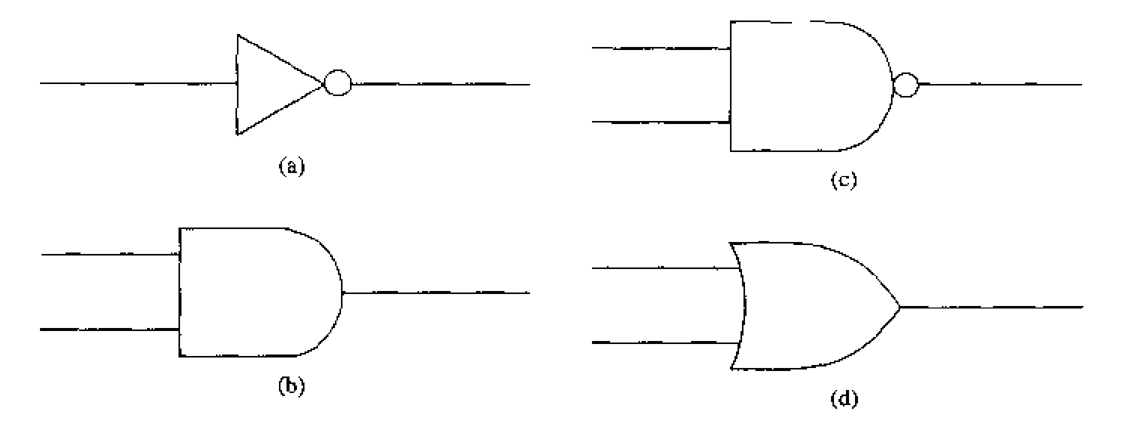


图4.102

33. 用与非门画出表达式$ABC+\overline{C}D$。

CT 34. 只用与非门画出如图4.103所示的逻辑电路。

CT 35. 只用或非门画出如图4.103所示的逻辑电路。

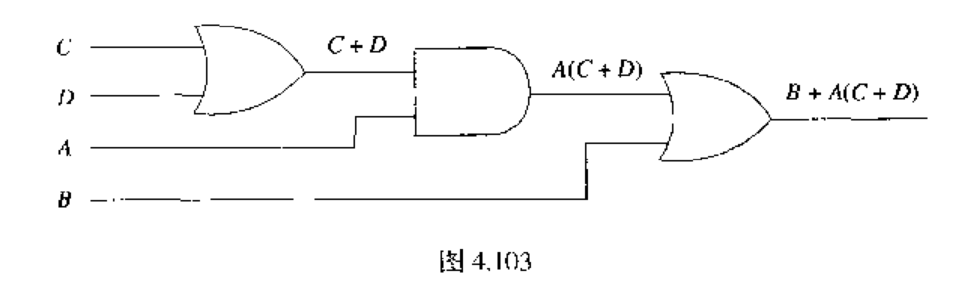


图 4.103

4.10 节

CT 36. 由下面的真值表得到 POS 卡诺图，在该卡诺图上标出低电平输出，并用卡诺圈简化最终的表达式。

A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

37. 写出如图 4.104 所示电路的布尔表达式，并简化该表达式。

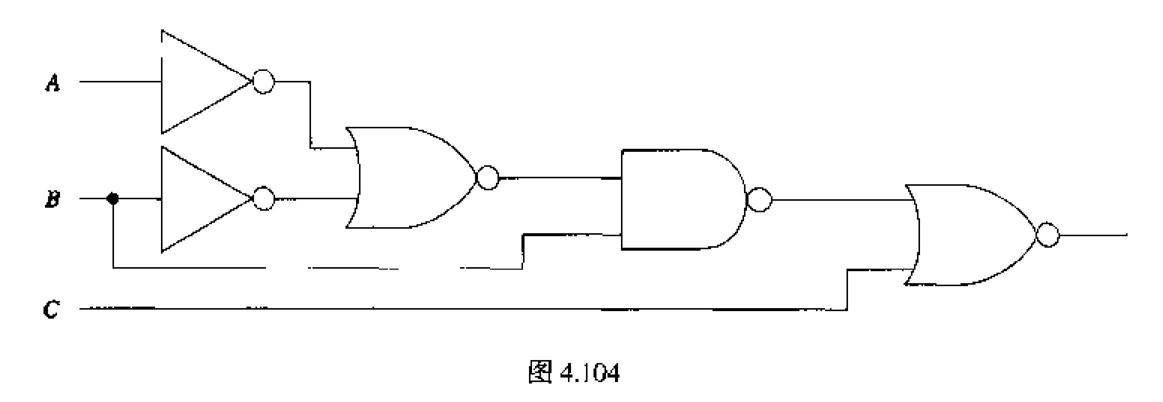


图 4.104

CT 38. 设计一个四输入投票器电路，要求在所有输入均为 0 或均为 1 时，其输出为低电平。除非全部的投票都是 0，否则当出现任何不同意（0）时，该电路的输出都应该为高电平。用最少的芯片数实现该电路。在图上标出芯片的数量（74XX 或 4000 系列芯片）。

CT 39. 设计一个三输入电路，要求它仅仅在输入计数为 1 和 3 时，输出才为低电平。

第5章　组合逻辑电路

重要术语

Boot-up　启动
Demultiplexing　多路数据分配
Exclusive-NOR Gate　同或门
Exclusive-OR Gate　异或门
Hysteresis　延迟
Multiplexing　多路数据选择
Parity　奇偶
Parity Bit　奇偶校验位
Parity Checker　奇偶校验器
Parity Error　奇偶错误
Parity Generator　奇偶发生器
Parity Scheme　奇偶配置
Schmitt-Trigger-Input Circuit　史密特触发输入电路
Terminal Count　计数终值

本章要点

1. 给出一个异或门/同或门的逻辑符号，识别该逻辑符号并确定对应不同输入组合时逻辑门的输出。
2. 给出一个奇偶发生器或奇偶校验器及奇偶配置的逻辑图，确定其正确操作所需的连接
3. 识别史密特触发输入电路的逻辑符号及该电路的用途。
4. 给出一个组合逻辑电路的逻辑图及该电路的输入，确定其输出。
5. 诊断组合逻辑电路，确定电路中的故障点或有缺陷的逻辑门。

概述

组合逻辑电路只是一些逻辑门的组合，产生的输出取决于输入的组合。第4章中设计的电路都是组合逻辑电路。本章将继续第4章的工作，重点讲述实用的逻辑电路。

组合逻辑电路的输出可以用在很多方面，可以用于开关警报器，给继电器加电，激励可控硅整流器（SCR），或只是打开一个指示灯，还可以用来选定或取消选定另一个数字电路。组合逻辑电路可以用来检查数据错误，也可以用来将串行数据转换为并行数据或将并行数据转换为串行数据，还可以用来选择或分配某个二进制数。

异或函数和同或函数是本章讲解的第一个组合逻辑电路产生的函数，这些函数是由专用门产生的。这些逻辑门能够满足前面所有逻辑门都不能满足的要求。

5.1 异或门/同或门

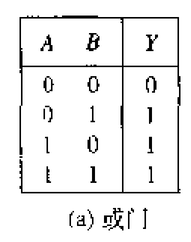
要点

1. 识别过去常常用来表示异或门和同或门的逻辑符号。
2. 写出某个特定的专用门的真值表和布尔表达式。
3. 给出一个含有专用门和其他逻辑门的逻辑电路，在输入给出后确定其输出。

5.1.1 异或门

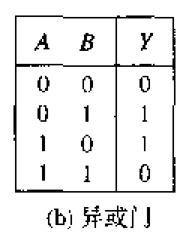
本章中出现的第一个组合逻辑电路产生的是异或函数。第3章中讲解的或门是广义上的逻辑门。或门的真值表表明，当A为高电平或B为高电平，或A和B都为高电平时，该逻辑门的输出为高电平。由于其高电平输出包含了如图5.1(a)所示的A和B的高电平输入条件，所以该逻辑门是广义上的或门。数字电路中，很多情况下都要将最后一个条件（A和B为高电平输入，输出为高电平）排除在外，这可以用异或门实现。该逻辑门的用途很多，例如，第2章中讲述的二进制加法的规则为：

$0 + 1 = 1$
$0 + 0 = 0$
$1 + 0 = 1$
$1 + 1 = 0$　进位为1



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(a) 或门



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

(b) 异或门

图5.1　真值表

如上面的规则所示，二进制加法器的输出要求在输入互补（电平相反）时输出高电平，在输入相同时输出低电平。

如何设计一个逻辑电路，使它能够起到或门的作用，但在A和B都为高电平时，输出不为高电平呢？第一件要做的事就是画出满足电路要求的真值表，如图5.1(b)所示。该真值表产生的布尔表达式为$\bar{A}B + A\bar{B}$。因此，实现异或功能的该表达式是一个“积之和”形式的表达式。异或门可以按如图5.2(a)所示的方法实现。图5.2(b)所示的是该异或门的逻辑符号，它与或门的符号有些类似，只是在输入端多了个弧线。图中还显示了表达式$\bar{A}B + A\bar{B}$的另一种书写方法$A\oplus B$，该表达式读为“A异或B”，与表达式$\bar{A}B + A\bar{B}$是等价的，“+”号外面的圆圈表示异或功能。

如图5.1(b)所证实的，该逻辑门的短逻辑是“输入互补时，输出为1”。如果需要，在该逻辑门上可以标出$C = 1$，如图5.3所示。如果异或门的一个输入连接在高电平上，则该逻辑门的功能和反相器相同。

(a) 逻辑图

(b) 逻辑符号

图 5.2　异或门

图 5.3　异或门反相器

可以用如图5.4所示的异或门实现加法运算。加法常常用希腊字母"Σ"来识别，代表"累加"。数据手册中许多加法器的累加和的输出写为Σ_0、Σ_1等。可以在电路中增加一个与门，以检查是否有进位，进位出现在 1 和 1 相加时（1 + 1 = 0，进位为 1）。该电路称为"半加器"，可以用于两个二进制位相加。它在应用上受到下面的限制：尽管它能够产生进位，但是却不能将进位加到 *A* 和 *B* 的输入位上，而这在二进制加法器中是必须有的功能。第 9 章将讲述一个具有此功能的"全加器"电路。全加器对半加器进行了改进，从而能将进位位也相加。

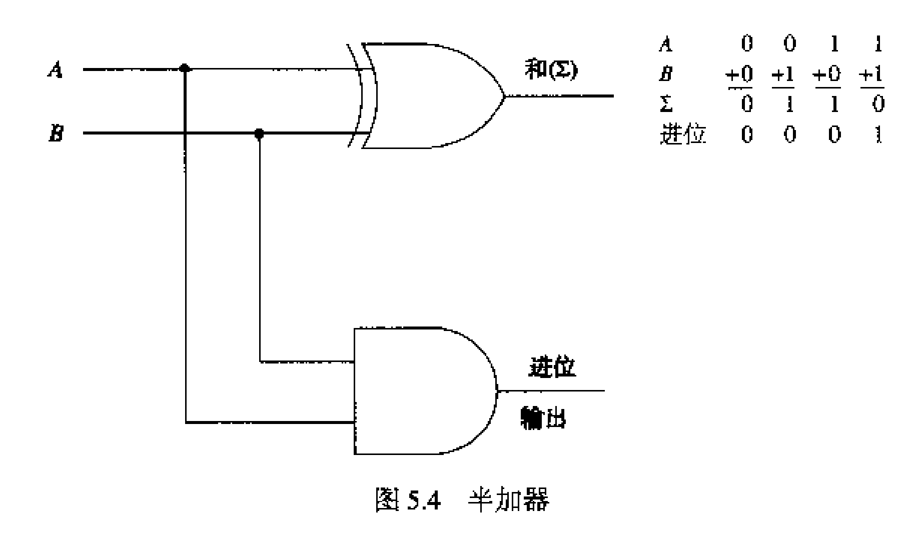


图 5.4　半加器

5.1.2　同或门

如果异或门的输出反相，如图5.5所示，则该电路的输出表达式变为（$\overline{A\oplus B}$）。该式是同或门的表达式，等同于 $\overline{A}\,\overline{B}+AB$。

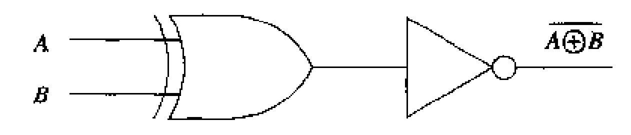
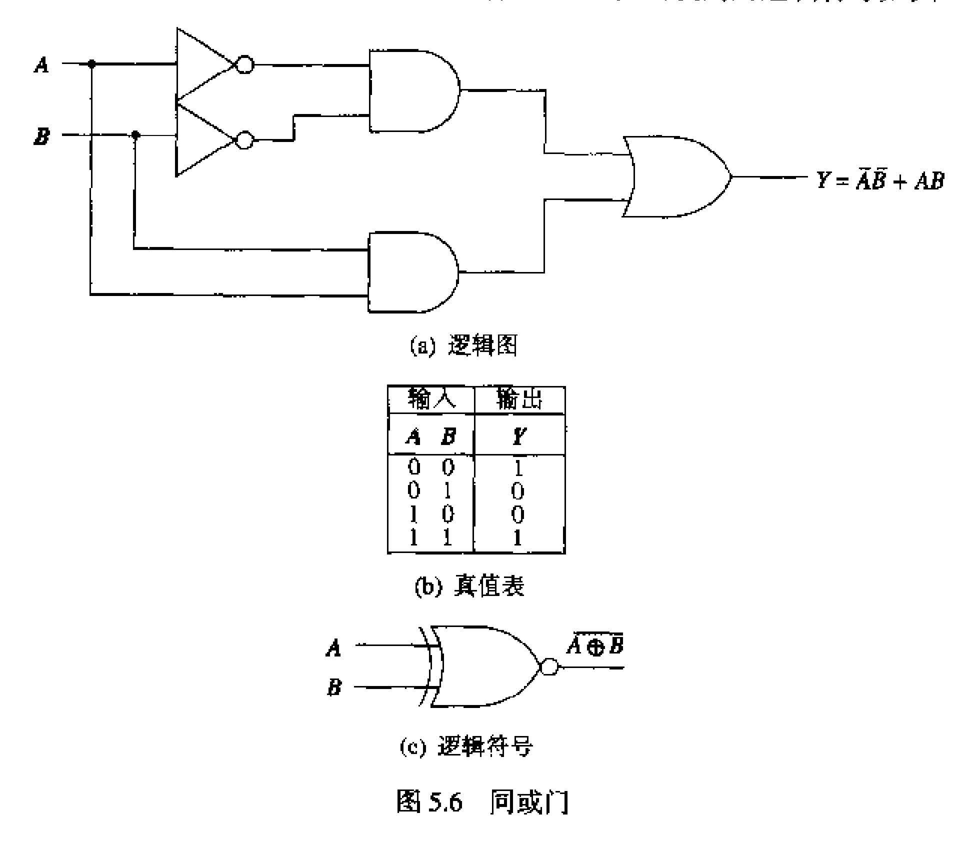


图5.5　异或门和反相器

同或门的布尔表达式可以由下面的异或门表达式得到：

异或门表达式	$\overline{A}B+A\overline{B}$
表达式的非（等于同或门的功能）	$\overline{\overline{A}B+A\overline{B}}$
断开联结符号 / 改变逻辑运算符	$\overline{\overline{A}B}\cdot\overline{A\overline{B}}$
断开多个联结符号 / 改变多个逻辑运算符	$(\overline{\overline{A}}+\overline{B})(\overline{A}+\overline{\overline{B}})$
去掉双重否定符号	$(A+\overline{B})(\overline{A}+B)$
展开	$A\overline{A}+AB+\overline{A}\,\overline{B}+B\overline{B}$
定理 $X\cdot\overline{X}=0$	$0+AB+\overline{A}\,\overline{B}+0$
定理 $X+0=X$	$AB+\overline{A}\,\overline{B}$

该表达式可以用如图5.6(a)所示的电路实现。图5.6(b)中的真值表表明，同或门在输入相等时输出高电平。修改异或门的短逻辑，即对输出逻辑电平取非，可以得到同或门的短逻辑。可以这样做是因为我们知道同或门功能能够通过在异或门的输出端加一个非门来实现。因此，其短逻辑为"输入互补时，输出为$\overline{1}$"。由于$\overline{1}=0$，所以可以在同或门上标出 $C=0$。同或门的逻辑符号如图5.6(c)所示。



(a) 逻辑图

输入		输出
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

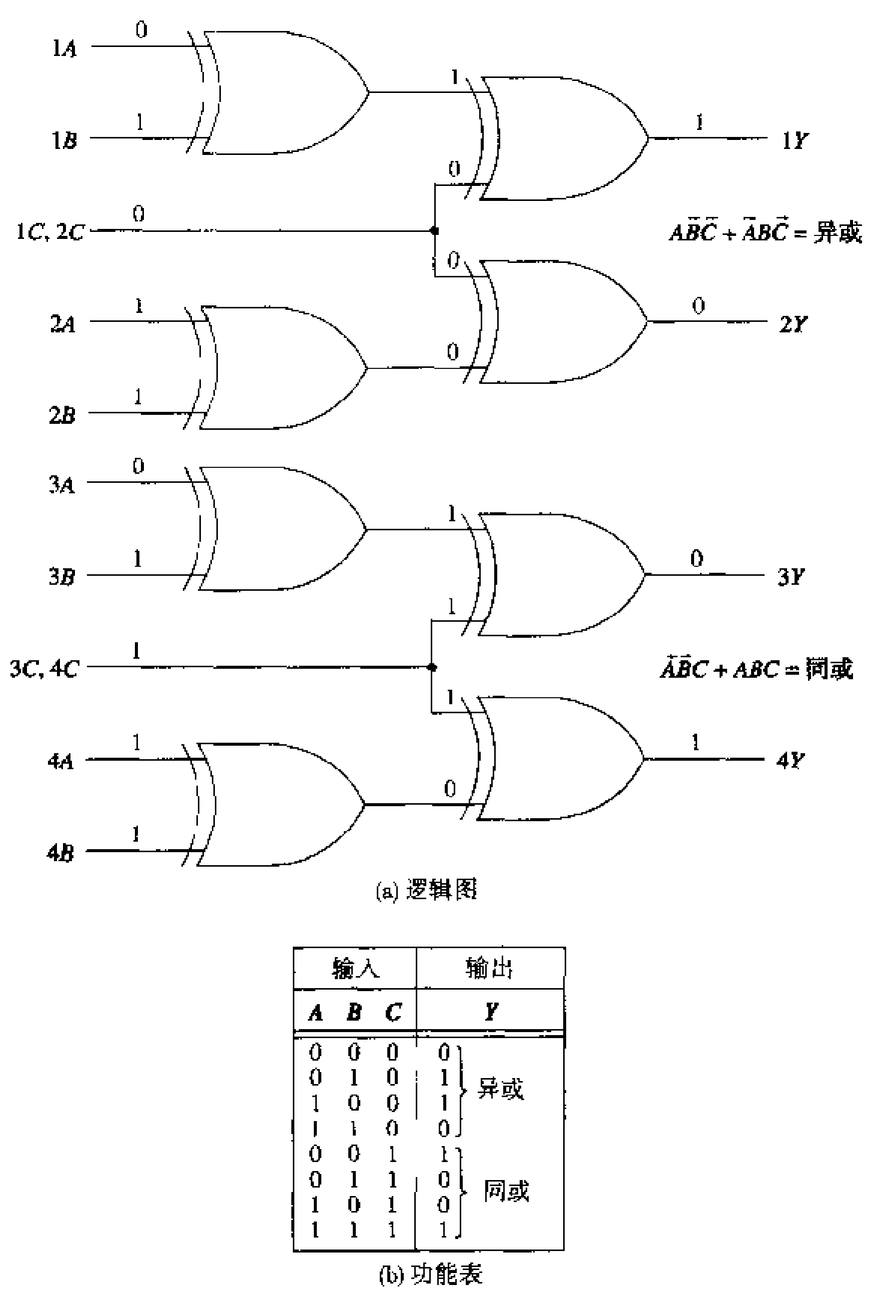
(b) 真值表

(c) 逻辑符号

图5.6　同或门

SN74S135 是含有四个异或门/同或门的集成电路芯片。图 5.7(a)所示的逻辑图表明，该电路在控制输入 C 为低电平时为异或门，在 C 为高电平时为同或门。该电路的布尔表达式为 $A\bar{B}\bar{C}+\bar{A}B\bar{C}+\bar{A}\bar{B}C+ABC$。

第一个四输入组合显示在功能表中（图 5.7(b)），其中输入 C 为低电平。表达式 $A\bar{B}\bar{C}+\bar{A}B\bar{C}$ 代表该电路，表示了异或门的功能。当输入 C 为低电平时，该表达式证实了短逻辑"输入互补时，输出为 1"。



(a) 逻辑图

输入			输出	
A	B	C	Y	
0	0	0	0	异或
0	1	0	1	
1	0	0	1	
1	1	0	0	
0	0	1	1	同或
0	1	1	0	
1	0	1	0	
1	1	1	1	

(b) 功能表

图 5.7　SN74S135 四异或门/同或门

同或门函数的布尔表达式 $\bar{A}\bar{B}C+ABC$ 证实了其短逻辑，并显示了当控制输入为高电平，且 A 和 B 相等时，其输出为高电平。图 5.7(b)证实了这一点。

同或门主要用途之一是作为比较器。它的输出可以表示何时两个输入相等。同或门的比较原理，包括集成芯片在 A 大于 B 或 A 小于 B 时的输出。第 10 章将展开讲解。

5.1 节复习题

A. 画出异或门的标准逻辑符号。

B. 写出异或门的真值表。

C. 写出同或门的真值表。

D. 写出如图 5.8 所示电路的布尔表达式，并将其简化为一个积之和形式的表达式。

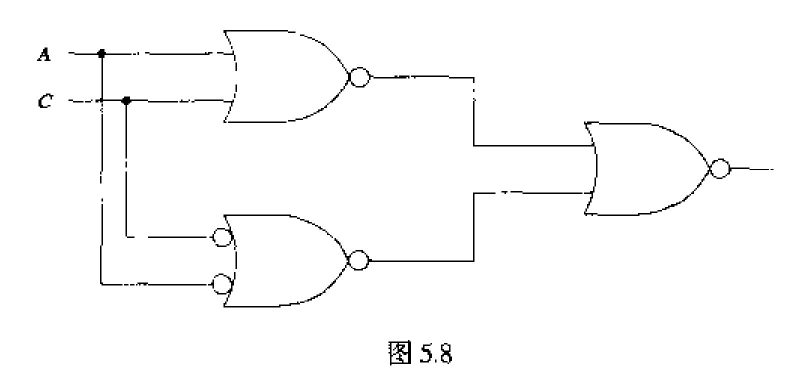


图 5.8

E. D 中得到的表达式代表了下面哪一种逻辑功能？

(1) 异或门功能

(2) 同或门功能

F. 如图 5.9 所示，将一个非门放到一个异或门的输入端。用代数方法证明该电路将产生同或门的功能。

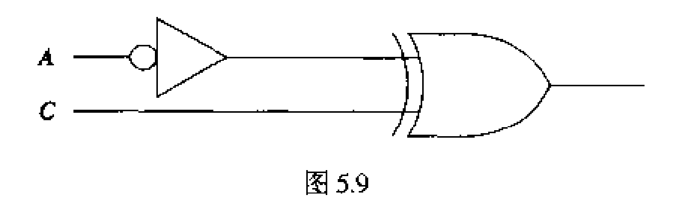


图 5.9

G. 如图 5.10 所示，将一个非门放到一个同或门的输入端。用代数方法证明该电路将产生异或门的功能。

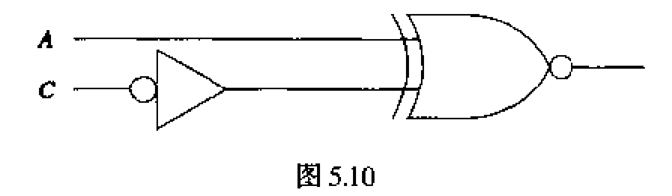


图 5.10

5.2 奇偶

要点

1. 定义奇偶。
2. 给出数据信息和奇偶配置，决定奇偶位所需的电平。

5.2.1　奇偶配置

奇偶指的是相等的状态。奇偶系统用于保证接收数据和传送数据的一致性。有时，在从一台计算机向另一台计算机传输信息时，奇偶校验位能够辅助串行数据流的传输。如图5.11所示，远距离的数据传输通常是通过连接到电话线上的调制解调器来传输串行数据的。这样，就需要将二进制数据转换为语音信号。奇偶校验位用于建立一个错误检测系统，该系统应该能够保证从一个系统到另一个系统的数据传输的准确性。这是通过在发送计算机中使用奇偶发生器和在接收计算机中使用奇偶校验器来实现的。

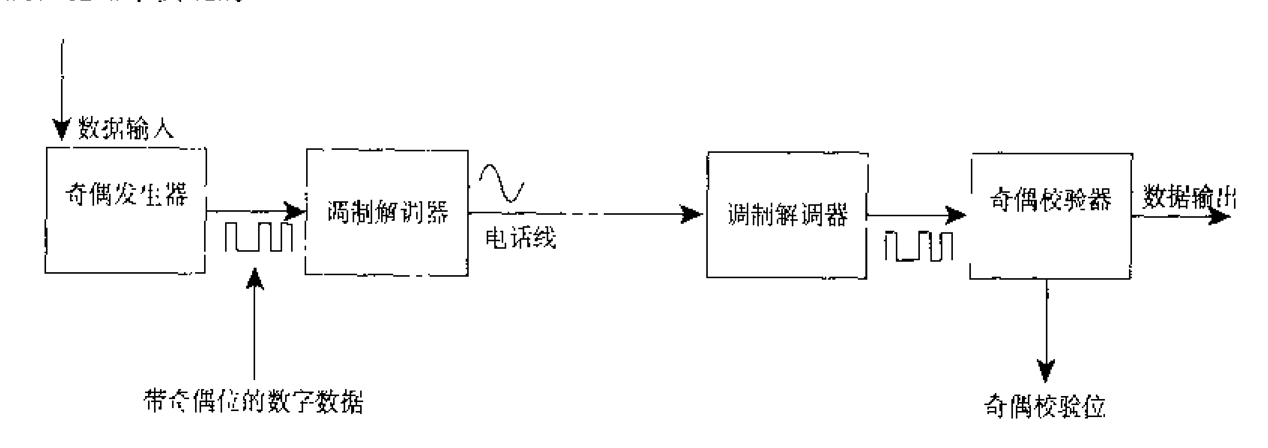


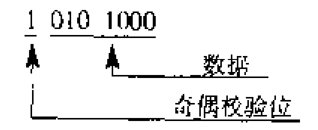
图5.11　奇偶系统的简化框图

有两种可以使用的奇偶配置：奇校验或偶校验。无论选择哪种配置方式，发送计算机和接收计算机都必须设置成同一种配置。

5.2.2　奇校验

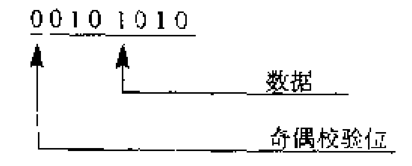
如果将奇偶校验选定为奇校验，则传输终端的奇偶发生器和接收终端上的奇偶校验器必须设置为产生和检测奇校验。如果传输的是一个7位ASCII码，则奇偶发生器将计算数据流中1的个数，并将添加一个奇偶校验位，以使传输的1的总数为奇数。换句话说，一个确定为奇校验的奇偶发生器总是会保证传输系统传输的1的总数为奇数，其中也应该包括奇偶校验位。

如果ASCII数据是$28_{(16)}$，则实际传输的二进制数为010 1000，奇偶发生器会计算数据流中1的个数，并产生一个高电平的奇偶校验位（在奇校验配置情况下），这样传输的数据就变成：



在加上奇偶校验位进行传输时，实际的传输数据变为十六进制的A8。注意，传输数据中1的个数为奇数。

如果要传输的数据是$2A_{(16)}$，则其二进制形式为010 1010。注意，在该数据中已经有奇数个1了。因此，为了传输该数据，奇偶发生器将产生一个低电平的奇偶校验位。



当该数据在通信系统的另一端被接收时，奇偶校验器将对包括奇偶校验位的所有的1进行计数。如图5.11所示，如果计数结果为奇数，奇偶校验器就把该数据送入系统并将奇偶校验位去掉。如果接收到的1的数目为偶数，奇偶校验器就产生一个奇偶出错信号，并要求重新传输最后一个字节（因为传输出现了错误）。

如果电话线中的噪声改变了某一个二进制位的电平，如将0变为1或将1变为0，就会发生这种错误。例如，如果一个7位的ASCII数据流$4A_{(16)}$，并且使用奇校验配置的奇偶校验位，则传输后数据形式应为0100 1010。如果系统是按奇校验配置的，而传输后噪声将最低位LSB变为1（0100 1011），则接收到的1的个数就变成了偶数。这将使奇偶校验器产生一个奇偶错误信号。

5.2.3 偶校验

我们可以建立一个偶校验的系统，这种配置将保证传输数据中1的个数总是为偶数（包括奇偶校验位）。在接收终端，在每个传输字节中查询1的个数是否为偶数，除此之外其操作原理和奇校验配置完全相同。

如果建立偶校验配置并且数据为$36_{(16)}$（011 0110），需要确定奇偶发生器所需产生的奇偶校验位。奇偶校验位（MSB位）必须是0。因此，传输的字节为0011 0110。注意，此时所有的1的个数为偶数。如果ASCII码为$37_{(16)}$（011 0111），则其奇偶校验位将为1。在奇偶校验位加入到数据流以后，实际的传输数据成为$B7_{(16)}$（1011 0111）。

奇偶错误检测系统存在几个限制条件。当错误出现的次数为偶数时，该系统无法将其检测出来。在前面的例子里，在偶校验系统中传输的是$B7_{(16)}$。如果噪声使两个0位都变为1，奇偶校验器会如何呢？接收到的数据形式表现为$FF_{(16)}$（1111 1111）。注意，在出现上面的错误后，1的总个数还是偶数。因此，奇偶校验器会认为没有错误，而实际上已经有两位出现了错误。因为噪声的持续周期往往可以覆盖许多二进制位，无法检测出双错误或偶数个错误的可能性很大，所以奇偶错误检测系统的这种限制很明显。

为了保证随机存储器（RAM）芯片的正常工作过程，PC机中用到了奇偶校验器。在PC机中，RAM称为系统存储器，是输入到系统中的数据的工作存储区。我们将在第12章详细讲解RAM芯片及其结构。由于从PC机中的存储位置存入或取出数据的操作非常频繁，所以存储器存取电路的正常工作就显得特别重要。计算机启动时，将完成奇偶校验操作。系统启动指的是给计算机加电和计算机的初始化操作。在启动时的RAM检测期间，有许多二进制位模式写入RAM，并产生奇偶校验位，然后再将数据读出来以确定其正确性。如果一个数据位在写入存储位置时为低电平，但是由于故障原因被存取电平变为高电平，系统内的奇偶发生器/校验器将检测到该错误，产生一个奇偶错误信号，并在显示器上显示一条奇偶错误信息。

5.2.4 奇偶发生器

图5.12所示的逻辑电路显示了一个实现四位奇偶发生器的简单方法。异或门用于完成添加数据输入位$(D_3 \oplus D_2) \oplus (D_1 \oplus D_0)$的操作，有关内容在前面已经解释过了。奇偶位产生的前提很简单：(1)这种加法的进位位输出可以忽略；(2)偶数个1相加时，其和为0；(3)奇数个1相加时，和为1。

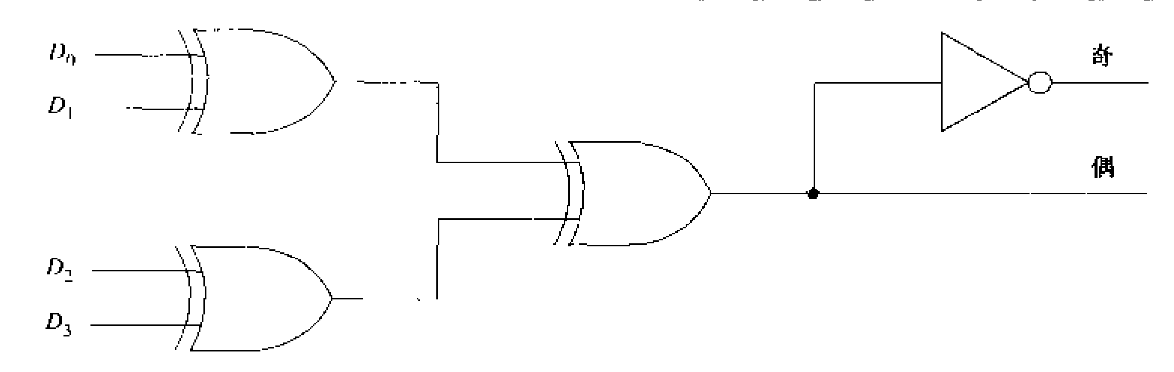
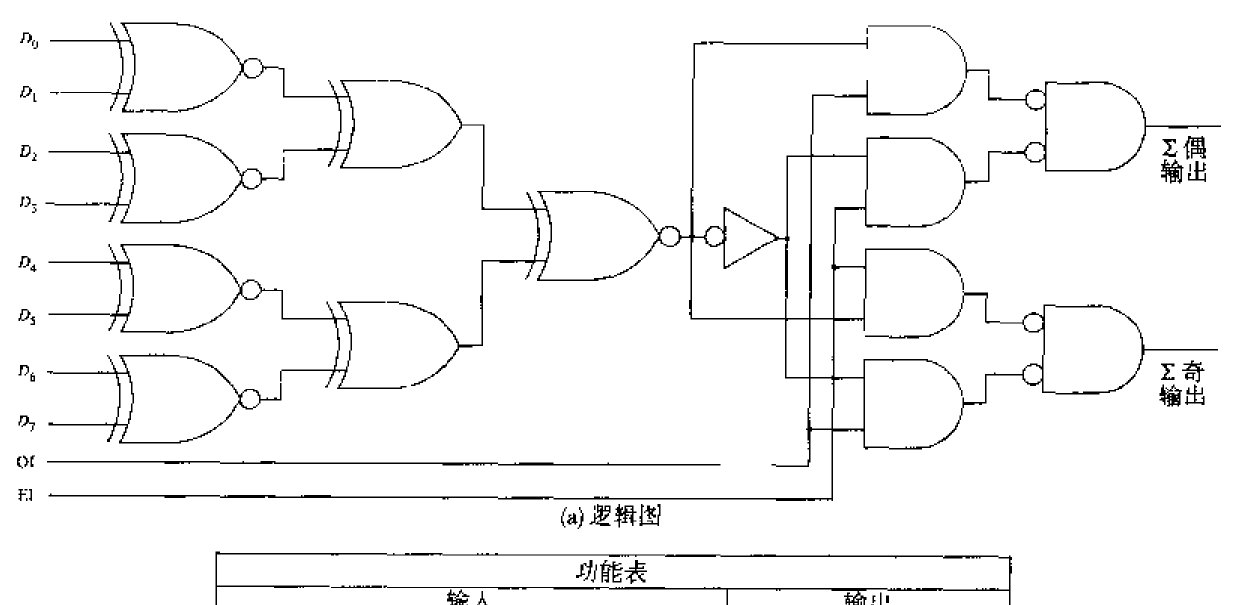


图5.12　4位奇偶发生器

5.2.5　奇偶发生器/校验器

图5.13(a)显示了一个SN74180芯片，它是一个9位的奇/偶发生器/校验器。这个芯片可以用于奇校验或偶校验配置电路。第9位（OI或EI）可以作为奇偶校验时奇偶位的输入。图5.13(b)所示的功能表显示了这种芯片的不同功能。下面两个例子有助于理解该表和电路的工作过程。



(a) 逻辑图

功能表				
输入			输出	
#高电平输出 (D_0~D_7)	偶	奇	Σ偶	Σ奇
0, 2, 4, 6, 8	1	0	1	0
1, 3, 5, 7	1	0	0	1
0, 2, 4, 6, 8	0	1	0	1
1, 3, 5, 7	0	1	1	0
X	1	1	0	0
X	0	0	1	1

(b) 功能表

图5.13　9位奇/偶发生器/校验器SN74180

作为一个奇偶发生器，图5.14中的74180逻辑电路是按照奇校验进行配置的。奇校验输入（OI）连接到+5 V（高），偶校验输入（EI）连接到地（低）。图中，数据输入00011110用D_7~D_0标记。这个输入数据包含了偶数个1。跟踪图中标出的逻辑电平可以证明，该输入组合产生了一个高电平的

Σ奇输出奇偶校验位 需要牢记的是，奇校验发生器的目的是保证在每组二进制（包括奇偶校验位）传输数据中1的个数为奇数

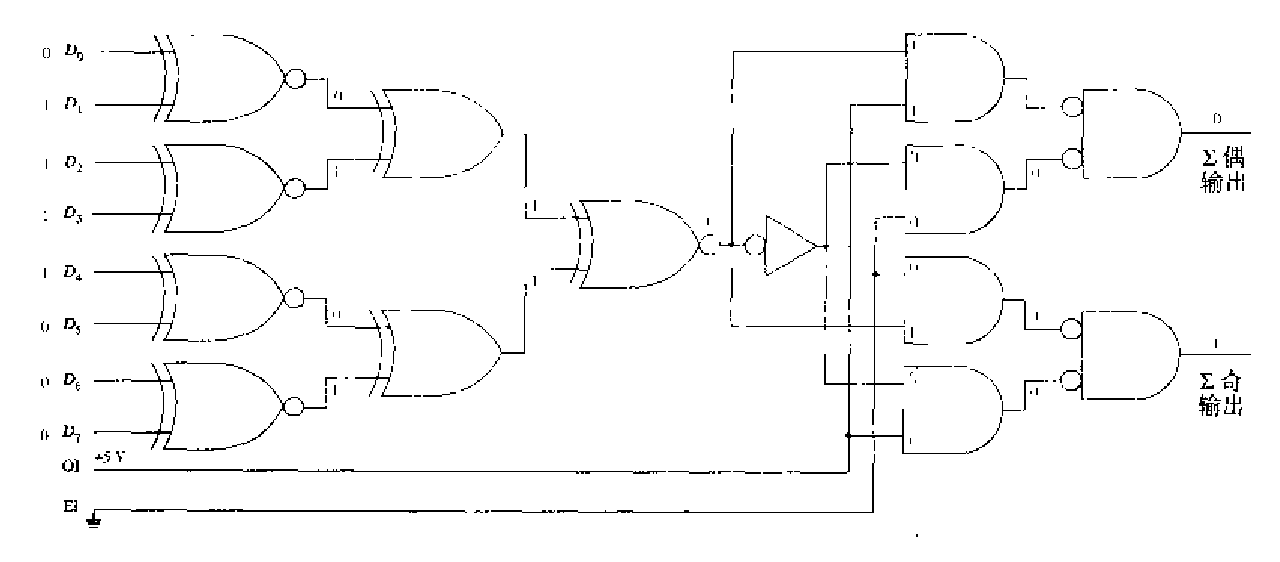


图5.14　SN74180奇偶发生器（奇校验）

作为一个奇偶发生器，图5.15中的74180逻辑电路是按照偶校验进行配置的。奇偶发生器和奇偶校验器的区别表现在它们的OI/EI输入端上。作为奇偶校验器，奇偶校验位接OI引脚，以检测奇校验。奇偶校验位的补码连接到EI引脚上。接收数据的输入位（无错位）和前一个例子的奇偶校验位电平标在图5.15中。该电路的输出是一个高电平的Σ奇输出，表明接收的数据包含了奇数个1，包括奇偶校验位在内。因此，说明接收的数据是正确的。

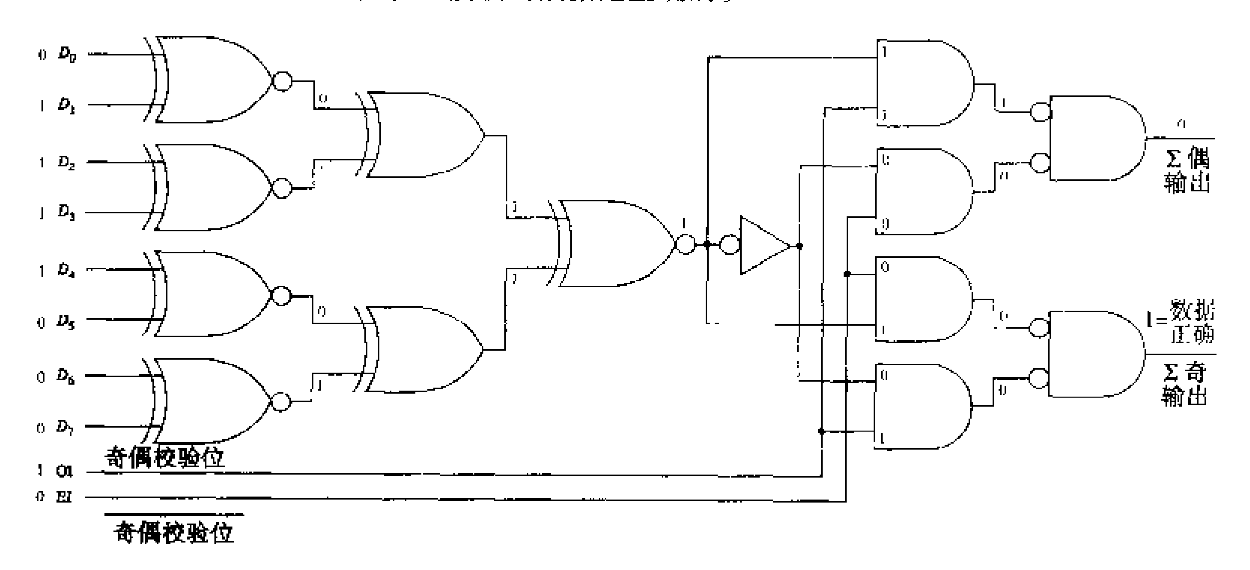


图5.15　SN74180奇偶发生器（偶校验）

图5.16所示的奇偶系统框图说明了上面的例子。并行数据在传输前可以转换为串行数据，然后在接收端再将串行数据转换为并行数据。

这里再重复一下前面讲到的带有错误位的数据方案（见图5.17）。该数据再以00011110的形式发送一次。接收到的数据的D_0位的逻辑电平变为1电平。输入数据和相应的奇/偶输入一起标在图5.17所示的74180奇偶校验器上。通过逻辑电路跟踪逻辑电平，可以得到Σ奇输出为0，这表明接收到的数据是不正确的。

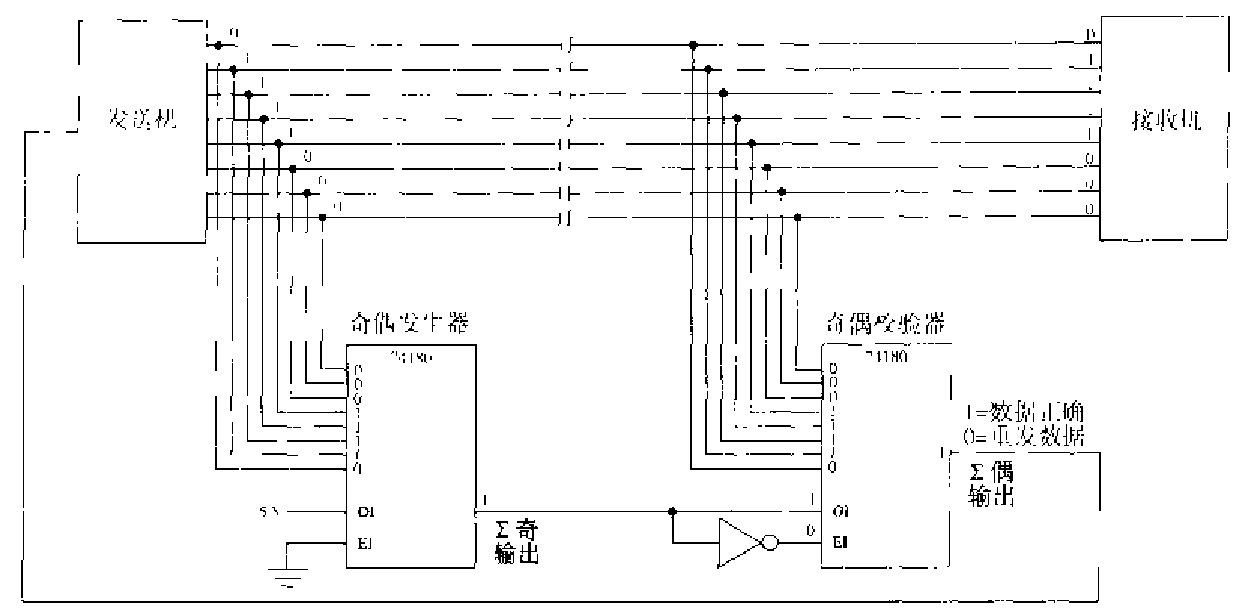


图 5.16　奇偶系统框图

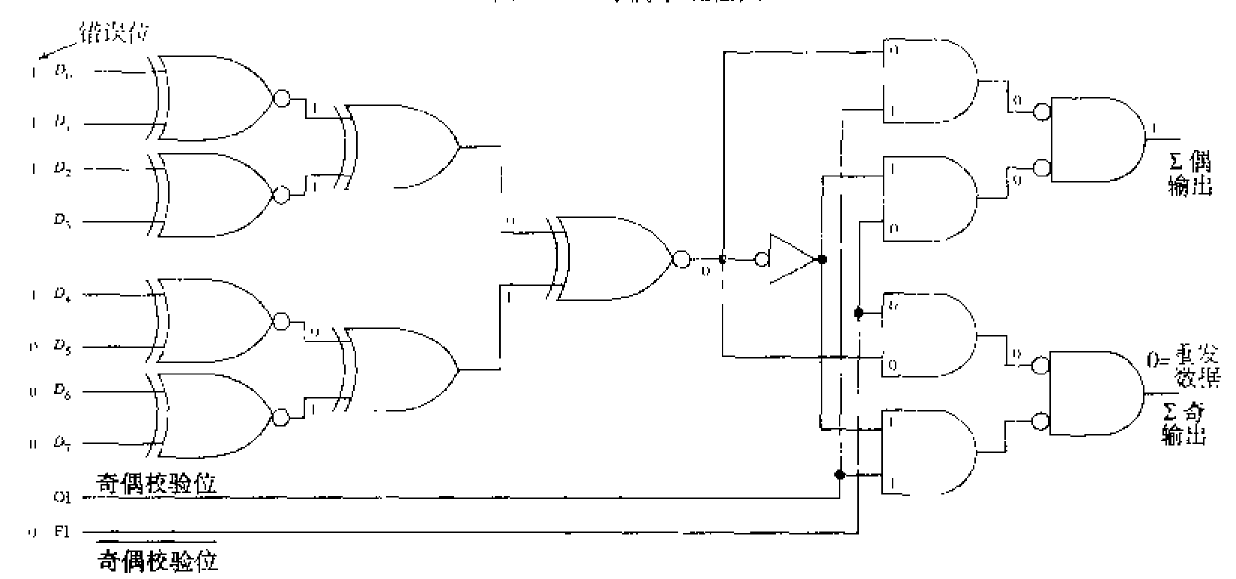


图 5.17　SN74180 奇偶发生器（带有错误位的奇校验）

5.2 节复习题

A. 对于奇校验配置，指出下列数据的正确的奇偶校验位电平。

(1) 0110

(2) 0111

(3) 01011111

(4) 10001000

B. 对于偶校验配置，指出下列数据的正确的奇偶校验位电平。

(1) 1010

(2) 1011

(3) 10101111
(4) 11111000

阶段性小结（5.1 节～5.2 节）

异或门的输入互补时，产生高电平的输出，其数学表达式为$AB + A\overline{B} = A \oplus B$。绝大多数的二进制运算电路和奇偶校验电路都用到了这种逻辑门。

同或门的输入相等时，产生高电平的输出，其数学表达式为$AB + AB = A \oplus B$。该逻辑门常常用于比较输入，以决定它们是否相等。其应用的一个例子是数值比较器（见第 10 章）。

奇偶校验用于检验发送或写入内存的数据与接收或由内存读出的数据的有效性。简而言之，它是一种发现错误的方法。

奇偶校验需要一个发生器和一个校验器。在建立奇偶校验系统时，这两种器件的配置必须相同，都为奇校验或都为偶校验。建立起来的奇偶校验配置保证了包括奇偶校验位的奇数个或偶数个 1 能够正确地发送或写入到存储器中。如果选择了奇校验，为了防止出现奇偶错误信号，发送和接收的 1 的个数就必须是奇数。

用集成电路芯片可以实现奇偶发生器/奇偶校验器电路，还可以按照两种奇偶配置中的一种进行配置。SN74180 芯片就是能够实现奇偶发生器/奇偶校验器的一个例子。

阶段性练习（5.1 节～5.2 节）

1. 图 5.18 所示的逻辑符号代表的是________门。
   a. 或
   b. 或非
   c. 异或
   d. 同或

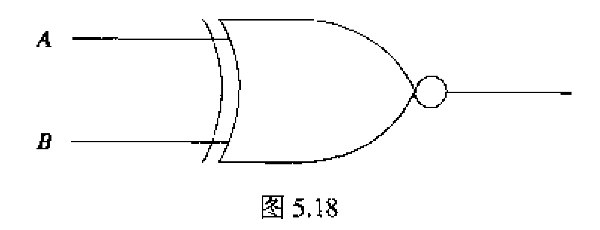


图 5.18

2. 图 5.18 所示逻辑门的布尔表达式输出为________。
   a. $A + B$
   b. $A \oplus B$
   c. $\overline{A} \oplus B$
   d. $\overline{A}B + A\overline{B}$
3. 图 5.19 所示的逻辑符号代表的是________门。
   a. 或
   b. 或非
   c. 异或
   d. 同或

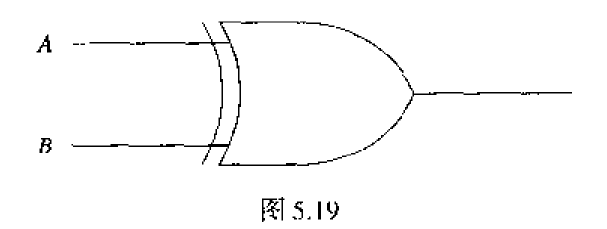


图 5.19

4. 图 5.19 所示逻辑门的布尔表达式输出为________。
   a. $A + B$
   b. $A \oplus B$
   c. $\bar{A}B + AB$
   d. b 和 c 都对
5. $A = 0$，$B = 0$ 时，图 5.19 所示逻辑门的输出是什么？
   a. 0
   b. 1
6. $A = 0$，$B = 1$ 时，图 5.19 所示逻辑门的输出是什么？
   a. 0
   b. 1
7. 图 5.19 所示逻辑门能够用于产生 A 和 B 的累加和（Σ）。
   a. 对
   b. 错
8. 图 5.19 所示逻辑门能够用于产生 A 和 B 相加时的进位位。
   a. 对
   b. 错
9. 图 5.20 所示的电路产生的是________逻辑功能。
   a. 或门
   b. 或非门
   c. 异或门
   d. 同或门

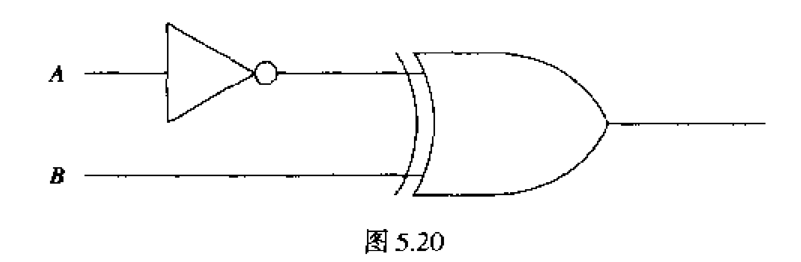


图 5.20

10. 图 5.21 所示电路产生的输出等于________。
   a. $\bar{A}B + A\bar{B}$
   b. $A\bar{B} + AB$
   c. $\bar{A}\bar{B}$
   d. AB

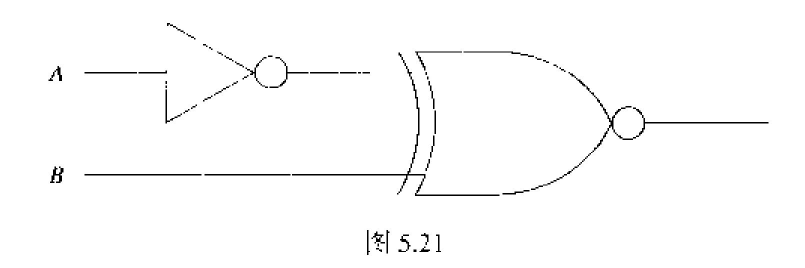


图 5.21

11. 奇偶系统用于保证接收的数据和发送的数据是相等的
    a. 对
    b. 错
12. 奇校验配置保证发送数据中 0 的个数总是为奇数。
    a. 对
    b. 错
13. 为了保证偶校验的需要，应该添加到数据 78_{16} 中的奇偶校验位是什么？
    a. 0
    b. 1
14. 为了保证奇校验的需要，应该添加到数据 $3B_{16}$ 中的奇偶校验位是什么？
    a. 0
    b. 1
15. 奇偶错误检测系统无法检测出偶数个错误，如两个或四个错误。
    a. 对
    b. 错

5.3 控制电路

要点

1. 给出一个逻辑控制电路的逻辑图和该电路的输入，确定该电路的输出。
2. 给出一个逻辑控制电路的逻辑图，确定某个特定输出所需的输入组合。
3. 识别史密特触发输入电路的符号及电路的作用。

将数据装入一个如图5.22(a)和(b)所示的数字电路中。图中的方块代表了八个内部电路，其中每个都能够存储 1 位数据。可以将数据串行或并行地装入该电路。

图5.22(a)所示的串行装入一个二进制数据位的操作要求有一个时钟脉冲。时钟脉冲用于控制装入操作，这样才能够满足系统对时间的要求。一旦数据的 D_0 位装入，就要求另一个时钟脉冲来装入 D_1 位，并将 D_0 位从一个电路移到其右边的电路中。这种操作不断重复，直到串行数据位的全部数据（D_0~D_7）都装入电路为止。该操作共需要 8 个时钟脉冲。

图 5.22(b)所示的并行装入操作允许所有数据位（P_0~P_7）在一个时钟周期内装入电路。由于这种数据传输方法比串行数据传输要快得多，所以系统内的数据传输经常用到这种方法。

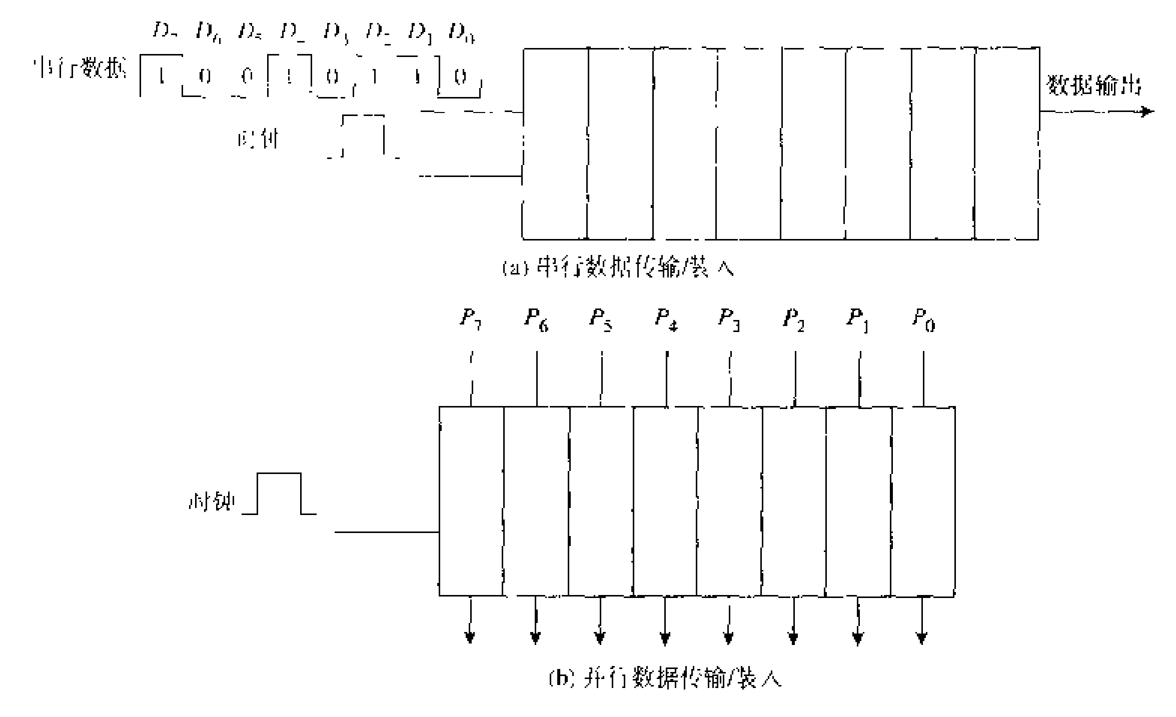


图5.22　数据传输框图

有时，有必要使用串行数据传输。其中，远距离数据传输时就需要使用串行传输。串行数据传输时，在发送系统和接收系统之间只需要一条数据线，并行数据传输需要八条数据线，以保证同时传送八位数据（一个字节的数据）。这在远距离传输时是受到成本限制的。

5.3.1　SHIFT/$\overline{\text{LOAD}}$ 控制电路

图5.23(a)显示了一个组合逻辑电路的例子，主要用于并行地将数据装入电路。SHIFT/$\overline{\text{LOAD}}$输入端提供了两种独立的选择。当该输入端为高电平时，串行数据（D_0）将移入电路X中。注意，当SHIFT/$\overline{\text{LOAD}}$ = 1时，两个与非门都被禁止了，这样，就防止了并行输入数据（P_0）装入到电路X中。串行移位数据将在本节的下一个控制电路中进行讨论。

当SHIFT/$\overline{\text{LOAD}}$为低电平时，并行输入数据（P_0）将装入到电路X中。图5.23(b)中的功能表列出了电路X的可使用的输入组合及其输出。例如，当$\overline{\text{LOAD}}$ = 0，P_0 = 1时，控制电路的输出为$\bar{S}$ = 0和C = 1，它们将使电路X的输出等于1。这样，输入端P_0处的数据就被装入到该电路中了。

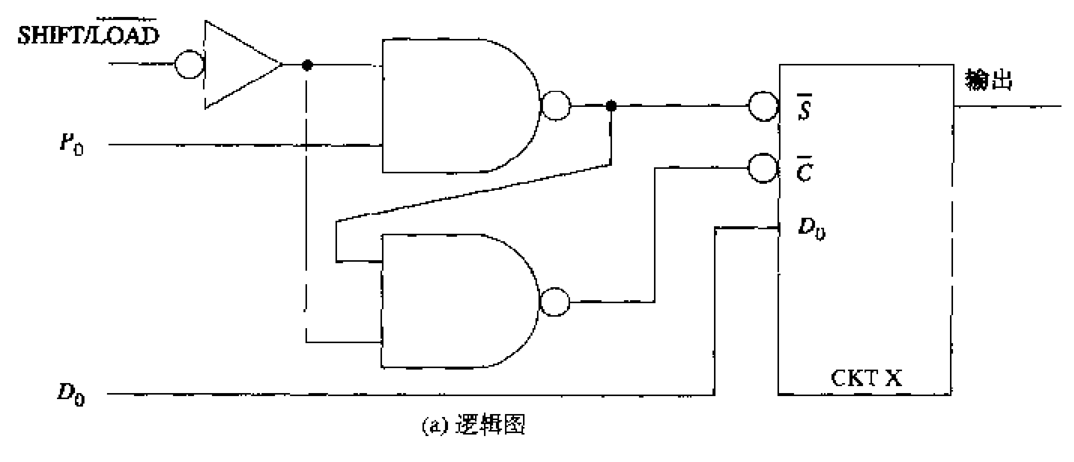
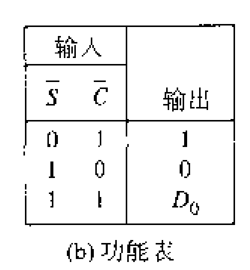


图5.23　SHIFT/$\overline{\text{LOAD}}$组合逻辑电路



输入		输出
$\overline{S}$	$\overline{C}$	
0	1	1
1	0	0
1	1	D_0

(b) 功能表

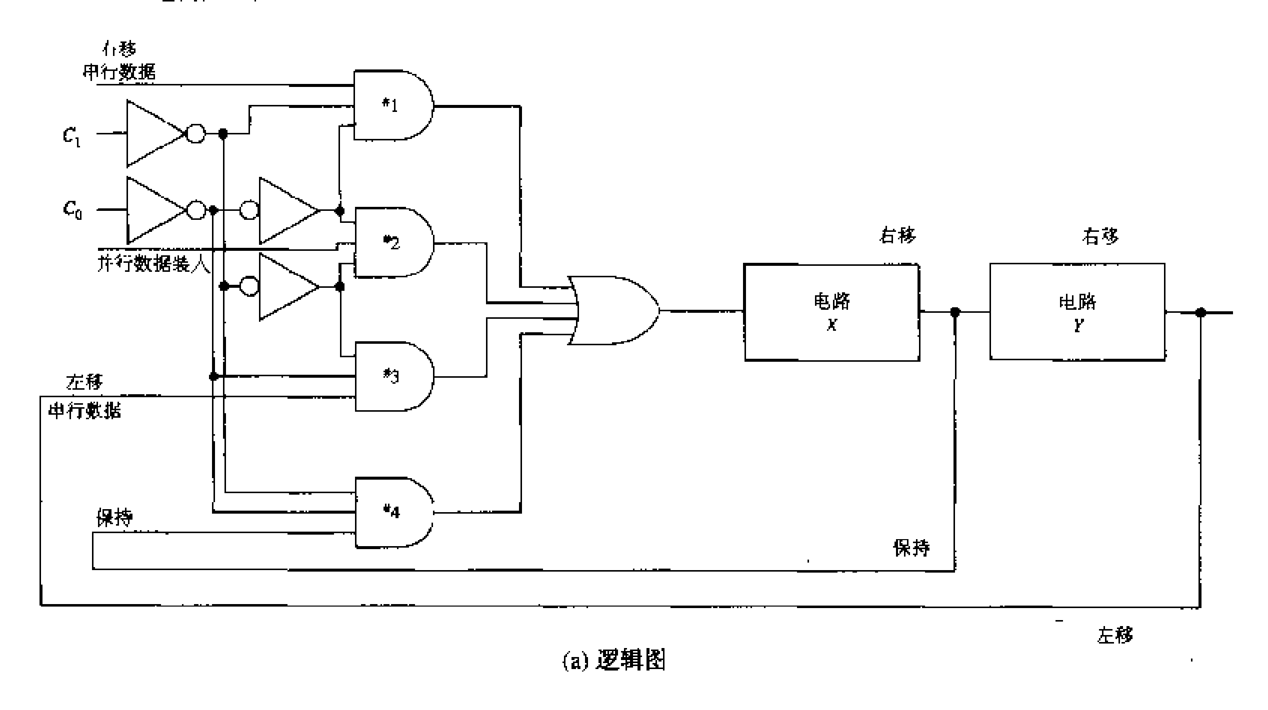
图5.23（续） SHIFT/LOAD组合逻辑电路

5.3.2 右移/左移控制电路

图5.24(a)所示的组合逻辑电路可以用于从电路X中将数据向右移动到电路Y中，或从电路Y中将数据向左移动到电路X中。尽管整个电路有所简化，但是移位控制电路的使用却是很明显的。

图5.24(b)所示的功能表显示了得到下列功能所需要的控制输入（C_0和C_1）电平：

$C_1=0$，$C_0=1$：这种输入组合在电路中产生了一个右移操作。跟踪控制逻辑电平可以发现，与门#1以外的全部与门都被禁止了。与门#2，#3和#4输出的低电平信号用于或门的使能信号。与门#1允许串行数据通过控制电路传到电路X中。另一个完全相同的移位控制电路将允许数据由电路X右移到电路Y中。



(a) 逻辑图

C_1	C_0	运行模式
0	1	右移
1	0	左移
0	0	保持
1	1	并行装入

(b) 功能表

图5.24 右移/左移控制电路

$C_1=1$，$C_0=0$：这种输入组合在电路中产生了一个左移操作。控制逻辑使电路Y中的数据位通过与门#3移入电路X中。利用这种输入组合，与门#3工作，其他的与门禁止。

$C_1=0$，$C_0=0$：这种输入组合使电路处于保持模式。换句话说，就是在两个方向上都不进行数据的移位操作，只是进行存储。实际上，电路X的输出发送到工作的与门#4，然后再返回到电路X的输入端。可以把该操作看成一个数据的再流通。

$C_1=1$，$C_0=1$：这种输入组合用并行装入代替了串行装入。注意，与门#2工作，当$C_1=C_0=1$时，其他的与门都禁止。在该例子中，一个并行传输位将从并行数据输入端装入到电路X中。一个完全相同的控制电路将允许另一个数据位同时并行传输到电路Y中。

5.3.3　磁带方向控制电路

为了控制磁带运动的方向，在进行视频录像时，可以使用如图5.25所示的控制电路。记录设备的控制电路将产生$\overline{\text{REEL PLAY}}$（磁带播放）和REEL REVERSE（磁带反转）信号。由于在$\overline{\text{REEL PLAY}}=0$时，与非门工作，所以当$\overline{\text{REEL PLAY}}$被激励时，卷带的方向由REEL REVERSE输入控制。如果REEL REVERSE为高电平，与非门产生的低电平输出打开反向卷带电路。如果REEL REVERSE为低电平，则与非门产生的高电平输出将打开正向卷带电路。

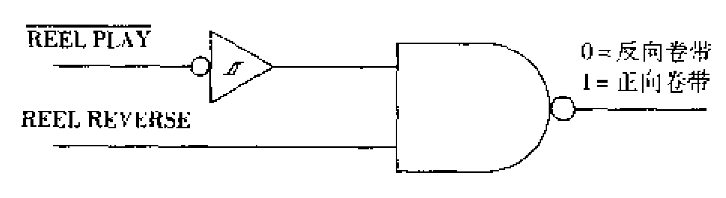


图5.25　磁带方向控制电路

图中的非门包含了一个在本书第一次出现的符号。非门里面的这个符号表示史密特触发输入。

5.3.4　史密特触发输入电路

史密特触发输入电路主要用在不能得到良好、干净的数字信号来驱动某个输入的情况。该电路能够接收慢变输入信号，并将它们转化为前后沿陡峭的稳定输出信号。史密特触发电路使用正反馈加速慢速上升和慢速下降信号。图5.26(a)所示的是史密特触发输入反相器的输入和输出信号。注意，输出信号的上升和下降时间减少到了使波形的上升沿和下降沿几乎垂直。

标准TTL电路将把0~0.8 V作为逻辑0（低电平）输入，把2~5 V作为逻辑1（高电平）输入，这些电平如图5.26(b)所示。需要牢记的是，当输入处于不确定的逻辑电平范围时间太长时，芯片将产生不可靠的输出信号。史密特触发输入电路的目的就是通过一个不确定的逻辑电平范围尽快得到输入信号。

史密特触发输入电路的输入电平V_{T+}作为正向门限电平，V_{T-}作为负向门限电平。这些数值列在数据表中，一般情况下$V_{T-}=0.6\sim1.1$ V，$V_{T+}=1.5\sim2$ V。两个门限电平之差称为滞后。滞后值一般为800 mV左右。

用史密特触发输入电路可以得到几种不同的逻辑门和多谐振荡器，其中几个电路能够可靠地利用1 V/s的信号转换率。

5.3节复习题

A. 画出一个史密特触发输入反相器的符号。

B. 使用史密特触发输入电路的目的是什么？

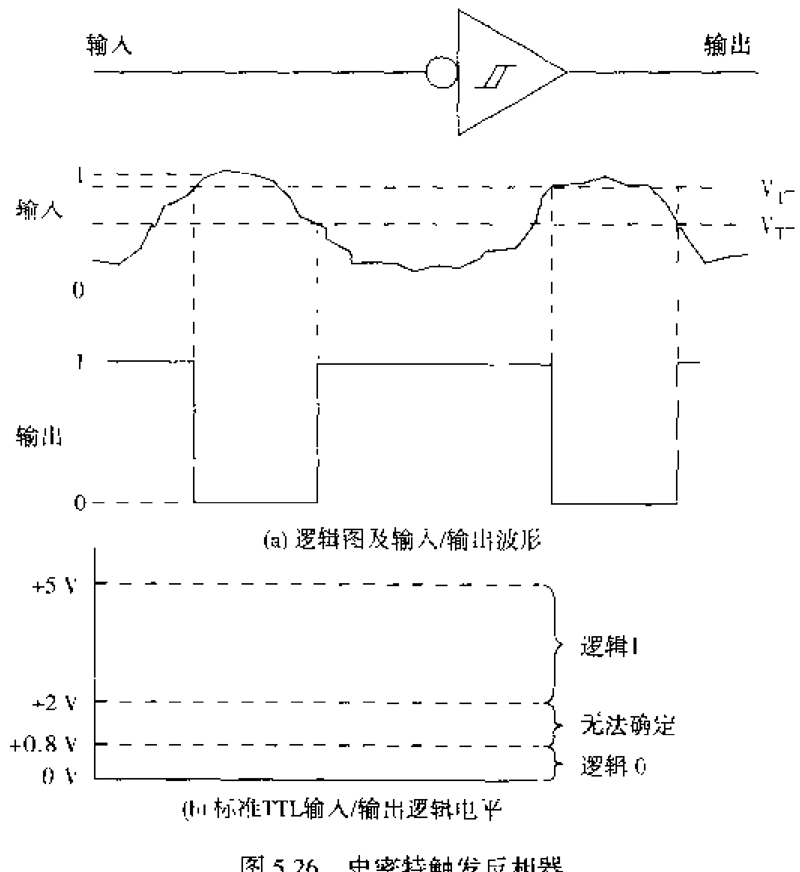


图 5.26　史密特触发反相器

5.4　检测 / 选择 / 分配逻辑电路

要点

给出一个逻辑控制电路的逻辑图及电路的输入，确定其输出。

5.4.1　BCD 无效和检测器

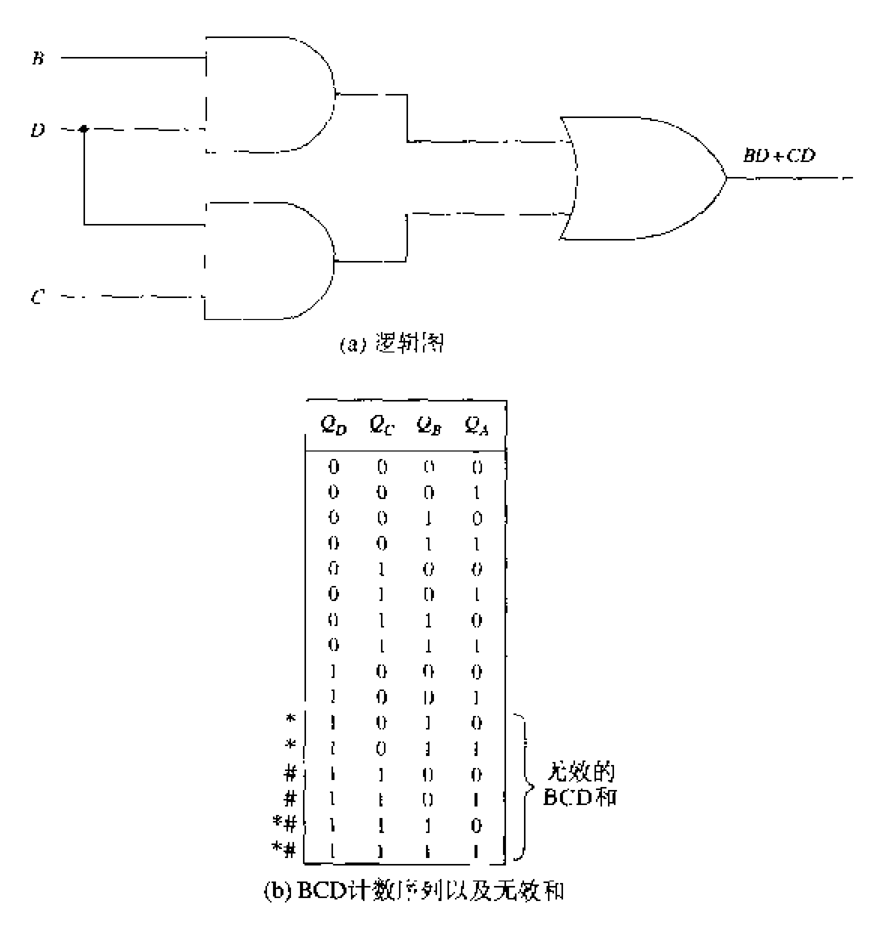
第2章中曾经讲述了二进制编码的十进制（BCD）数。为了说明为什么在BCD运算电路中经常会发生无效的BCD和，还曾经举了一个例子。这里，有另外一个例子：

$$
\begin{aligned}
&0110_{(BCD)} = 6_{(10)} \\
&\underline{+0111_{(BCD)}} = \underline{+7}_{(10)} \\
&1101 \quad = 13_{(10)}
\end{aligned}
$$

本例中的问题是，1101不是一个有效的BCD数。数据$13_{(10)}$的BCD形式是$0001\ 0011_{(BCD)}$。需要记住的是，一个BCD数是一组四位的二进制数，代表的是一个十进制数字。这样，BCD数就必须是从0到9之间的数，而四位二进制数却能够表示从0000到1111的数。也就是说，BCD加法器产生的和1010到1111都是无效的。这些无效的和必须被检查出来，并进行纠正，以使它们变得可以使用。图5.27(a)所示的组合逻辑电路能够用于解决这个检测问题，该电路实际上是一个很简单的组合逻辑电路。纠正该问题的解决方法将在第9章中讲解。

图5.27(a)所示电路的布尔表达式是$BD + CD$。需要牢记的是，该表达式写成高电平输出的形式，读为"当B和D为高电平，或C和D为高电平时，该电路产生高电平输出"。该表达式和逻辑电路解决了检测无效和的问题吗？

证明该电路检测无效和能力的最容易的办法是，将其表达式与一个计数序列表进行比较，该序列表如图5.27(b)所示。在表中，B和D为高电平的输入组合用"*"标记，C和D为高电平的输入组合用"#"标记。该逻辑电路在三种情况下会产生高电平输出，这包括了所有在1010到1111之间的计数或和。



(a) 逻辑图

	Q_D	Q_C	Q_B	Q_A
	0	0	0	0
	0	0	0	1
	0	0	1	0
	0	0	1	1
	0	1	0	0
	0	1	0	1
	0	1	1	0
	0	1	1	1
	1	0	0	0
	1	0	0	1
*	1	0	1	0
*	1	0	1	1
#	1	1	0	0
#	1	1	0	1
*#	1	1	1	0
*#	1	1	1	1

（后六行：无效的BCD和）

(b) BCD计数序列以及无效和

图5.27 BCD无效和检测器

5.4.2 数据选择/分配逻辑电路

图5.28所示的是一种实现数据选择器逻辑电路的方法。输入到该电路的数据是A_0B_0和A_1B_1。当然该电路可以扩展，以增加输入数据的位数。选择（S）输入用于选择A_0B_0或A_1B_1作为输出数据。

当"选择"输入端为低电平时，将选择A_0B_0数据并通过各自的有效与门传送。当$S = 0$时，A_1B_1与门禁止，当"选择"输入端为高电平时，将选择A_1B_1数据并通过各自的有效与门传送。

图5.28中上面的或门输出表达式是$\bar{S}\cdot A_0 + S\cdot A_1$，下面的或门表达式为$S\cdot B_0 + S\cdot B_1$。该电路能够用于在两个输入线之间分时共享一条输出线。这种选择数据的处理在数字系统中称为多路数据选择（multiplexing）。

如图5.29所示的是数据分配器组合逻辑电路。串行数据D_0、D_1、D_2和D_3以给出的频率传送到数据输入线上。"选择"输入（S_1和S_0）用于控制哪一个与门工作。工作的与门会将输入数据传送

到输出端。"选择"输入可以用一个二进制加计数器来控制。在输入数据改变时，计数器的输出必须以相同的频率改变。

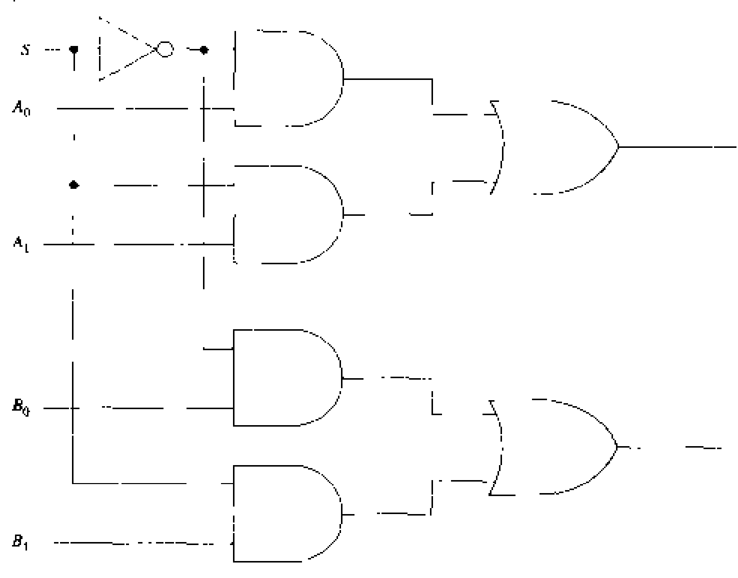


图 5.28 数据选择器逻辑电路

四个串行输入数据位将被传送到四条输出线上，其操作如下：$D_0 \cdot S_1\bar{S}_0$ 到与门 #0 的输出端；$D_1 \cdot S_1S_0$ 到与门 #1 的输出端；$D_2 \cdot S_1\bar{S}_0$ 到与门 #2 的输出端；$D_1 \cdot S_1S_0$ 到与门 #3 的输出端。注意输入数据是如何通过计数器进行二进制计数传送到选定的与门的。它们是使用 S_1 和 S_0 进行选择的。对于正确的电路工作过程而言，数据输入的时间划分和控制电路的选择是至关重要的。

如图 5.29 所示，数据分配器可以用来将串行数据转换为并行数据。在数字系统中，这种数据分配操作称为多路数据分配（demultiplexing）。

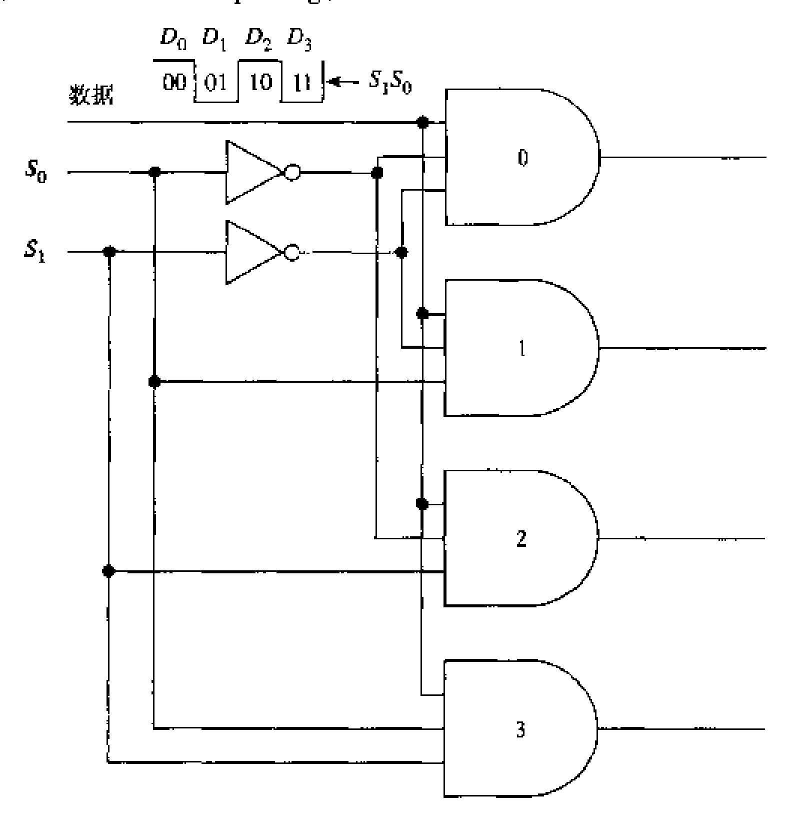


图 5.29 数据分配器逻辑电路

5.4 节复习题

A. 写出图 5.28 所示逻辑电路中两个或门输出的布尔表达式。

B. $S=1$，$A_0=B_0=1$，$A_1=B_1=0$ 时，图 5.28 所示逻辑电路输出的数据是什么？

C. 在数字系统中，术语“多路数据选择”指的是什么？

D. 术语“多路数据分配”指的是什么？

5.5　其他组合逻辑电路

要点

给出一个组合逻辑电路的逻辑图及其输入，确定电路的输出。

5.5.1　进位输出逻辑电路

第 7 章中详细讲述了二进制计数电路。为了分析进位输出（Carry Out）组合逻辑电路，在这里可以适当地先讲述有关的部分知识。

四位二进制加计数器的最大计数值为 $1111_{(2)}$，该计数值常称为计数终值。四位计数器一般都是从 0000 开始计数的，并在时钟的控制下顺序计数到 1111。有些电路在计数终值将产生 $\overline{\text{CARRY OUT}}$ 信号。该输出可以用于给另一个四位计数器提供控制信号。

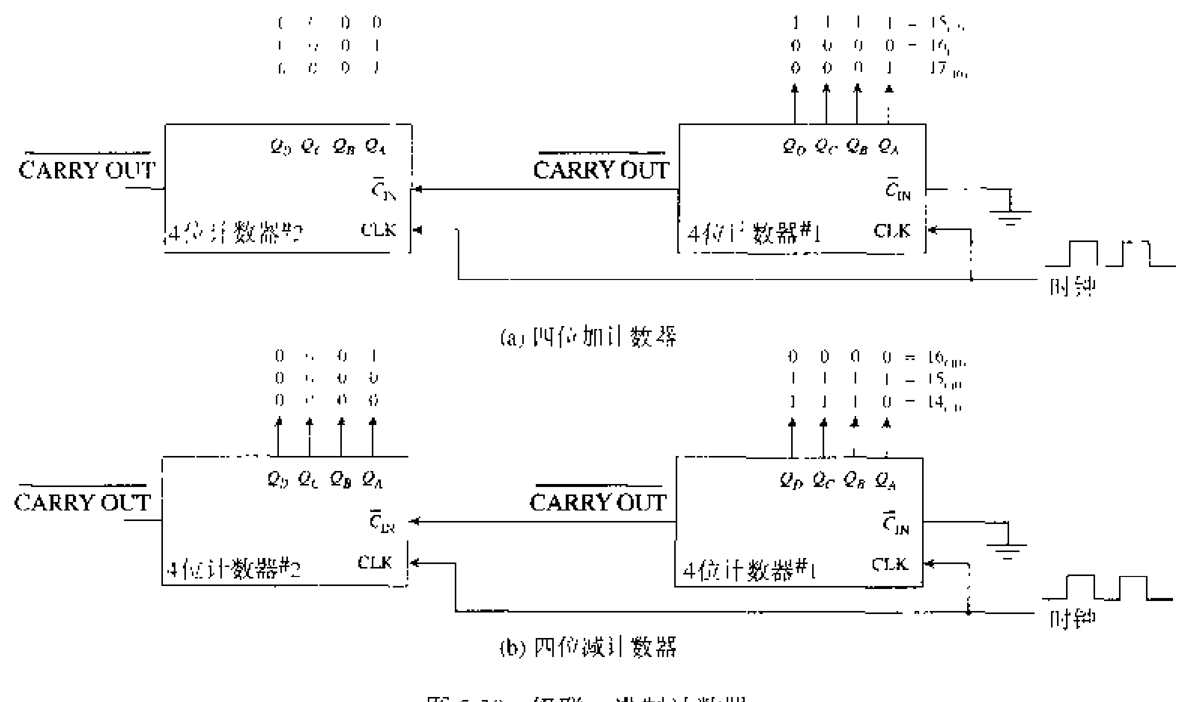
为了提高最大计数能力，可以将多个二进制计数器串联在一起。图 5.30(a) 显示了两个连接在一起的四位加计数器，这种串行连接称为级联。一个四位二进制加计数器能够与另一个四位二进制加计数器级联，这样最大计数值可以从 1111（$15_{(10)}$）增加到 1111 1111（$255_{(10)}$）。

图 5.30(a) 所示的电路显示了一个时钟输入信号在每个计数器上产生的加计数输出。为了使每个计数器计数，输入到每个计数器的 $\overline{\text{CARRY IN}}$（$\overline{C_{in}}$）信号必须为低电平。计数器 #1 的 $\overline{C_{in}}$ 端接低电平。该加计数器的计数值每个时钟脉冲将递增一个计数。来自计数器 #1 的 $\overline{\text{CARRY OUT}}$ 信号直到计数终值为 1111 时才会变为低电平。对于计数值 1111，$\overline{\text{CARRY OUT}}$ 信号有效（变为低电平），计数器#2在下一个输入时钟脉冲到来时增加一个计数，这将使计数值由 $0000\ 1111_{(2)}$ 变为 $0001\ 0000_{(2)}$（15 到 $16_{(10)}$）。在图 5.30(a) 中，计数器的 Q 输出端标出了计数值 15，16 和 17。

图 5.30(b) 中的级联计数器是减计数器。一个四位二进制减计数器的计数终值为 0000。此类计数器通常是从 1111 开始计数到 0000 的。因此，$\overline{\text{CARRY OUT}}$ 信号在计数到 0000 时被激励，以产生一个信号给下一个四位减计数器。这个被激励的信号将使计数器 #2 降低一个计数值。这是下一个计数器的有效借位输出。例如，下一个计数值由 0001 0000 变为 $0000\ 1111_{(2)}$。这样，计数值为 0000 时激励 $\overline{\text{CARRY OUT}}$ 信号，使计数器由 16 减少为 $15_{(10)}$。

图 5.31(a) 中的电路框图表示的是一个二进制编码的十进制（BCD）加计数器。前面对四位加计数器进行解释的原则可以用于本电路。区别只有一个，该 BCD 加计数器的计数终值为 1001。如果一个 BCD 加计数器与另一个 BCD 加计数器级联，则计数能力可以提高到 $1001\ 1001_{(BCD)}$（$99_{(10)}$）。

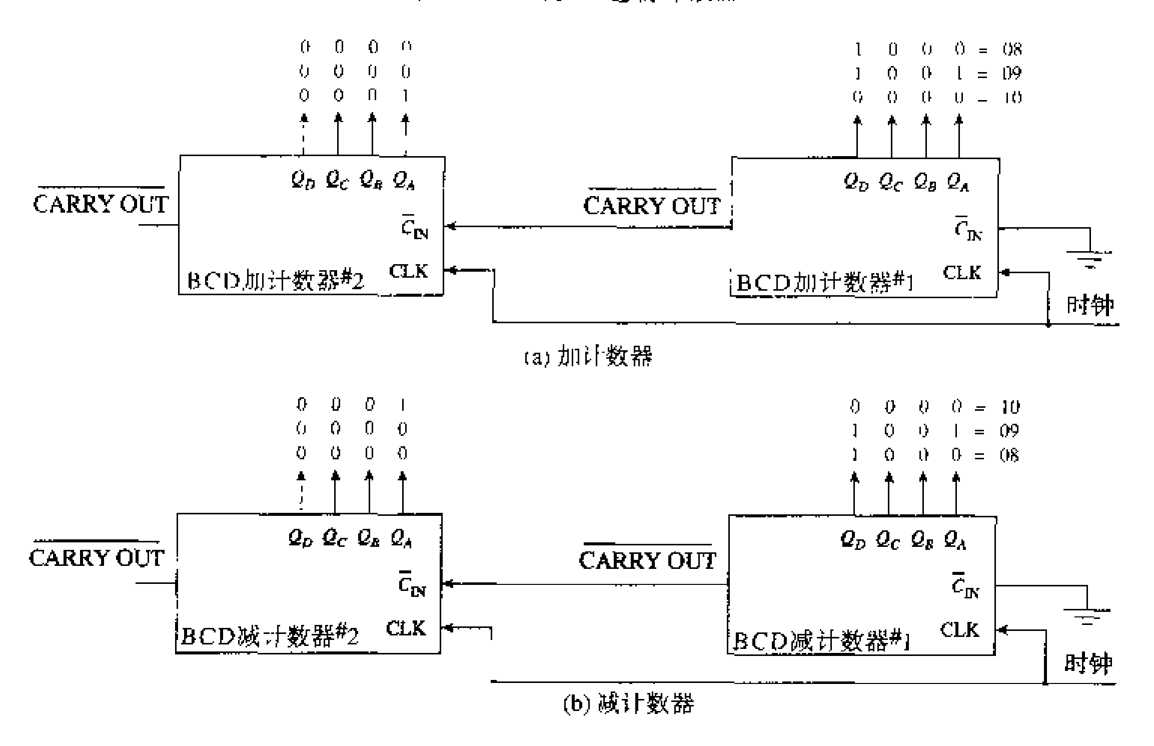
BCD 计数到达 1001 时，$\overline{\text{CARRY OUT}}$ 信号将使 BCD 计数器 #2 由 <u>0000</u> $1001_{(BCD)}$ 变为 <u>0001</u> $0000_{(BCD)}$。产生的 BCD 计数值等于十进制的 09 和 10，这些计数值标在图 5.31(a) 中。



(a) 四位加计数器

(b) 四位减计数器

图 5.30 级联二进制计数器



(a) 加计数器

(b) 减计数器

图 5.31 级联 BCD 计数器

图 5.31(b)中的级联 BCD 减计数器的计数终值为 $0000_{(BCD)}$。该 BCD 计数终值将使 $\overline{\text{CARRY OUT}}$ 信号被激励，并使图 5.31(b)中的 BCD 减计数器 #2 的计数值降低一个计数值。在下面讨论的控制电路中，该 BCD 工作模式称为减计数模式。

这里的分析是为组合逻辑电路准备的，它将在计数终值产生一个低电平有效的 $\overline{\text{CARRY OUT}}$ 信号。该信号是在减计数器计数到 0000，四位二进制加计数器计数到 1111，BCD 加计数器计数到 1001 时产生的。

图5.32(a)所示的组合逻辑电路用于产生低电平有效的CARRY OUT信号。此处需要记住一些要点：除非 $C_{in}=0$，否则计数器将不会进行计数；逻辑门#1、#2和#3在减计数时广泛使用；逻辑门#4到#9广泛用在加计数器中。图5.32(b)用一些可替换逻辑门符号重画了上面的电路。

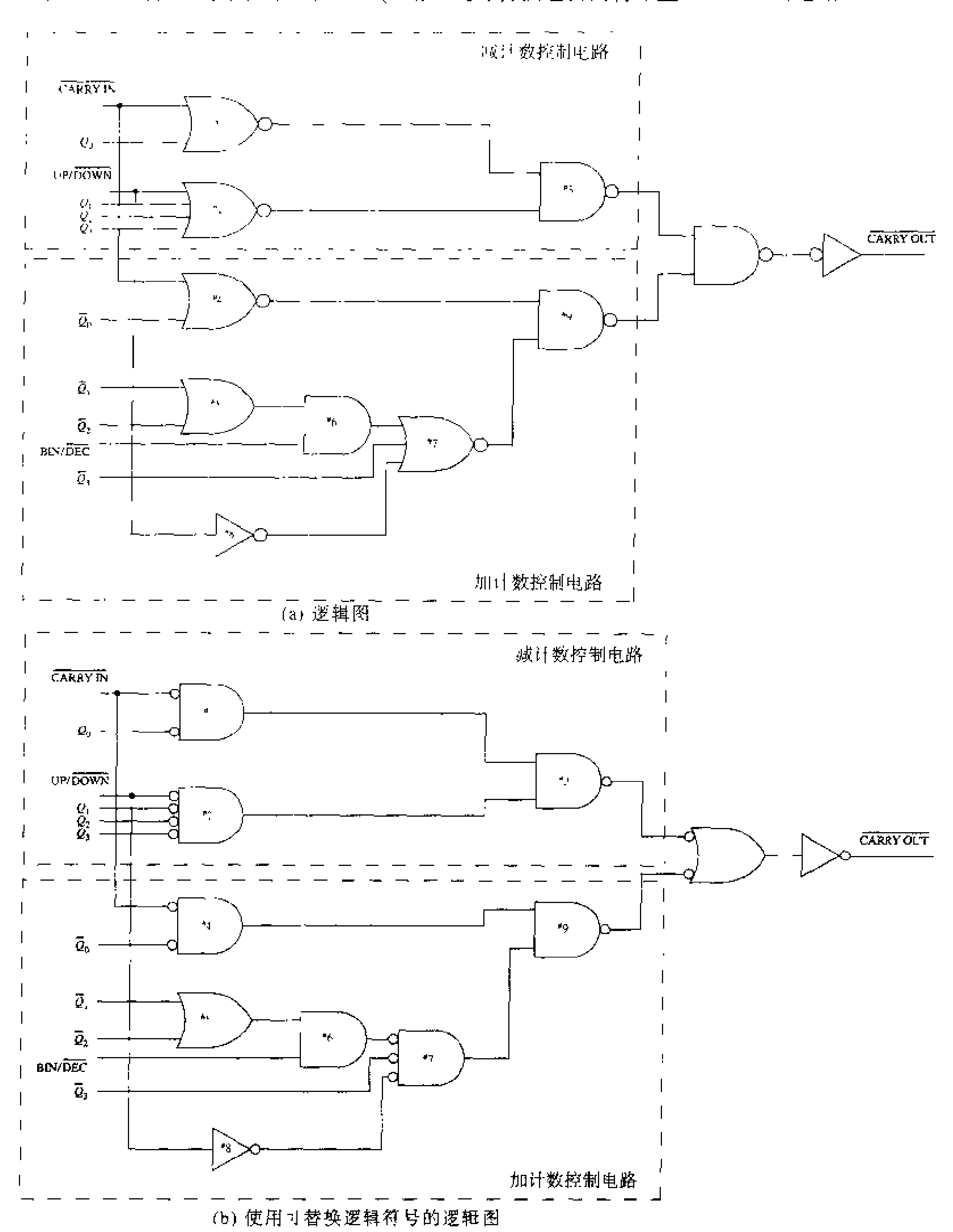


图5.32 进位输出控制电路

四位二进制加计数

图 5.33 中标出了图 5.32(b)的四位二进制加计数的输入逻辑电平。满足下述输入条件时，图中的 $\overline{\text{CARRY OUT}}$ 信号被激励：

$C_{in} = 0$;
$\text{BIN}/\overline{\text{DEC}} = 1$
$\text{UP}/\overline{\text{DOWN}} = 1$
$Q_3 \sim Q_0 = 1111$（计数终值）

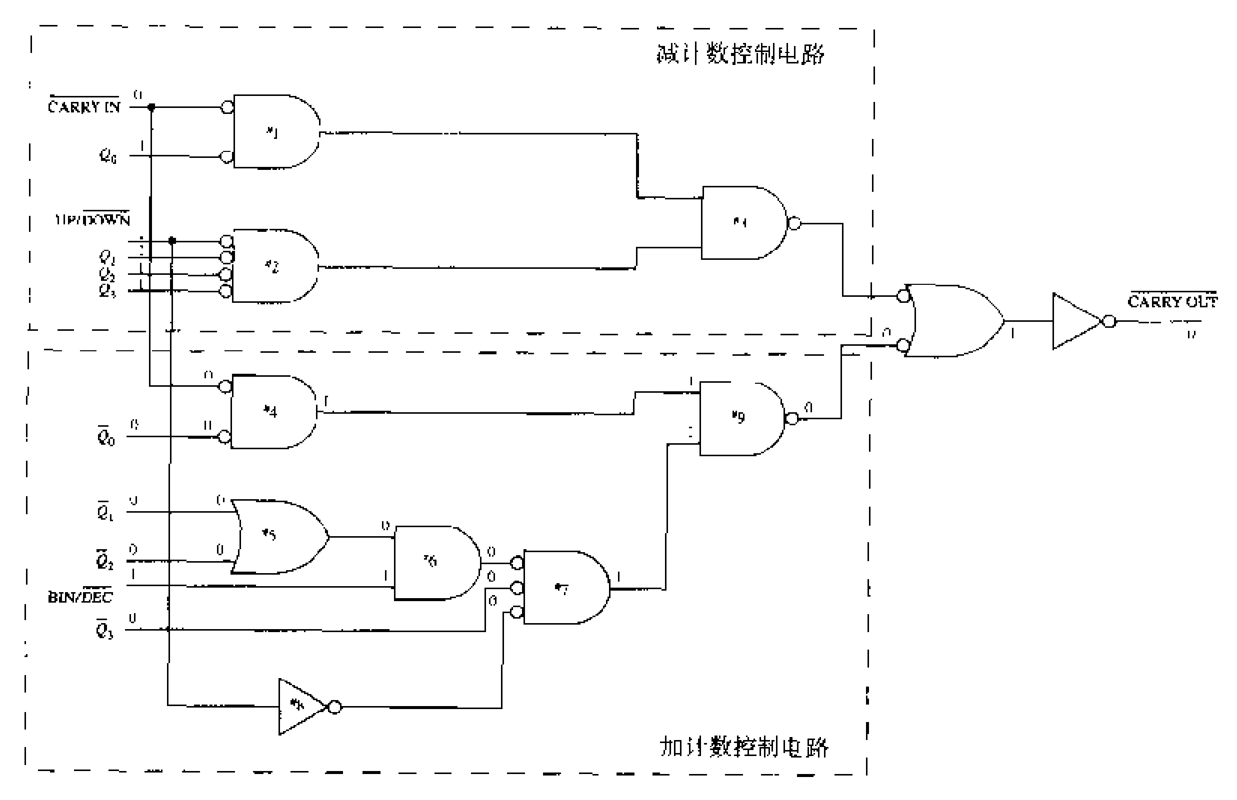


图 5.33　进位输出控制电路，四位二进制加计数操作

图 5.33 中的 $\text{UP}/\overline{\text{DOWN}}$ 信号经非门（#8）反相后，输入 $\text{UP}/\overline{\text{DOWN}} = 1$ 将使或非门（#7）工作，输入 $\text{BIN}/\overline{\text{DEC}} = 1$ 将使与门（#6）工作。计数终值 1111 产生 $\overline{Q}_0 = 0$，$\overline{Q}_1 = 0$，$\overline{Q}_2 = 0$，$\overline{Q}_3 = 0$。满足这些条件时，图 5.33 中标出的逻辑电平将使 $\overline{\text{CARRY OUT}}$ 信号变为低电平。

减计数

在进行减计数操作时，需要用下面的输入信号（图 5.34）来激励 $\overline{\text{CARRY OUT}}$ 信号：

$\overline{C}_{IN} = 0$;
$\text{BIN}/\overline{\text{DEC}} = \text{X}$
$\text{UP}/\overline{\text{DOWN}} = 0$
$Q_3 \sim Q_0 = 0000$（计数终值）

注意，输入 $\text{UP}/\overline{\text{DOWN}} = 0$ 通过禁止逻辑门 #7 去掉了图中的下半部分（加计数控制电路中的逻辑门 #4 到 #9）。逻辑门 #7 的低电平输出禁止了逻辑门 #9。

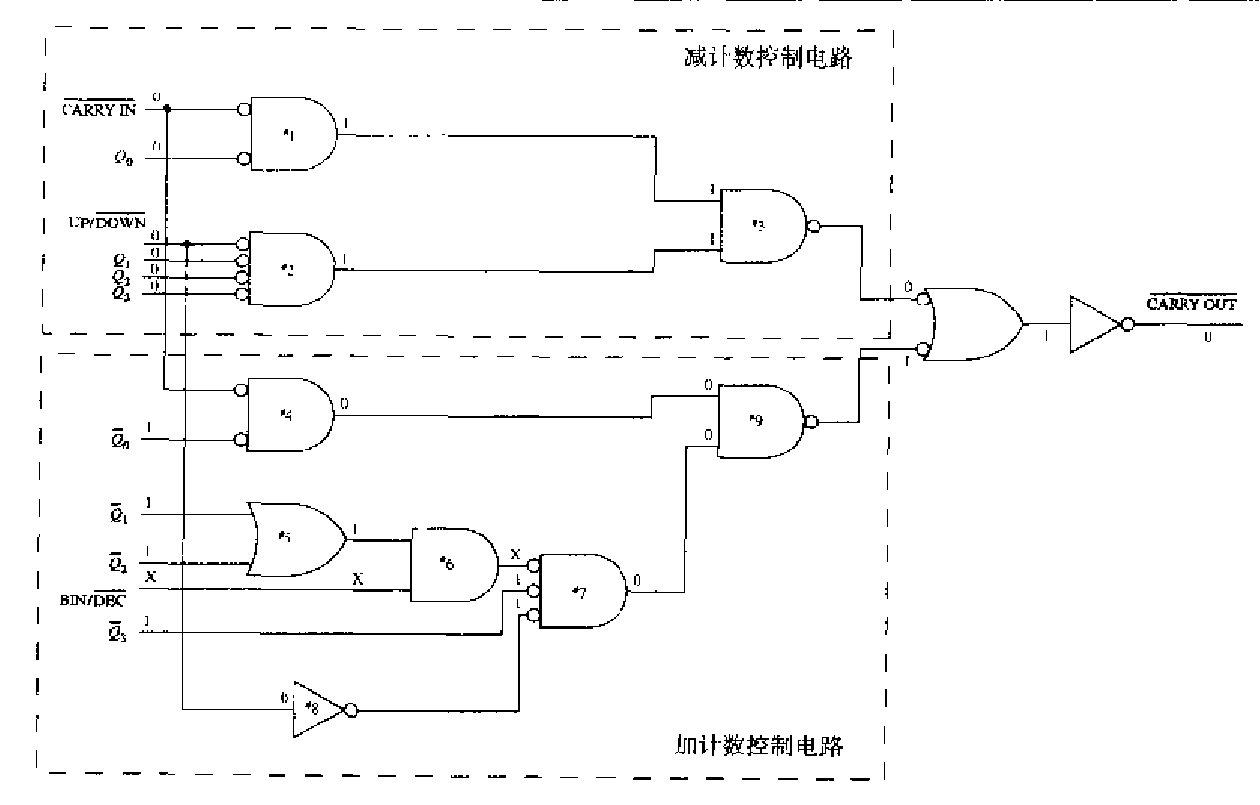


图5.34 进位输出控制电路，减计数操作

产生$\overline{\text{CARRY OUT}}=0$的逻辑电平标在了图5.34中。该减计数配置要求$Q_3$~$Q_0$=0000，因为计数终值要求激励$\overline{\text{CARRY OUT}}$。注意，在减计数配置中，因为或非门（#7）被信号UP/$\overline{\text{DOWN}}$ = 0禁止，所以输入BIN/DEC是一个无关输入。需要记住的是，在BCD和二进制减计数中，计数终值都是0000。在下一节中，该工作模式将被用于检测控制电路的故障。

BCD加计数

图5.35中标出了在BCD加计数时激励$\overline{\text{CARRY OUT}}$所需要的输入条件。正常的BCD加计数将产生如下的计数：

Q_3	Q_2	Q_1	Q_0	
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	（计数终值）
0	0	0	0	

计数值表明，在达到计数终值时，$Q_0=1$，$Q_3=1$。在此期间，$\overline{Q}_0=0$，$\overline{Q}_3=0$。在二进制加计数时，这两个输入可以确定，门#4和#7的计数终值是1001，而不是1111。

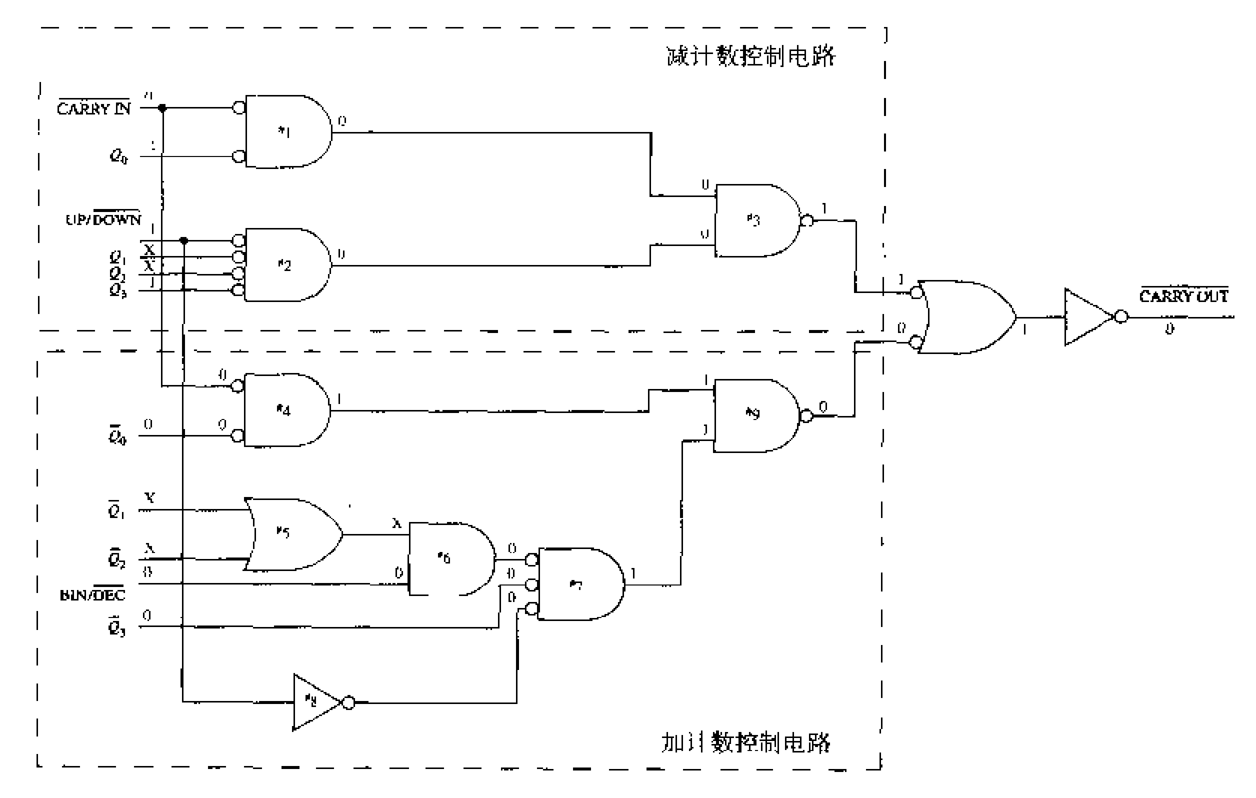


图 5.35　进位输出控制电路，BCD 加计数操作

BCD 加计数工作过程的输入条件为：

$$\overline{C}_{in} = 0;$$
$$BIN/\overline{DEC} = 0$$
$$UP/\overline{DOWN} = 1$$
$$\overline{Q}_0 \sim Q_3 = 0 \text{（计数终值为 1001）}$$

在二进制加计数工作过程中，输入到或门 #5 的 $\overline{Q}_1$ 和 $\overline{Q}_2$ 用于指示何时到达计数终值 1111。由于与门 #6 被输入 BIN/$\overline{DEC}$ = 0 禁止，所以在如图所示的配置中，这两个输入是无关输入。这使得计数值到达 1001 时，就产生一个低的 $\overline{CARRY\ OUT}$ 信号。

5.5.2　ROM 地址译码器逻辑电路

在 3.10 节中，已经讲解了在计算机中选择和寻址只读存储器（ROM）芯片的一些基本概念。图 5.36 中所示的电路对这些概念进行了扩展。回顾一下第 3 章中解释基本 ROM 寻址的有关内容占用不了多长时间，但对于下面的讨论却很有利。

图 5.36 所示的电路将第 3 章中电路的存储能力扩展为 6 个 ROM 芯片。与非门 #2 到 #7 用于选择所需的ROM芯片。在这些与非门工作前，必须先满足两个条件。地址位 A_{16} 到 A_{19} 必须是高电平，以便在各自的页地址与非门中产生一个低电平输出。如果存储器读信号（$\overline{MEMR}$）为低电平，则这个页地址 F（$1111_{(2)}$）可以允许与其中的某一片 ROM 芯片进行通信。页地址与非门输出的低电平信号产生了一个 ROM Page（$\overline{ROMPG}$）信号，该信号被转化为高电平信号后，再加到与门 #8 上。低电平信号 $\overline{MEMR}$ 也进行了转换并也被加到与门#8上。当 A_{16} 到 A_{19} 都是高电平，$\overline{MEMR}$ 是低电平时，与门 #8 的输出为高电平。这个高电平信号使所有译码与非门工作。如果页地址不是 1111 或 $\overline{MEMR}$ 不为低电平，则所有译码逻辑门的输出都将被禁止。

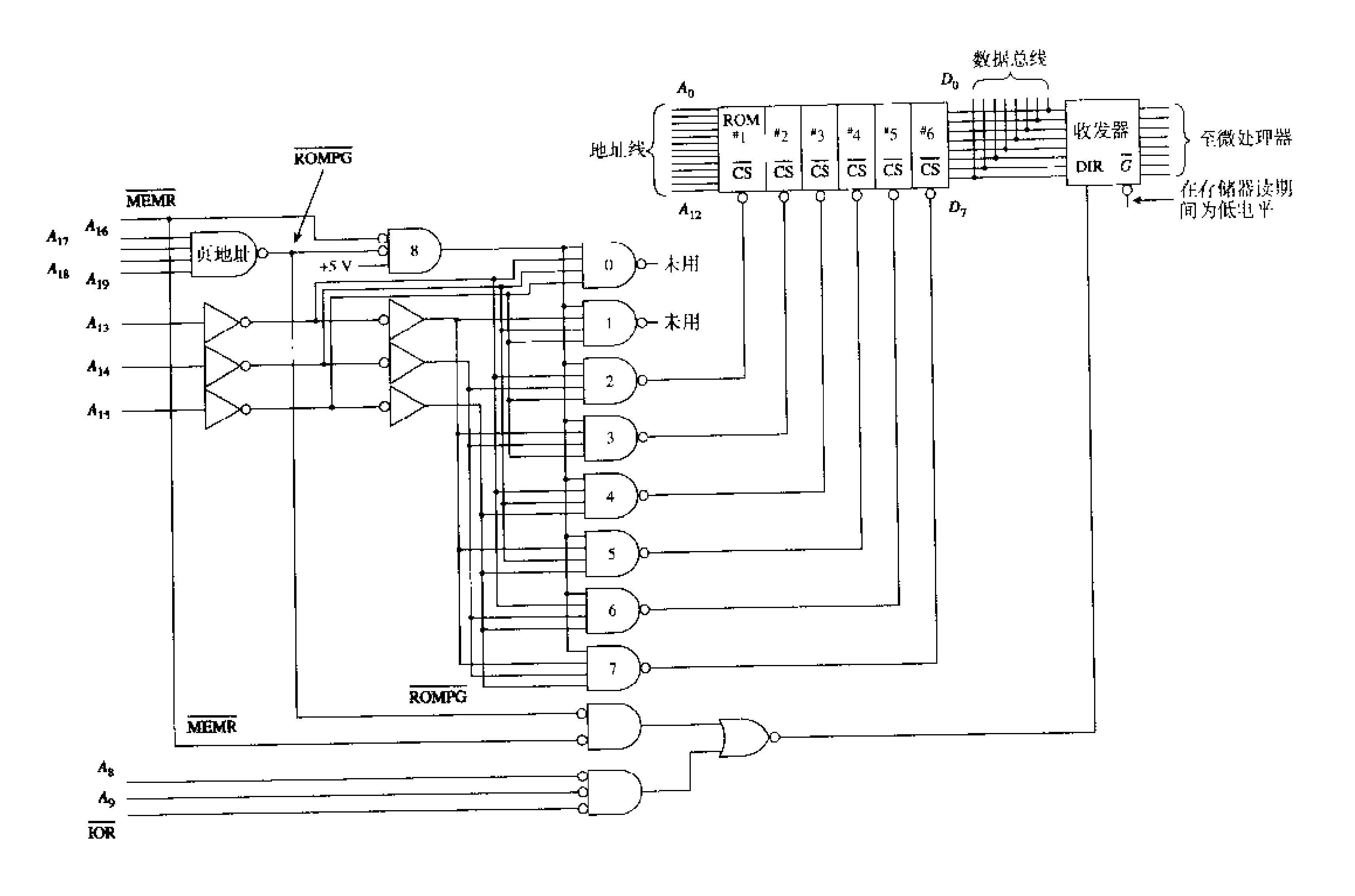


图 5.36　ROM 地址译码逻辑电路

图5.36中的地址输入位A_{13}，A_{14}和A_{15}选择并激励适当的译码逻辑门输出。如果这三个地址位均为高电平，分析逻辑电平可以看出与非门#7的输出被激励（低电平）。由于ROM芯片#6上的片选信号（$\overline{CS}$）= 0，所以选择了该芯片。其他的地址输入线（A_0~A_{12}）用于在被选中的ROM芯片中选择特定的存储位置。

当正确的ROM芯片被选中并且地址信号也被加到该芯片上时，数据（D_0~D_7）就放在数据总线上了。收发器（transceiver）芯片上的输入使能信号$\overline{G}$引脚和DIR输入引脚必须均为低电平才可以使该芯片工作，这样才能将数据从ROM存储器单元传输到微处理器中。收发器是一个发送/接收电路，在芯片工作时，该电路允许数据从一个方向或反方向进行传输。数据传输方向由信号DIR控制。当输入信号$\overline{G}$为高电平时，微处理器由收发器从总线上断开。

经过收发器的数据传输方向由图中译码与非门（#0~#7）下面的三个或非门控制。当输入引脚DIR的信号为低电平时，数据流是从左至右通过收发器的。由于与非门#7正下方的或非门的输入$\overline{ROMPG}$ = 0，$\overline{MEMR}$ = 0，所以在ROM读操作期间，该条件是满足的。该或非门的高电平输出信号禁止了下面一个或非门并使DIR输入为低电平。当$\overline{IOR}$ = 0，并且地址位A_8和A_9为0时，在输入/输出读（$\overline{IOR}$）操作期间，该条件同时也存在。在有些系统中，地址位A_8和A_9用于使能一个支持芯片译码器进行I/O芯片选择操作。

该ROM地址译码逻辑电路仅仅包括了输入/输出读（$\overline{IOR}$）和存储器读（$\overline{MEMR}$）输入信号，这些信号可以由图5.37所示的组合逻辑电路产生。

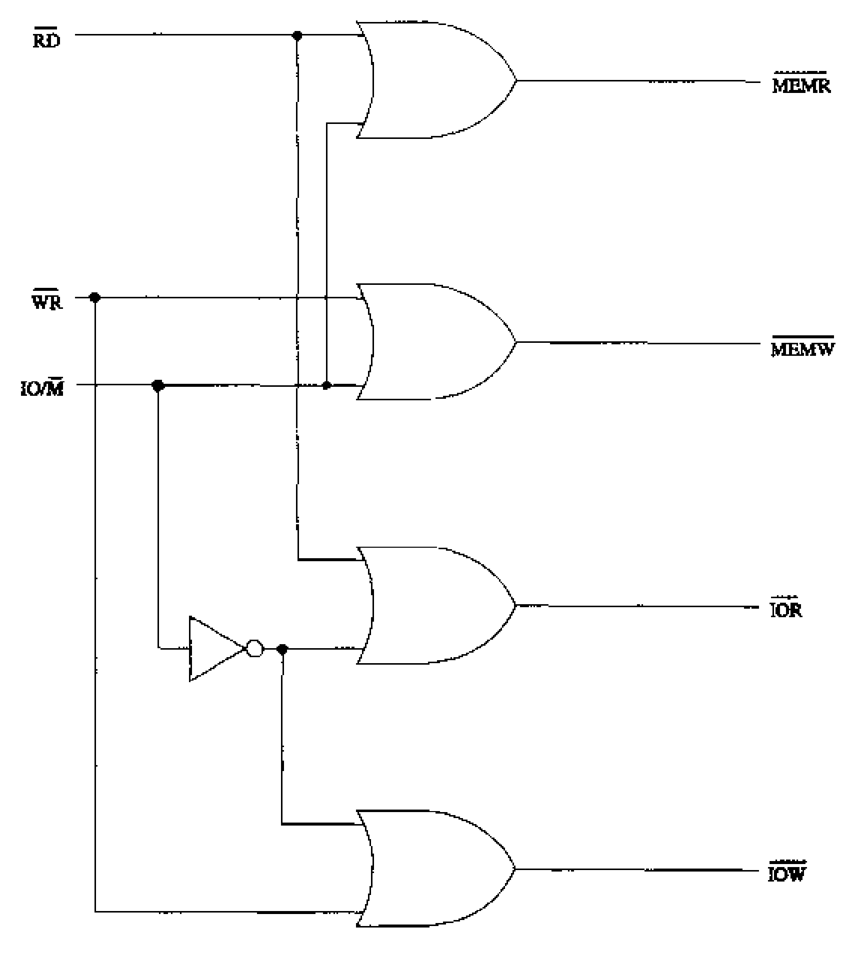


图5.37 存储器和I/O的读/写信号

这些信号是由三个微处理器输出信号产生的，微处理器输出信号为读（$\overline{RD}$）、写（$\overline{WR}$）和输入/输出存储器（$IO/\overline{M}$）。$\overline{RD}$是一个低电平有效信号，当该信号为低电平时，可以用于指示该微处理器正在读一个I/O或存储器单元。当$\overline{WR}$信号有效时，指示该微处理器正在向一个I/O或存储器单元进行写操作。信号IO/M可以识别当前的微处理器是作为I/O读写还是作为存储器进行操作。

在图5.37中，这三个微处理器信号用于产生存储器芯片或I/O设备的读或写信号。该电路的操作非常简单，不必进行解释。

5.5节复习题

A. 在图5.32(b)中，当$\overline{CARRY\ IN}=0$、$UP/\overline{DOWN}=1$，$BIN/\overline{DEC}=1$时，所选的操作模式是什么？

B. 在图5.32(b)中，当$\overline{CARRY\ IN}=0$，$UP/\overline{DOWN}=0$，$BIN/\overline{DEC}=0$时，所选的操作模式是什么？

C. 在图5.32(b)中，当$\overline{CARRY\ IN}=1$时，图中的电路会如何？

D. 为了使信号$\overline{ROMPG}$有效，应该对图5.36中的ROM地址电路使用什么样的地址？

E. 当$\overline{MEMR}=0$并且

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}
1	1	1	1	0	0	1	X

时，图5.36中的哪一个ROM芯片将被选中？

F. 当$\overline{MEMR}=0$并且

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}
1	1	1	1	1	0	0	X

时，图5.36中的哪一个ROM芯片将被选中？

G. 当$\overline{MEMR}=0$并且

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}
0	0	0	0	1	1	1	X

时，图5.36中的哪一个ROM芯片将被选中？

H. 定义收发器。

I. 在图5.37中，当微处理器的输出信号为$\overline{RD}=0$，$\overline{WR}=1$，$IO/\overline{M}=0$时，$\overline{MEMR}$，$\overline{MEMW}$，$\overline{IOR}$和$\overline{IOW}$上的输出电平是多少？

5.6　故障诊断

要点

1. 给出组合逻辑电路中一个问题或故障的描述，确定最可能的输出结果。
2. 给出一个有问题的组合逻辑电路的错误输出，确定最有可能的故障。

5.3节、5.4节和5.5节详细提供了大量组合逻辑电路工作过程的例子，这些例子中讲述的知识对于本节要说明的故障诊断是非常必要的。在试图诊断故障之前，技术人员必须知道电路在正常情况下应该如何工作。

在这里，前面讲述的进位控制电路将作为故障诊断的例子。本节对该进位控制电路的一种工作模式进行了详细的分析。在完全掌握进位控制电路的这种工作模式的故障诊断后，就可以完成其他三种工作模式的分析，然后可以将这些分析与本节后面的总结表进行对比。如果不想阅读本节的其余部分，也可将已掌握的知识和分析技巧与故障诊断总结表中的结果进行比较，该表列举了每一种工作模式的情况。表5.2中列举的是加计数工作模式中可能出现的各种问题，如果在分析时遇到此类问题，建议阅读下面的信息。

表5.1列出了控制输入模式。对于给出的计数（二进制或BCD计数和加或减计数），利用该模式可以建立正确的电路工作过程。控制电路如图5.38所示。与图5.32(b)所示的电路相比，为了更容易用现有的集成电路芯片实现控制功能，该电路进行了少量的修改。

表5.1 进位输出控制电路模式控制

BIN/$\overline{\text{DEC}}$	UP/$\overline{\text{DOWN}}$	$\overline{C}_{in}=0$ 时的工作模式
X	0	BCD/四位二进制加计数（注1）
0	1	BCD加计数（注2）
1	1	四位二进制减计数（注3）

注1：Q_3~Q_0 = 0000时，$\overline{C}_{out}=0$

注2：Q_3~Q_0 = 0000时，$\overline{C}_{out}=0$（第一次出现在计数值为1001时）

注3：Q_3~Q_0 = 1111时，$\overline{C}_{out}=0$

在控制电路的Q_3，Q_2，Q_1和Q_0输入端接一个计数器。该计数器能够以二进制或BCD形式加或减计数。对该电路而言，输入信号$\overline{\text{CARRY IN}}$（$\overline{C}_{in}$）必须为低电平，以保证电路能够工作于四种工作模式中的任何一种。如果$\overline{\text{CARRY IN}}$ = 1，则图5.38中的或非门7402的引脚1和引脚4的输出将为低电平。这两个信号将禁止两个7400或非门，造成引脚3和引脚6为高电平。这些信号还将在与非门的引脚8上产生一个低电平。这个低电平再经过非门的反相，在引脚4上产生一个高电平信号。可见，条件$\overline{\text{CARRY IN}}$ = 1将禁止$\overline{\text{CARRY OUT}}$（$\overline{C}_{out}$）信号变为低电平。

5.6.1 减计数操作

为了建立减计数模式下的正常工作过程，只要$\overline{\text{CARRY IN}}$= 0和UP/$\overline{\text{DOWN}}$ = 0，则输入信号BIN/$\overline{\text{DEC}}$既可以是低电平也可以是高电平（即X，无关输入）。如果这种电路出现问题，技术人员应该首先试着对减控制电路或加控制电路进行故障隔离。有时，这并不是一件简单的事情，因为7402或非门在加和减部分都用到了。但是在解决问题时，至少应该检测每个相关集成电路芯片的V_{CC}和电源地。记住，$\overline{C}_{out}$只是在计数终值0000时才应该变为低电平。控制电路可能出现的全部问题都列在图5.38中。

7402的引脚2或引脚3

如果7402的引脚2或引脚3是断开的，则$\overline{\text{CARRY OUT}}$信号将不会变为低电平。断开引脚2与使$\overline{\text{CARRY IN}}$ = 1的效果完全一样。但是，给输入信号UP/$\overline{\text{DOWN}}$上加一个低电平，将其反相并加到三输入或非门7427上，该输入信号就会使或非门7427禁止，并在引脚12上产生一个低电平信号。这个低电平信号加到与非门的引脚5上，使该与非门禁止，并在引脚6上产生一个高电平，强迫该逻辑门的引脚8变为低电平。由于逻辑门7400的两个输入引脚均为高电平，所以，$\overline{C}_{out}$不会变为有效的低电平信号。

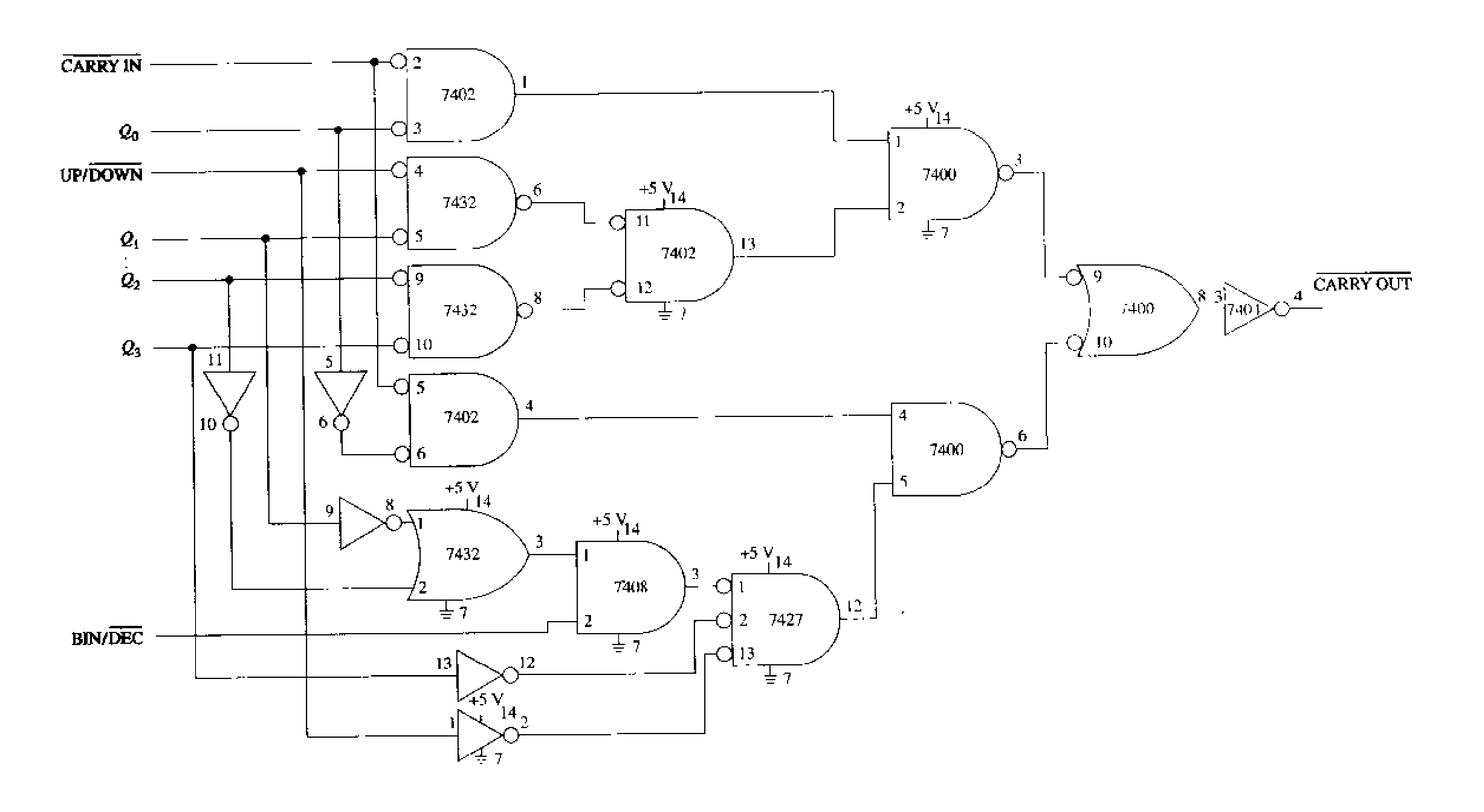


图 5.38　进位输出控制电路

7402 的引脚 1

当输入或非门的引脚 1 断开时，产生的结果会略有不同。$\overline{C}_{out}$信号在计数值为 0001 和 0000 时都会成为有效信号（低电平信号）。当 BCD 计数值为 0001 时，将产生一个错误的低电平输出信号。产生这种错误的原因是 7400 与非门引脚 1 上的输入处于悬空状态（表现为高电平信号）。只要 $Q_1=Q_2=Q_3=0$，该逻辑门的引脚 2 就为高电平。这种情况在计数值为 0000 和 0001 时都会出现。

7402 的引脚 4，5 或 6

芯片 7402 的引脚 4，5 和 6 中的任何一个断开时都和高电平一样。由于 7402 的这个部分是加计数器控制电路的一部分，所以，只要该电路是在减计数工作过程中，如果这三个引脚中任何一个断开，则观察到的还是正常的工作过程。

7402 的引脚 11，12 或 13

如果 7402 或非门的输入引脚 11 或引脚 12 中有一个是断开的，则 $\overline{C}_{out}$ 将不会变为低电平，因为在所有的计数情况下，或非门的输出都将保持为低电平。因此，与非门被禁止，而且其引脚 3 的输出一直保持在高电平状态。这个高电平和与非门引脚 6 输出的高电平一起，将使引脚 8 的输出一直为低电平。所以，$\overline{C}_{out}$ 将不会变为低电平。

如果 7402 的引脚 13 断开，由于 7400 与非门的引脚 2 悬空，所以对于每一个偶计数值，在 $\overline{C}_{out}$ 上输出的都是低电平信号。因为对于每一个偶计数值，7400 与非门的引脚 1 都变为高电平，所以只要是偶计数值，引脚 3 上都将产生一个低电平信号。

7402 的引脚 7 或引脚 14

当接地引脚（引脚 7）或电源引脚（引脚 14）断开时，对于所有的计数值，$\overline{C}_{out}$ 都将保持为有效电平（即低电平）。当接地信号或电源 V_{CC} 信号从或非门上去掉时，7400 与非门的引脚 3 将一直为低电平。这将禁止输出与非门，使该逻辑门的输出为高电平。这个高电平输出信号经非门反相，从而使 $\overline{C}_{out}$ 对于所有的计数值都保持为低电平。由于电源和接地问题应该在故障诊断的开始就进行，所以此类问题应该在故障诊断开始时就能够判断出来。

7432 的引脚 1，2 或 3

因为或门 7432 设置为减计数方式，所以该电路的问题将不会影响到电路的工作过程。7427 或非门被经过反相的引脚 13 上的输入信号 $UP/\overline{DOWN}=0$ 所禁止，因此，7427 的引脚 1 和引脚 2 成为该设置情况下的无关项。

7432 的引脚 4，5 或 6

或门 7432 的引脚 4，5 或 6 断开将阻止 $\overline{C}_{out}$ 在计数终值时变为低电平。引脚 4 或 5 中有一个断开就将禁止该或门，引脚 6 将表现为高电平，7402 或非门的引脚 11 也将保持为高电平。当 7432 的引脚 6 断开时，也会出现同样的情况，因为或非门的引脚 11 悬空了。在引脚 11 悬空或为高电平时，在引脚 13 上将产生一个低电平，它将禁止与非门，并在该逻辑门的引脚 3 上产生一个高电平信号。这个高电平信号加到与非门的引脚 9 上，并且在引脚 10 上再加上一个高电平信号。引脚 10 上的高电平信号是由输入 $UP/\overline{DOWN}$ 为低电平造成的。引脚 9 和 10 上的高电平输入使引脚 8 的输出保持为低电平，并使 $\overline{C}_{out}$ 在各种计数值时都表现为高电平。

7432 的引脚 8，9 或 10

与上面例子中的道理相同，当或门 7432 的引脚 8，9 或 10 断开时，C_{out} 将一直为无效信号。

7432 的引脚 7 或 14

接地问题或电源问题将使电路的工作过程变得不稳定。去掉 V_{CC} 将使 $\bar{C}_{out}$ 信号在任何计数值时都表现为高电平（无效信号）。

7408 的引脚 1，2，3，7 或 14

在减计数情况下，与门 7408 出现问题时将不会影响到电路的工作过程。

7400 的引脚 1，2 或 3

如果与非门 7400 的引脚 1 断开，则在计数值为 0001 和 0000 时，$\bar{C}_{out}$ 引脚上将产生一个低电平信号。这种情况可以参考对 7402 引脚 1 断开问题的详细讨论。如果 7400 的引脚 2 断开，则对于全部的偶计数，C_{out} 都表现为低电平。这种情况也可以参考对 7402 引脚 13 的讨论。如果 7400 的引脚 3 断开，则会阻止 $\bar{C}_{out}$ 在计数终值时变为低电平。在正常的减计数操作期间，7400 与非门的引脚 10 应该为高电平。该逻辑门的引脚 3 断开会造成引脚 9 处于悬空状态。这两个高电平输入将使引脚 8 在各种计数值情况下都是低电平，并使 $\bar{C}_{out}$ 对于全部的计数值都保持在高电平状态。

7400 的引脚 4，5 或 6

在减计数时，7400 与非门的引脚 5 为低电平，该逻辑门被禁止，引脚 6 为高电平，使输出与非门工作。因此，引脚 4 或引脚 6 断开时，电路仍将处于正常工作状态，在计数终值 0000 时 $\bar{C}_{out}$ 将变为有效电平。

如果引脚 5 断开，则在所有计数值为奇数时，C_{out} 将为有效电平（低电平）。另外，在计数终值 0000 时，$\bar{C}_{out}$ 也为低电平。因为该电路不存在故障，所以在计数终值时产生这个低电平是减控制电路工作过程的正常结果。不过，引脚 5 断开可以使该与非门工作。7402 或非门的引脚 6 在所有奇计数值时为低电平，所以在这些计数值时都将产生高电平信号，这使得与非门的引脚 6 在每个奇计数值时都会变为低电平。因此，C_{out} 在所有奇计数值和计数终值值时都将会变为低电平。

7400 的引脚 8，9 或 10

7400 与非门的某个输入或输出引脚断开都会造成三个很明显的问题。很容易就可以看出来，引脚 8 断开会使输出非门的输入处于悬空状态，并使 $\bar{C}_{out}$ 在所有计数值时都为低电平。当 $UP/\overline{DOWN}$ 为低电平时，由于引脚 10 正常情况下为高电平，所以如果引脚 10 断开，电路的工作过程仍是正常的。引脚 9 断开将阻止 $\bar{C}_{out}$ 在计数终值时变为有效电平。这是由于引脚 10 在减计数期间一直为高电平，而且引脚 9 悬空，这使得与非门的引脚 8 的输出保持为低电平，$\bar{C}_{out}$ 在所有计数值时都一直表现为高电平。

7400 的引脚 7 或 14

与前面的情况相似，接地引脚断开将造成电路工作过程的不稳定。在接地引脚断开时，电路有时也可能表现为正常工作过程。引脚 14 断开将使该与非门的输出不工作，这是和非门的输入引脚 3 的悬空状态相比较而言的，将造成 $\bar{C}_{out}$ 在所有计数值时都表现为低电平。

7427的引脚1，2，7，12，13或14

因为三输入或非门7427在减计数期间被禁止，所以该逻辑门的任何一个输入引脚断开，电路都仍然会正常工作。但是，对于所有奇计数值和计数终值值0000而言，输出引脚（引脚12）断开都将产生一个有效的 C_{out} 信号。这种情况可以参考对7400逻辑门引脚5的详细解释。

电源/接地（引脚14或7）引脚的问题将造成工作过程的不稳定，$\bar{C}_{out}$ 在不同的计数值时也将变为有效信号。这些引脚在故障诊断的前几步就应该被检测到。

7404非门

芯片7404中的大多数非门位于加计数控制电路中。这部分电路中出现的有关非门的问题对 $\bar{C}_{out}$ 信号没有什么影响。这些非门在减计数时确实会影响到 $\bar{C}_{out}$，下面对此进行讨论。

引脚1断开将在芯片7427的引脚13上产生一个低电平信号，7427在减计数期间是被禁止的。如果输入BIN/$\overline{\text{DEC}}$ 为低电平，且引脚1断开，则如表5.2所示，在某几个奇计数值时，$\bar{C}_{out}$ 将变为有效电平。非门的引脚3断开将使引脚4保持为低电平并使 $\bar{C}_{out}$ 在各种计数值时都保持为有效电平。引脚4断开将使 $\bar{C}_{out}$ 在所有计数值时都为无效电平。如果该非门的 V_{CC} 去掉，$\bar{C}_{out}$ 也将为无效电平。

表5.2是对上述故障讨论的总结。芯片的电源和接地引脚没有列在表中，因为这些问题有时会表现为电路工作过程的不稳定，有时则似乎什么问题也没有。

表5.2 故障诊断总结表——进位输出控制电路（减计数模式）

芯片	断开的引脚	$\bar{C}_{out}$ 故障现象－减计数
7402	1	计数值为0001和0000时为低电平
	2	对于所有计数值都为高电平
	3	对于所有计数值都为高电平
	4	正常工作
	5	正常工作
	6	正常工作
	11	对于所有计数值都为高电平
	12	对于所有计数值都为高电平
	13	对于所有偶计数值都为低电平
7432	1	正常工作
	2	正常工作
	3	正常工作
	4	对于所有计数值都为高电平
	5	对于所有计数值都为高电平
	6	对于所有计数值都为高电平
	8	对于所有计数值都为高电平
	9	对于所有计数值都为高电平
	10	对于所有计数值都为高电平
7408	1	正常工作
	2	正常工作
	3	正常工作
7400	1	计数值为0001和0000时为低电平
	2	对于所有偶计数值都为低电平
	3	对于所有计数值都为高电平
	4	正常工作
	5	对于所有奇计数值和计数终值都为低电平
	6	正常工作
	8	对于所有计数值都为低电平

（续表）

芯片	断开的引脚	$\bar{C}_{out}$ 故障现象 – 减计数
	9	对于所有计数值都为高电平
	10	正常工作
7427	1	正常工作
	2	正常工作
	12	对于所有奇计数值和计数终值都为低电平
	13	正常工作
7404	1	BIN/$\overline{DEC}$ = 1时，对于1111计数值和计数终值为低电平 BIN/$\overline{DEC}$ = 0时，对于1111、1101、1011、1001计数值和计数终值为低电平
	2	正常工作
	3	对于所有计数值都为低电平
	4	不工作
	5~13	正常工作

更详细的故障诊断分析可以将输入、输出引脚短路，并接高电平和低电平。但是，如果已经掌握了前面的分析，则没有必要再做这种花费时间的练习。

表5.3总结了图5.38所示控制电路的故障现象，此时该控制电路是按BCD加计数设置的。这种模式下，控制开关的设置如下：

$\overline{\text{CARRY IN}} = 0$

$\text{BIN}/\overline{\text{DEC}} = 0$

$\text{UP}/\overline{\text{DOWN}} = 1$

表5.4总结了四位二进制加计数设置模式可能出现的问题。这种模式下控制开关的设置如下：

$\overline{\text{CARRY IN}} = 0$

$\text{BIN}/\overline{\text{DEC}} = 1$

$\text{UP}/\overline{\text{DOWN}} = 1$

表 5.3　故障诊断总结表——进位输出控制电路（BCD 加计数模式）

芯片	断开的引脚	$\bar{C}_{out}$ 故障现象 – BCD 加计数
7402	1	正常工作
	2	正常工作
	3	正常工作
	4	计数值为 1000 和 1001 时为低电平
	5	对于所有计数值都为高电平
	6	对于所有计数值都为高电平
	11	正常工作
	12	正常工作
	13	对于所有偶计数值和计数终值都为低电平
7432	1~10	正常工作
7408	1	正常工作
	2	对于所有计数值都为高电平
	3	对于所有计数值都为高电平
7400	1	正常工作
	2	对于所有偶计数值和计数终值都为低电平
	3	正常工作
	4	计数值为 1000 和 1001 时为低电平

（续表）

芯片	断开的引脚	$\bar{C}_{out}$ 故障现象－BCD 加计数
	5	对于所有奇计数值都为低电平
	6	对于所有计数值都为高电平
	8	对于所有计数值都为低电平
	9	正常工作
	10	对于所有计数值都为高电平
7427	1	对于所有计数值都为高电平
	2	对于所有计数值都为高电平
	12	对于所有奇计数值都为低电平
	13	对于所有计数值都为高电平
7404	1	正常工作
	2	对于所有计数值都为高电平
	3	对于所有计数值都为低电平
	4	不工作
	5	计数值为 1000 和 1001 时为低电平
	6	对于所有计数值都为高电平
	8	正常工作
	9	正常工作
	10	正常工作
	11	正常工作
	12	对于所有计数值都为高电平
	13	对于所有奇计数值都为低电平

表 5.4　故障诊断总结表——进位输出控制电路（四位二进制加计数模式）

芯片	断开的引脚	$\bar{C}_{out}$ 故障现象－BCD 加计数
7402	1	正常工作
	2	正常工作
	3	正常工作
	4	计数值为 1110 和 1111 时为低电平
	5	对于所有计数值都为高电平
	6	对于所有计数值都为高电平
	11	正常工作
	12	正常工作
	13	对于所有偶计数值和计数终值都为低电平
7432	1	对于所有计数值都为高电平
	2	对于所有计数值都为高电平
	3	对于所有计数值都为高电平
	4	正常工作
	5	正常工作
	6	正常工作
	8	正常工作
	9	正常工作
	10	正常工作
7408	1	对于所有计数值都为高电平
	2	正常工作
	3	对于所有计数值都为高电平
7400	1	正常工作
	2	对于所有偶计数值和计数终值都为低电平
	3	正常工作
	4	计数值为 1110 和 1111 时为低电平

（续表）

芯片	断开的引脚	$\overline{C}_{OUT}$ 故障现象－BCD加计数
	5	对于所有奇计数值都为低电平
	6	对于所有计数值都为高电平
	8	对于所有计数值都为低电平
	9	正常工作
	10	对于所有计数值都为高电平
7427	1	对于所有计数值都为高电平
	2	对于所有计数值都为高电平
	12	对于所有奇计数值都为低电平
	13	对于所有计数值都为高电平
7404	1	正常工作
	2	对于所有计数值都为高电平
	3	对于所有计数值都为低电平
	4	不工作
	5	计数值为1110和1111时为低电平
	6	对于所有计数值都为高电平
	8	对于所有计数值都为高电平
	9	计数值为1101和1111时为低电平
	10	对于所有计数值都为高电平
	11	计数值为1011和1111时为低电平
	12	对于所有计数值都为高电平
	13	计数值为0111和1111时为低电平

5.6节复习题

A. 当 $C_{in}=0$，UP/$\overline{\text{DOWN}}=0$ 时，图5.38中的控制电路被设置为减计数工作模式。当7402（或非门）的输出引脚4断开时，输出 $\overline{C}_{out}$ 是什么信号？

B. 图5.38中的控制电路设置为减计数工作模式时，如果7402（或非门）的输出引脚4断开，输出 C_{out} 是什么信号？

C. 当 $\overline{C}_{in}=0$，BIN/$\overline{\text{DEC}}=0$，UP/$\overline{\text{DOWN}}=1$ 时，图5.38中的控制电路被设置为哪种工作模式？

D. 如果图5.38中的控制电路设置为复习题C所描述的工作模式，则当或门7432的输出引脚1断开时，输出 $\overline{C}_{out}$ 是什么信号？

E. 图5.38中的控制电路设置为 $C_{in}=0$，BIN/$\overline{\text{DEC}}=1$，UP/$\overline{\text{DOWN}}=0$。如果7400与非门的输入引脚5断开，输出 $\overline{C}_{ou}$ 应该是什么信号？

阶段性小结（5.3节～5.6节）

如果能够深入地理解逻辑门的工作过程，并能够写出和理解逻辑门的布尔表达式，则组合逻辑电路的分析相对而言就变得比较简单了。5.3节至5.6节提供的材料证明，对于每种类型的逻辑门来说，下面的知识都是必须掌握的：

- 标准的和可替换的逻辑符号
- 短逻辑和$\overline{短逻辑}$
- 真值表
- 布尔表达式
- 使能信号和禁止信号

在数字电路中，数据选择过程被称为多路数据选择；数据分配过程被称为多路数据分配。用于实现这些功能的集成电路芯片将在第10章中讲述。目前，只要对这种逻辑电路有一般的了解，如5.4节中所述即可。

5.5节所述的进位控制电路的工作过程就是将这些电路综合在一起的主要例子。很明显，只有先建立工作模式并理解电路的工作过程，才能完成该电路的故障诊断任务

阶段性练习（5.3节～5.6节）

1. 当________时，图5.39中逻辑电路将会输出高电平信号。
   a. A，B，C和D为低电平
   b. A，B，C和D为高电平
   c. E为高电平
   d. b和c都正确

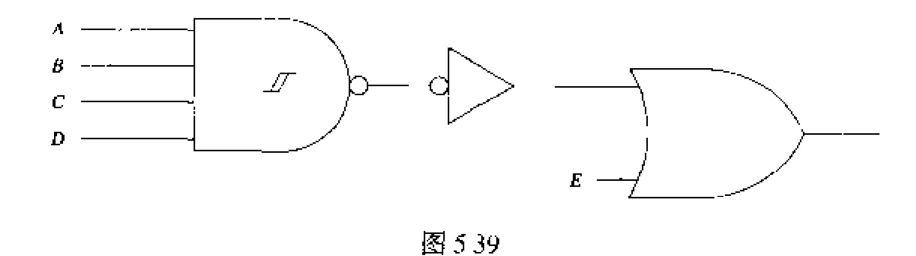


图5.39

2. 图5.39所示的与非门中的符号表示一个________与非门。
   a. 标准
   b. 高电压
   c. 集电极开路输出
   d. 史密特触发输入
3. 图5.40所示的逻辑电路将在________时输出高电平。
   a. 所有奇计数值
   b. 所有偶计数值
   c. 所有奇计数值以及计数值1100和1110
   d. 所有偶计数值以及计数值0001和0011

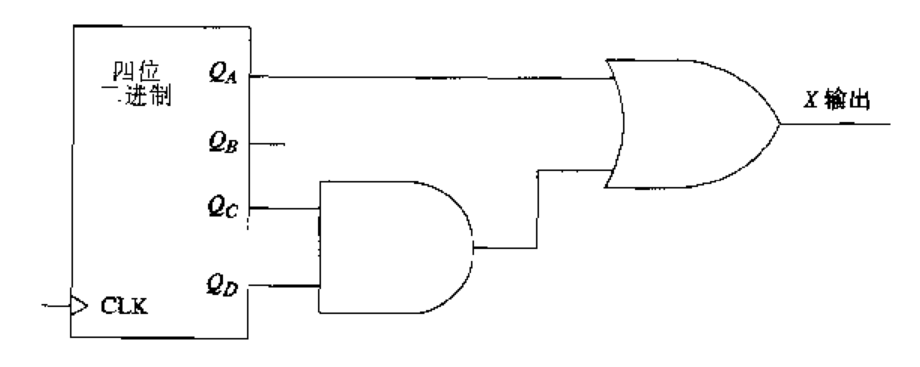


图5.40

4. 如果加到图5.41所示电路的信号Q_D，Q_C，Q_B和Q_A是另一个逻辑电路的输出，则该逻辑电路可以检测无效的BCD和数1010至1111。
   a. 对　　　b. 错

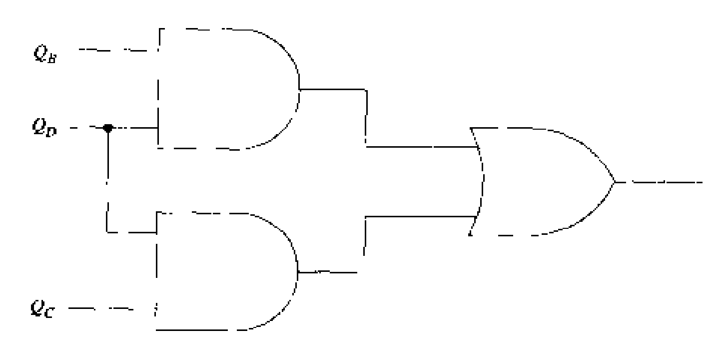


图5.41

5. 当$S=0$，$A_0=B_0=1$，$A_1=B_1=0$时，图5.42中逻辑电路输出端的数据是什么？
   a. 无数据　　b. $A_0=1$，$B_0=1$　　c. $A_1=0$，$B_1=0$

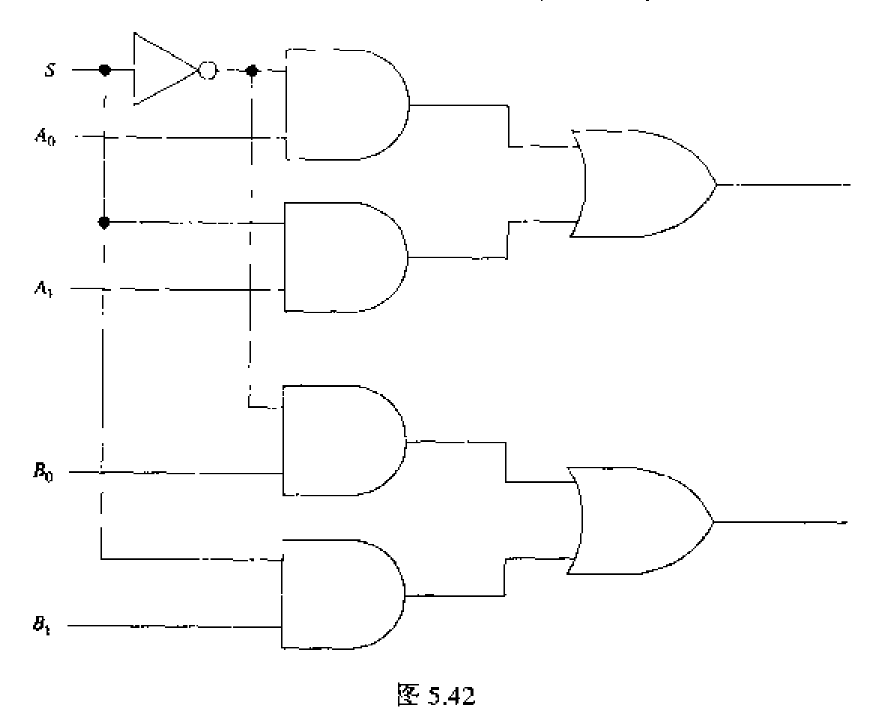


图5.42

6. 当$\overline{\text{CARRY IN}}=0$，$\text{UP}/\overline{\text{DOWN}}=0$，$\text{BIN}/\overline{\text{DEC}}=0$时，图5.43中的电路选择的是什么工作模式？
   a. 减计数
   b. BCD加计数
   c. 四位二进制计数
7. 当$\overline{\text{CARRY IN}}=0$，$\text{UP}/\overline{\text{DOWN}}=1$，$\text{BIN}/\overline{\text{DEC}}=1$时，图5.43中的电路选择的是什么工作模式？
   a. 减计数
   b. BCD加计数
   c. 四位二进制计数
8. 计数值等于多少时，对于习题7中建立的工作模式，$\overline{C}_{out}$将会变为有效电平？
   a. 0000
   b. 1001
   c. 1111
   d. 无变化——$\overline{C}_{out}$将保持高电平

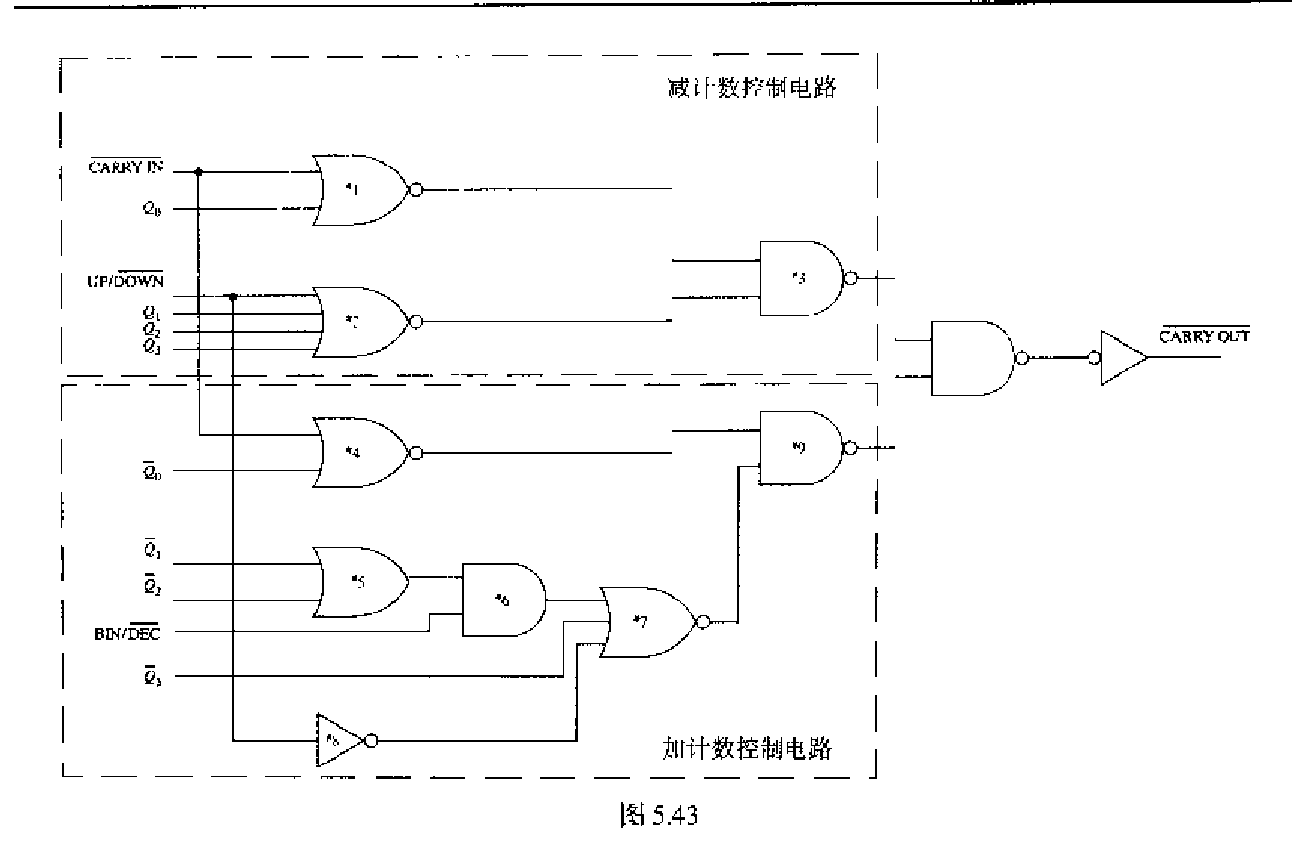


图 5.43

9. 当 $\overline{\text{CARRY IN}}=0$，$\text{UP}/\overline{\text{DOWN}}=0$，$\text{BIN}/\overline{\text{DEC}}=1$ 时，图 5.43 中的电路选择的是什么工作模式？

   a. 减计数

   b. BCD 加计数

   c. 四位二进制计数

10. 计数值等于多少时，对于习题 9 中建立的工作模式，$\overline{C}_{out}$ 将会变为有效电平？

    a. 0000

    b. 1001

    c. 1111

    d. 无变化——$\overline{C}_{out}$ 将保持高电平

11. 如果图 5.43 中的 $\overline{\text{CARRY IN}}$ 为高电平，则计数值等于多少时，$\overline{C}_{out}$ 将会变为有效电平？

    a. 0000

    b. 1001

    c. 1111

    d. 无变化——$\overline{C}_{out}$ 将保持高电平

12. 当 $\overline{\text{CARRY IN}}=0$，$\text{UP}/\overline{\text{DOWN}}=0$，$\text{BIN}/\overline{\text{DEC}}=1$ 时，图 5.44 所示控制电路被设置为减计数工作模式。如果 7400 与非门的引脚 2 断开，计数值等于多少时，$\overline{C}_{out}$ 会变为有效电平？

    a. 0000

    b. 无变化——对于所有计数值 $\overline{C}_{out}$ 都将保持高电平

    c. 对于所有计数值，$\overline{C}_{out}$ 都将是高电平

    d. 对于所有计数值，$\overline{C}_{out}$ 都将为有效电平

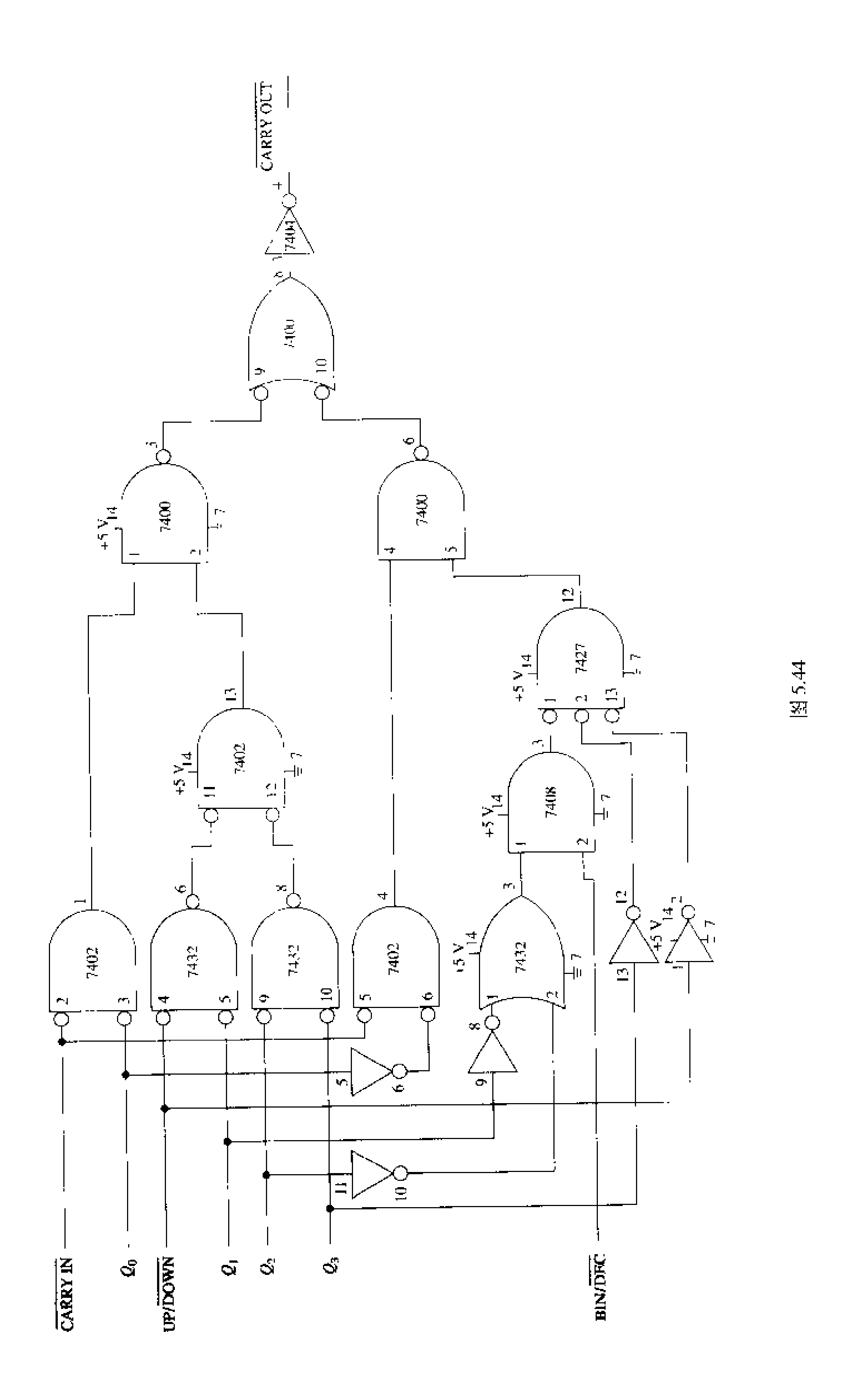

CARRY OUT
7404
7400
7402
7432
7427
7408
+5 V
CARRY IN
Q_0
UP/DOWN
Q_1
Q_2
Q_3
BIN/DEC

图 5.44

13. 图5.44所示控制电路被设置为减计数工作模式。如果7400与非门的引脚2断开，计数值等于多少时，$\overline{C}_{out}$会变为有效电平？

a. 0000

b. 对于所有计数值，$\overline{C}_{out}$都将为有效电平

c. 无变化——对于所有计数值$\overline{C}_{out}$都将保持高电平

d. 对于所有偶计数值，$\overline{C}_{out}$都将为有效电平

14. 当微处理器的输入信号 $\overline{RD} = 1$，$\overline{WR} = 0$，$IO/\overline{M} = 1$ 时，图5.45所示电路中的哪一个输出信号是有效的？

a. $\overline{IOR}$

b. $\overline{IOW}$

c. $\overline{MEMR}$

d. $\overline{MEMW}$

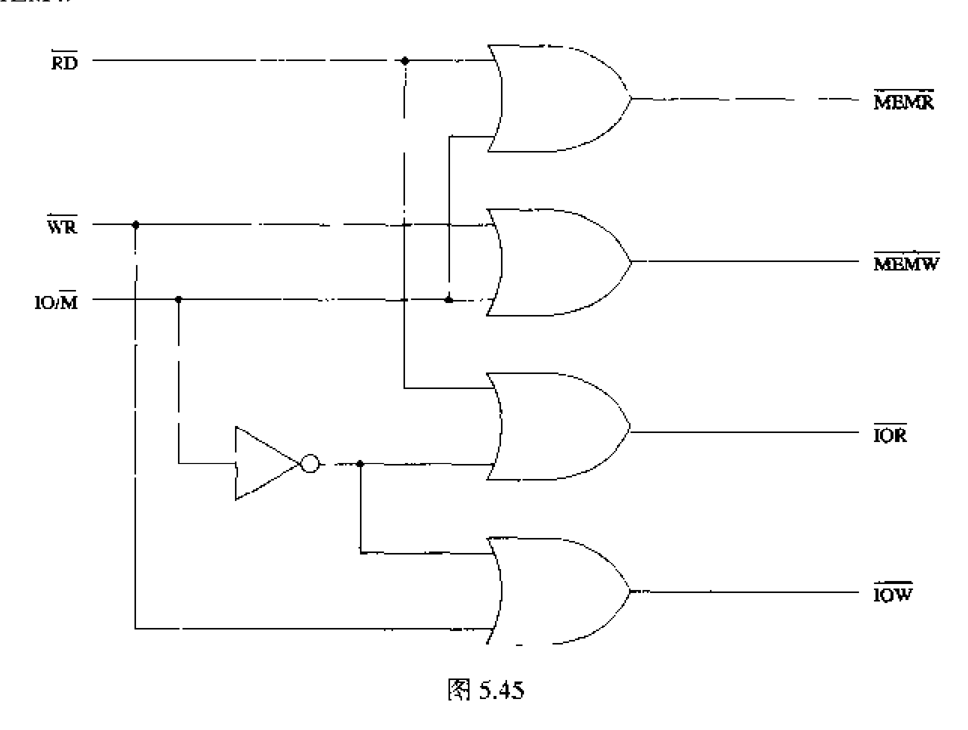


图5.45

本章小结

异或门（X-OR）和同或门（X-NOR）只有两个输入。当其输入不相等时，异或门输出高电平信号（输入互补，则输出为1）。因此，如果忽略进位，则异或门的输出总是等于其输入之和。当输入相等时，同或门输出高电平信号（输入互补，则输出为0）。

在数字系统中，奇偶校验是一种检测错误的方法，它可以保证接收数据和发送数据的一致。奇偶校验分为奇校验和偶校验两种。如果发现了错误，可以输出一个错误信号供显示。

5.3节到5.5节包含了许多组合逻辑电路的工作过程分析。很显然，对基本逻辑门工作过程规律的理解能够使这些电路的分析更加容易。

本章最后一节总结了这一章中前面各节讲述的组合逻辑电路的故障诊断方法。对电路工作过程的深入理解可以大大简化这种处理。逻辑故障分析包含了对正常工作情况和故障工作情况的对比。

习题

5.1 节

1. 画出异或门的标准逻辑符号。
2. 如果异或门的输入是 A 和 B，写出异或门的输出布尔表达式。
3. 画出异或门的输出波形，其输入 A 和 B 的波形如图 5.46 所示。

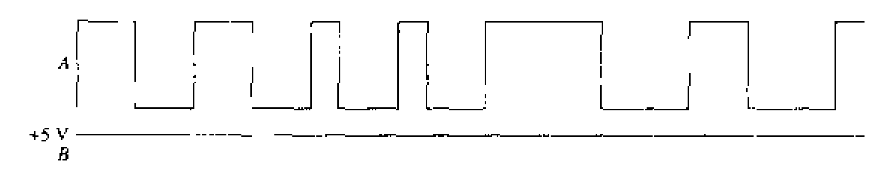


图 5.46

4. 将图 5.46 中异或门输入 B 变为逻辑低电平（电压为 0 V），然后画出输出波形。
5. 写出图 5.47 所示电路的逻辑符号。

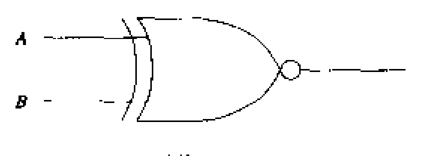


图 5.47

6. 画出图 5.47 所示逻辑门的输出波形，其输入 A 和 B 的波形如图 5.48 所示（注意，输入 B 为逻辑低电平）。



图 5.48

7. 写出如图 5.47 所示逻辑门的输出的布尔表达式。

CT 8. 当控制输入（1C 和 2C）为高电平时，图 5.49 中异或门芯片（SN74S135）完成的是什么逻辑功能？

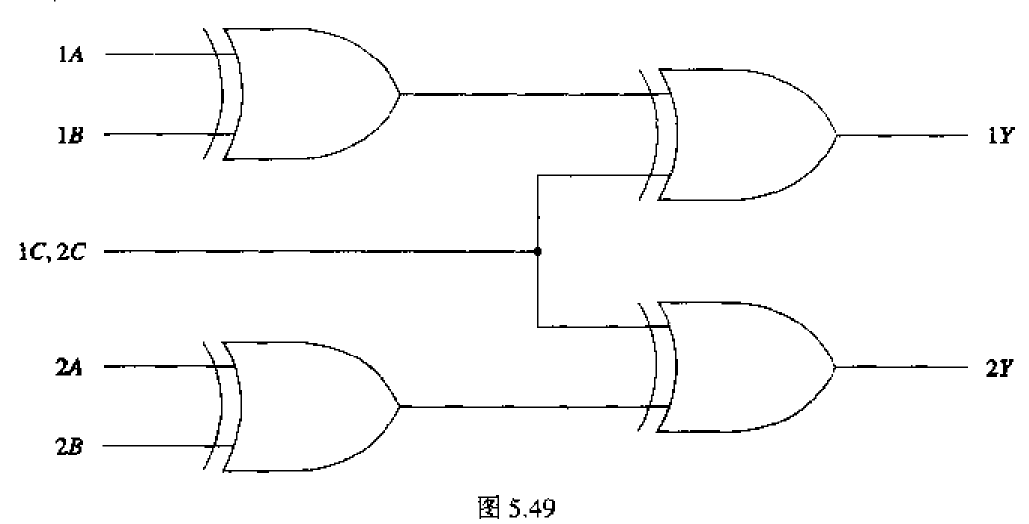


图 5.49

9. 图 5.50 所示逻辑电路完成的是什么逻辑功能?

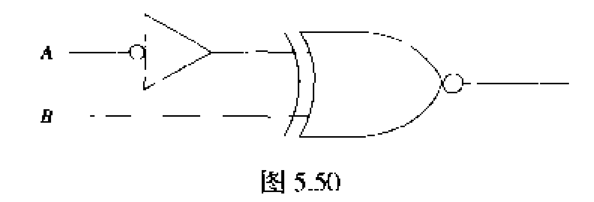


图 5.50

5.2 节

10. 当数据为 46_{16}时，确定偶检验的奇偶校验器产生的校验位的电平。

11. 如果习题 10 中的数据是七位 ASCII 码，实际传输到接收器的数据字节是什么?

CT 12. 图 5.51 所示的奇/偶校验发生器（SN74180）被设置为哪一种校验形式?

CT 13. 图 5.51 中奇偶校验发生器的 Σ偶输出和 Σ奇输出是什么?

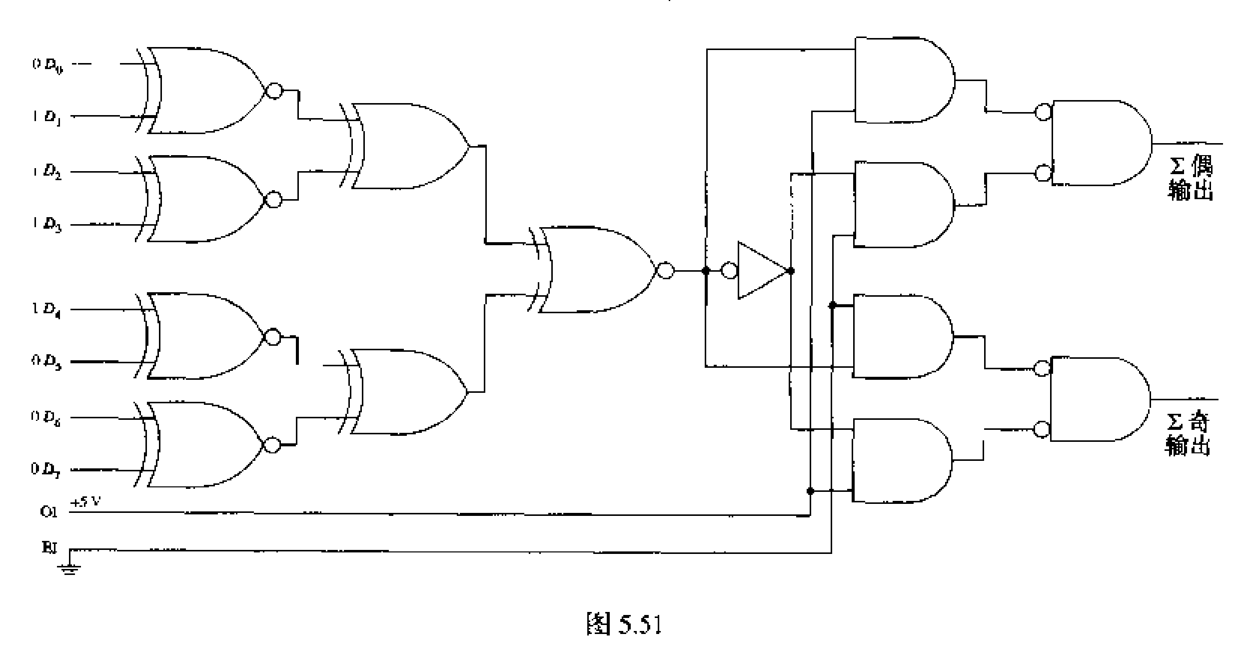


图 5.51

5.3 节

CT 14. 当取下列值时，确定图 5.52 中逻辑电路的工作模式。

a. $C_1 = 0$, $C_0 = 1$

b. $C_1 = 1$, $C_0 = 0$

c. $C_1 = 0$, $C_0 = 0$

d. $C_1 = 1$, $C_0 = 1$

15. 说明使用史密特触发输入电路构成电路/逻辑门的目的。

5.4 节

16. 定义术语“多路数据选择”。

17. 当图 5.53 所示电路的选择输入为高电平时，什么数据会被选择并传送到输出端?

18. 写出图 5.53 电路中 X 输出的布尔表达式。

19. 写出图 5.53 电路中 Y 输出的布尔表达式。

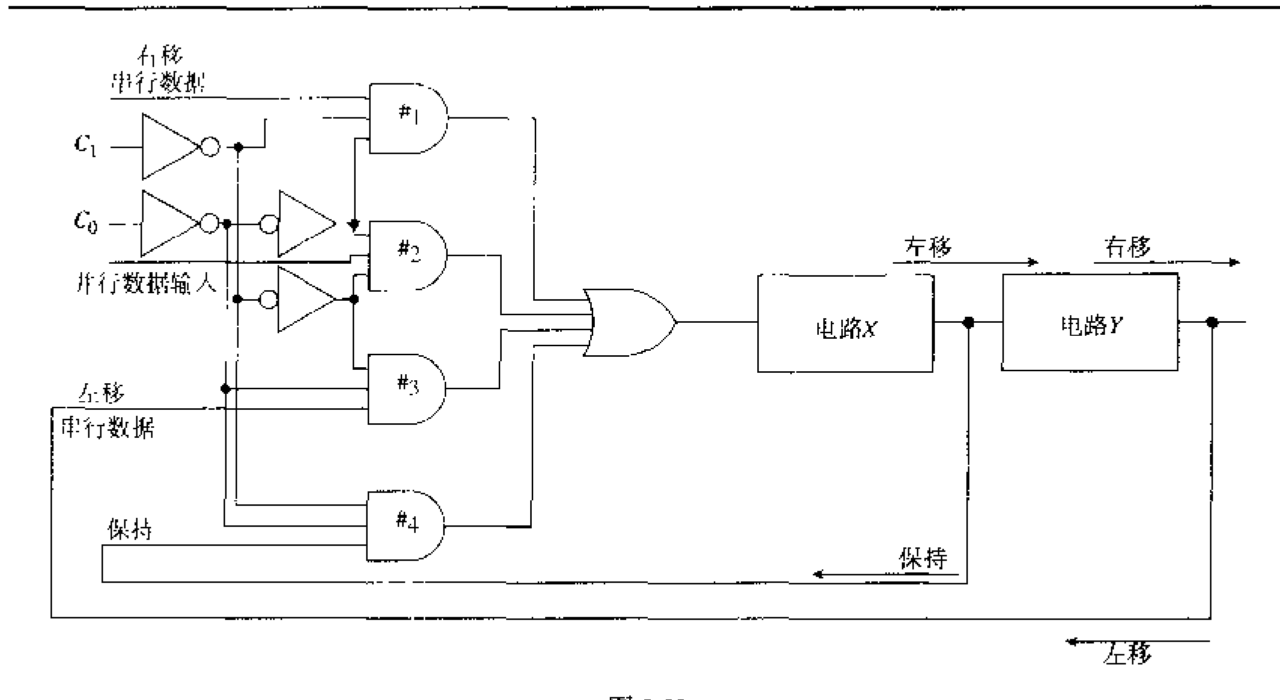


图 5.52

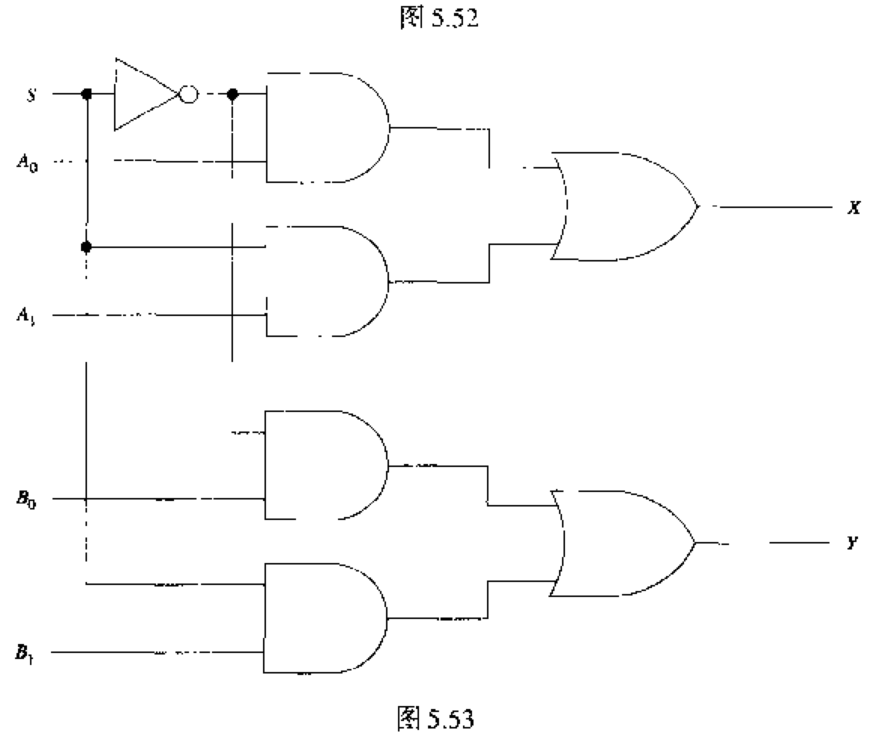


图 5.53

5.5 节

CT　20. 图 5.54 所示的进位输出控制电路用输入逻辑电平进行了标注。确定 $\overline{\text{CARRY OUT}}$ 输出信号的电平。

CT　21. 当 $\overline{\text{MEMR}}=1$ 且 20 位存储器地址（A_{19}~A_0）为 FFFFF 时，图 5.55 中的哪一个 ROM 芯片被选中？

CT　22. 当 $\overline{\text{MEMR}}=0$ 且 20 位存储器地址为 FE000 时，图 5.55 中的哪一个 ROM 芯片被选中？

5.6 节

23. 当 $\overline{\text{CARRY IN}}=0$，$\text{UP}/\overline{\text{DOWN}}=0$，$\text{BIN}/\overline{\text{DEC}}=1$ 时，图 5.56 所示的电路选择的是哪一种工作模式？

CT　24. 如果图 5.56 所示的电路（都是 TTL 门）如上题进行设置，且________，则观察到的 $\overline{\text{CARRY OUT}}$ 输出信号的现象是什么？

a. 7432 的引脚 10 是断开的吗？

b. 7408 的引脚 1 是断开的吗？

c. 7400 的引脚 1 是断开的吗？

d. 7404 的引脚 3 是断开的吗？

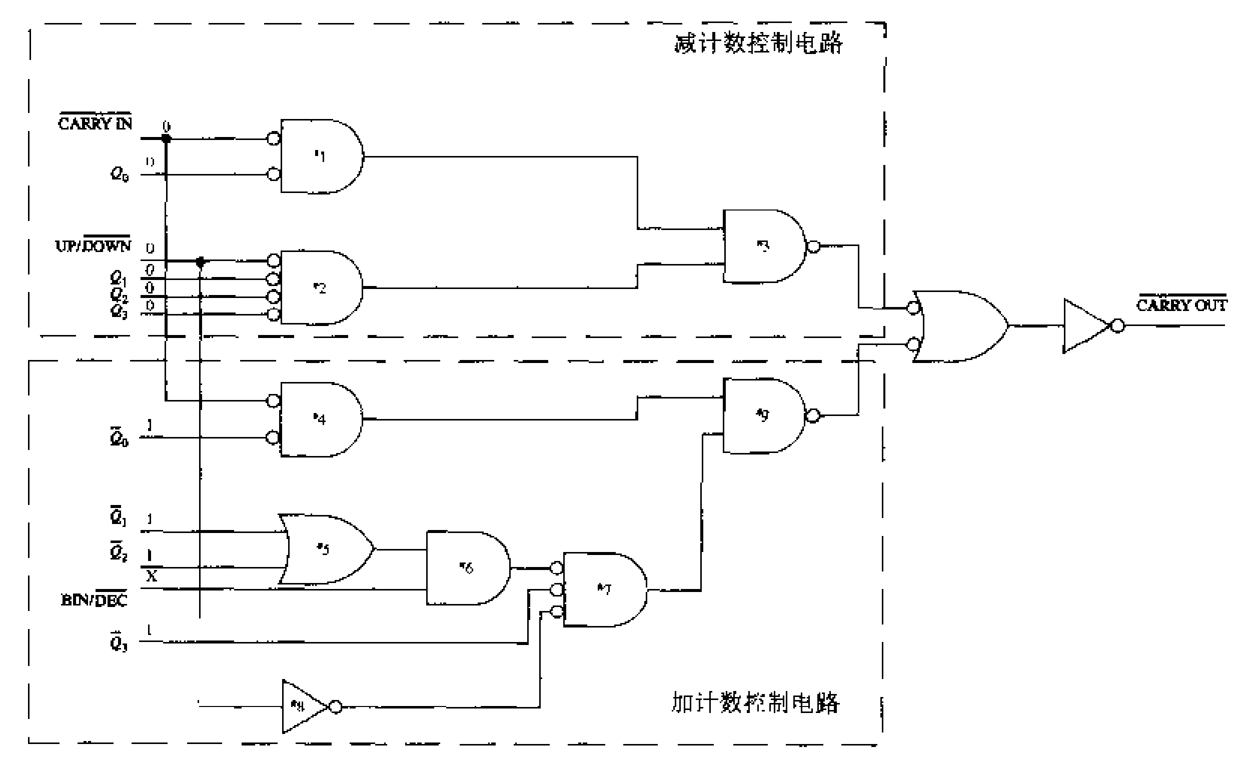


图 5.54

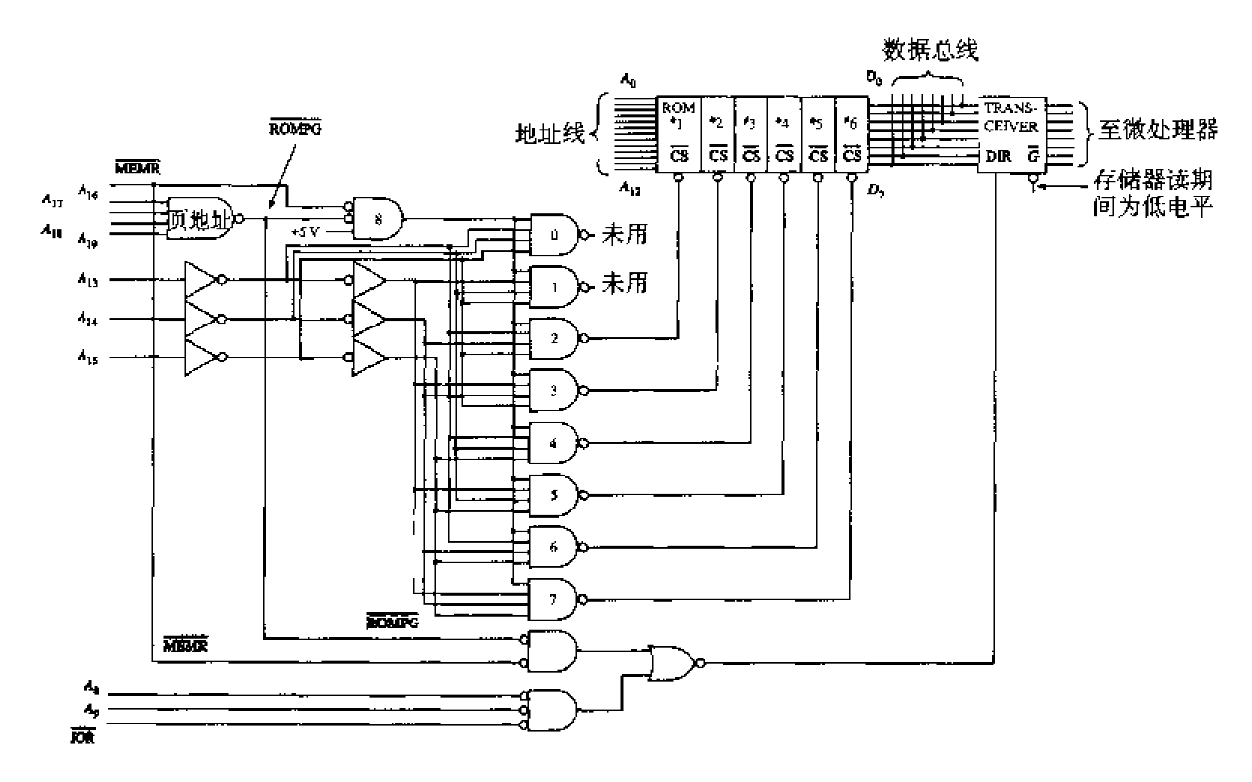


图 5.55

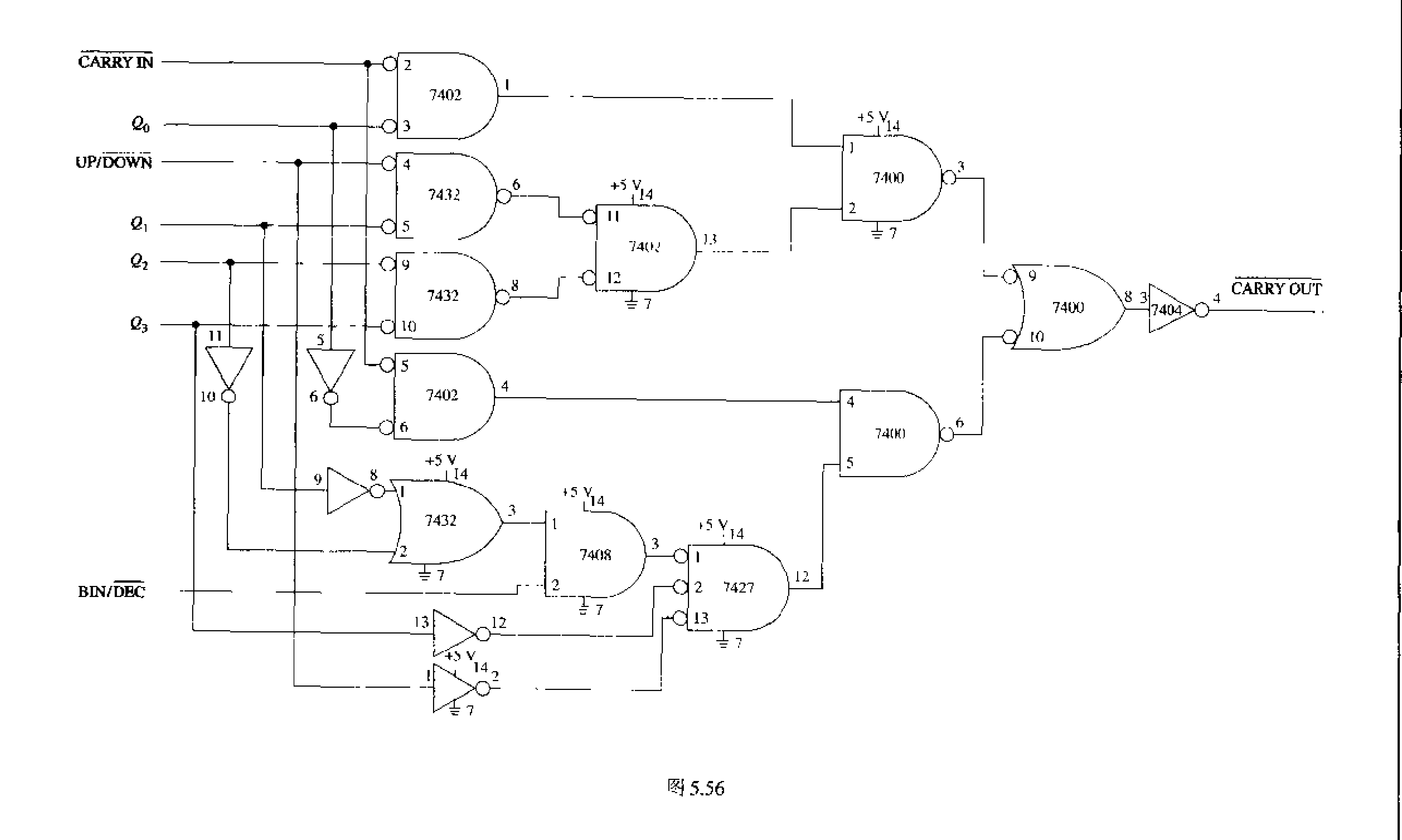

CARRY IN
Q_0
UP/DOWN
Q_1
Q_2
Q_3
BIN/DEC
7402
7432
7432
7402
7432
7408
7427
7400
7400
7400
7404
+5 V
CARRY OUT

图5.56

第 6 章　锁存器和触发器电路

重要术语

Active Clock Transition　有效时钟转换
Active-High Latch　高电平有效锁存器
Active-Low Latch　低电平有效锁存器
Asserted　置有效
Asynchronous　异步
Binary Counter　二进制计数器
Bistable　双稳
CLEAR/RESET State　CLEAR/RESET 状态
Data　数据
Data Lockout　数据锁存
D-Type Flip-Flop　D 触发器
Dynamic Input Indicator　动态输入指示符
Edge Detector　边沿检测器
Edge-Triggered　边沿触发
Flip-Flop　触发器
Gated Latch　逻辑门锁存器
Hold Time　保持时间
INVALID State　无效状态
J-K Flip-Flop　J-K 触发器
J-K Master-Slave Flip-Flop　J-K主从触发器
Latch　锁存器
Machine-Level Language　机器语言
Modulus(MOD)　模
NGT　负向转换（下降沿）
PGT　正向转换（上升沿）
Postponed Output Indicator　延迟输出指示符
Pulse-Triggered　脉冲触发
Register　寄存器
RETAIN State(HOLD)(NC)　RETAIN状态（保持）
SET State　SET 状态
Setup Time　建立时间
Sequential Logic Circuit　时序逻辑电路
Shift Register　移位寄存器
State Indicator　状态指示符
State Table　状态表
Steering Gates　控制门
Switch Debouncer　开关去抖
Synchronous　同步
Toggle　翻转
Transparent Latch　透明锁存器

本章要点

1. 给出锁存器符号，识别并确定其在给定输入条件下的输出。
2. 识别各种触发器符号。
3. 给出触发器逻辑符号及其控制和时钟输入波形，确定该触发器的输出。
4. 给出一个包含触发器和特定故障现象电路的逻辑图，诊断该电路并查出故障。

概述

第5章讲述的组合逻辑电路还不具备存储信息的能力。它们的输出还是取决于某个特定时刻的输入的状态。但是许多数字系统都需要具有存储能力。计算机就是一个需要存储能力的重要例子。

数字系统中的数据就是信息。这种信息可能以计算机使用的程序形式（一组指令集）出现，也有可能是数字、字母和计算机键盘上的符号。任何情况下，数据都需要存储在计算机的存储器中。这些数据必须以计算机能够理解的语言形式进行操作。这种语言称为机器语言，它由两种电平（状态）组成。由于只需要表示两种电平，所以可以利用二进制数据进行表示。

使用具有保持数据的能力的特殊数字电路，可以满足系统存储的要求。这些电路是时序逻辑电路。除了当前的输入以外，时序逻辑电路的输出还取决于它的前一个状态（条件）。这是通过将电路的输出反馈到输入端而完成的。

锁存器和触发器就是在数字电路中存储信息的两类电路。将在本章后面讨论的锁存器和触发器形成了数字系统中满足存储和传输数据要求的电路的基础。实际上，触发器或锁存器就是具有存储能力的组合逻辑电路。基本的锁存器构成了所有触发器电路的核心，而触发器又是存储器的基础。触发器还广泛用于计数操作、分频操作、数据传输、错误检测、微处理器以及许多控制电路中。

为了对数字系统的学习更加深入，必须完整地掌握触发器的工程过程。实际上，深入掌握有关逻辑门和触发器运行的知识是学习数字系统有关知识的一条捷径，并对以后的学习大有影响。

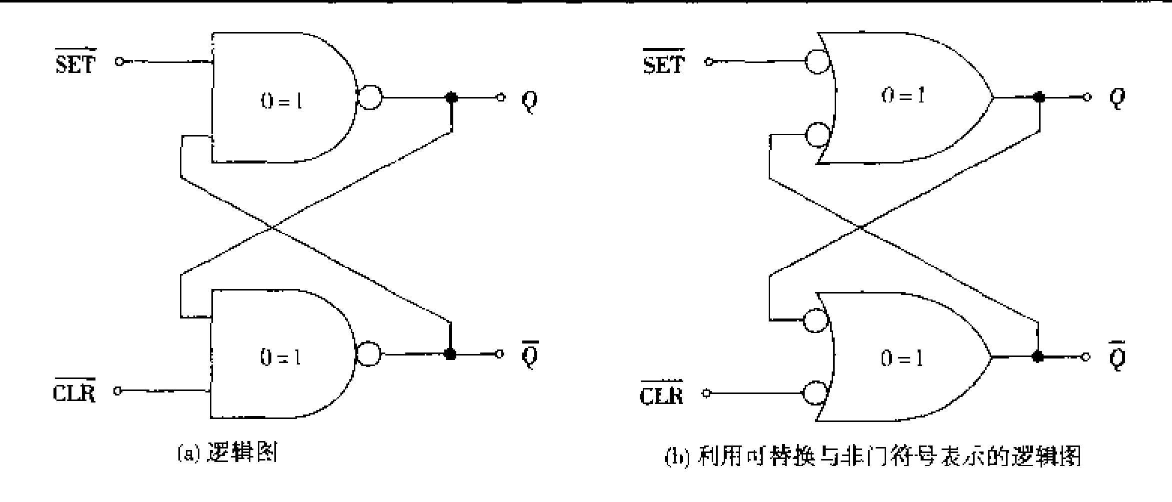
锁存器介绍

在电路课程中学习过晶体管双稳多频振荡器，锁存器电路就是一个可以与之相比的双稳器件。双稳指的是锁存器有两个稳定状态，锁存器的这两个状态则称为SET状态和CLEAR状态。一旦锁存器进入其中的一种状态，则会一直保持在该状态，直到由于另一个输入信号而强迫其改变状态。

以前学过的晶体管多频振荡器电路可以产生矩形或直角波形。这些电路存在的问题是，控制输出波形宽度的电容和电阻经常造成波形以指数级上升和下降。这些曲线及其相对较慢的上升和下降会造成晶体管多频振荡器的输出与绝大多数数字电路不兼容。

有两种基本类型的锁存器电路：与非门锁存器（如图6.1(a)所示）和或非门锁存器。交叉耦合提供了锁存器电路保持（存储）数据所必需的反馈。使用与非门构造的锁存器称为低电平有效锁存器，使用或非门构造的锁存器称为高电平有效锁存器。高电平有效和低电平有效的说法来自于锁存器的输入逻辑电平，这些电平是用来将锁存器转换到一个特定状态所必需的。这里对此进行简短的解释。图6.1(a)中的与非门锁存器表明该锁存器有两个输出。其中一个输出标为Q，另一个输出与Q互补，标为$\overline{Q}$。

锁存器电路只能有两种有效输出状态。其中一个状态是SET状态，该状态输出$Q = 1$，$\overline{Q} = 0$。另一种状态是CLEAR状态，其输出$Q = 0$，$\overline{Q} = 1$。根据锁存器的通常设计，一般情况下输出（Q和$\overline{Q}$）是互补的，所以只需要记住在SET状态时Q为高电平，在CLEAR状态时$\overline{Q}$为低电平即可。当然，一般情况下$\overline{Q}$的电平应该与Q的相反。输出$\overline{Q}$是为了电路设计者的方便，在数字电路中并不是经常用到，而且有时在触发器芯片上是看不见这个输出的。CLEAR状态有时也称为RESET状态，本书中的这两个术语是同义词，可以互换使用。锁存器有时称为S-C（SET-CLEAR）锁存器或S-R（SET-RESET）锁存器。由于锁存器或触发器只有SET状态或CLEAR状态，所以只能存储一位数据。锁存器电路通常用于存储基于临时基数的二进制信息。



(a) 逻辑图

(b) 利用可替换与非门符号表示的逻辑图

$\overline{SET}$	$\overline{CLR}$	Q	$\bar{Q}$	状态
0	1			
1	0			
1	1			
0	0			

(c) 状态图

图 6.1 低电平有效锁存器

本章还将讲解门限锁存器电路。门限锁存器电路为电路设计者提供了一个使锁存器输出与系统要求同步的机会。

6.1 低电平有效锁存器

要点

1. 识别并确定指定输入状态下与非门锁存器的输出 Q 和 $\bar{Q}$。
2. 识别低电平有效锁存器的逻辑符号。

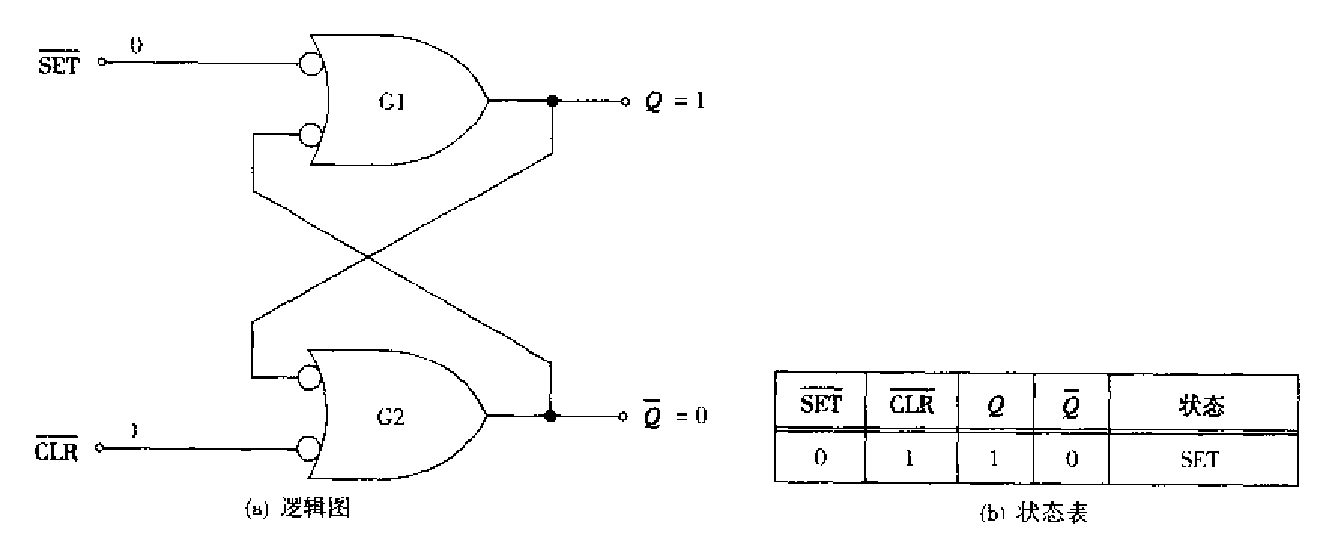
图6.1(a)所示的与非门锁存器有两个输入，分别记为$\overline{SET}$和$\overline{CLR}$。输入端标记的逻辑非（NOT）符号表明该锁存器是一个低电平有效输入锁存器，即输入端必须加入逻辑0信号。这些输入端标记的状态名字表明了希望加到锁存器上的逻辑电平。形成锁存器的状态表后，由该表可以很明显地看出这一点。

与真值表相对应，状态表是用于逻辑门的一种表。由于该表反映了使用各种输入组合时锁存器的状态，所以称其为状态表。由于锁存器有两个输入，所以共存在四种可能的输入组合。这样就可以得到如图 6.1(c)所示的锁存器的状态表。随着讲解内容的进展，将逐渐填满该状态表，从而显示四种可能的输入组合条件中，每一种情况下 Q 和 $\bar{Q}$ 的电平，而且可以命名每种状态。现在已经证明：如果 $Q=1$，$\bar{Q}=0$，则该电路将处于SET状态；如果 $Q=0$，$\bar{Q}=1$，则该电路将处于 CLEAR

（RESET）状态。需要记住的是，为了在Q输出端存储一个二进制数据位1，则该锁存器电路必须置为SET状态。为了在Q输出端存储一个二进制数据位0，则该锁存器电路必须置为CLEAR状态。

由于与非门锁存器是一个低电平有效的锁存器，所以在讨论中将用到与非门的可替换逻辑门符号。使用可替换逻辑门符号的锁存器如图6.1(b)所示。因为很容易就可以看到圆圈，所以使用可替换逻辑门符号还是很常见的。其短逻辑已标在该逻辑门上。

如图6.2(a)所示，如果$\overline{SET}=0$，$\overline{CLR}=1$，由短逻辑可知逻辑门G1的输出是逻辑1，这是因为$\overline{SET}=0$，而逻辑门G1的短逻辑为"只要有一个输入为0，输出就为1"。一旦确定了Q输出，则从该逻辑门得到的反馈信号就可以加回到逻辑门G2的输入端。该逻辑1反馈到输入端，且$\overline{CLR}=1$，因此逻辑门G2的输出端产生一个低电平信号。因为$Q=1$，$\overline{Q}=0$，所以这样一组输入信号将锁存器置为SET状态。输入电平（$\overline{SET}/\overline{CLR}$）、输出电平（$Q/\overline{Q}$）以及锁存器的状态显示在图6.2(b)所示的状态表中。注意，为了使锁存器处于SET状态，使$\overline{SET}$输入端输入为逻辑0，$\overline{CLR}$输入端为逻辑1。因此，该锁存器电路称为低电平有效锁存器。正如在第3章中解释的，当$\overline{SET}$输入信号置为低电平时，则称该输入被"置有效"。"置有效"一个输入信号是指将该输入置为有效电平。为了将与非门锁存器置为SET状态，在$\overline{CLR}$输入端保持为无效（高电平）时，必须将$\overline{SET}$输入信号"置有效"（置为低电平）。



$\overline{SET}$	$\overline{CLR}$	Q	$\overline{Q}$	状态
0	1	1	0	SET

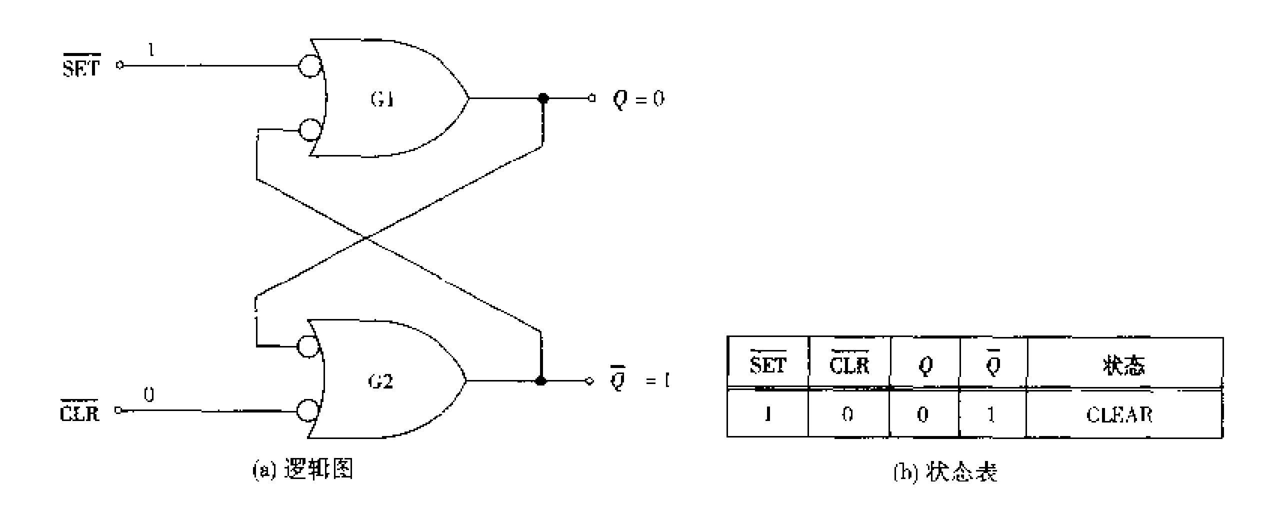
(b) 状态表

图6.2　低电平有效锁存器：SET状态

如图6.3(a)所示，如果$\overline{SET}=1$，$\overline{CLR}=0$，则根据短逻辑可以得到逻辑门G2的输出，该逻辑门的输出为逻辑1。一旦确定了$\overline{Q}$输出，就可以按上面讨论的方法跟踪来自该逻辑门的反馈信号。逻辑1反馈输入信号、$\overline{SET}=1$的输入在逻辑门G1的输出端产生一个低电平。因为$Q=0$，$\overline{Q}=1$，所以这种输入组合将锁存器置为CLEAR状态。输入/输出电平和电路状态如图6.3(b)中的状态表所示。注意，为了将锁存器置为CLEAR状态，当输入$\overline{SET}$为无效信号时，$\overline{CLR}$输入端为逻辑0。

如图6.4(a)所示，如果$\overline{SET}=1$，$\overline{CLR}=1$，则只有在假设一个输出条件（状态）后，短逻辑才会有用。假设该电路已经如上所述处于SET状态，我们可以假定两种状态。为了确定锁存器的运行，跟踪反馈信号$\overline{Q}=0$至逻辑门G1的输入端。该低电平输入使得该逻辑门的Q输出端处于逻辑1电平。跟踪$Q=1$反馈到逻辑门G2的输入端，该逻辑门的两个输入均为逻辑1，这使得其输出保持为逻辑0。当两个输入变为高电平时，加到该锁存器上的两个逻辑1信号使其保持状态不变，此时称为RETAIN或HOLD状态。图6.4(b)所示的状态表指出，如果该锁存器处于SET状态，则当两个逻辑1加到输入端时，它将保持在SET状态。同样，如果该锁存器处于CLEAR状态，则当两个逻辑

1加到输入端时，它将保持在CLEAR状态。对于RETAIN状态，状态表所示的输出Q和$\overline{Q}$除了写为$Q=1/0$和$\overline{Q}=0/1$外，有时还标为NC（无变化）。

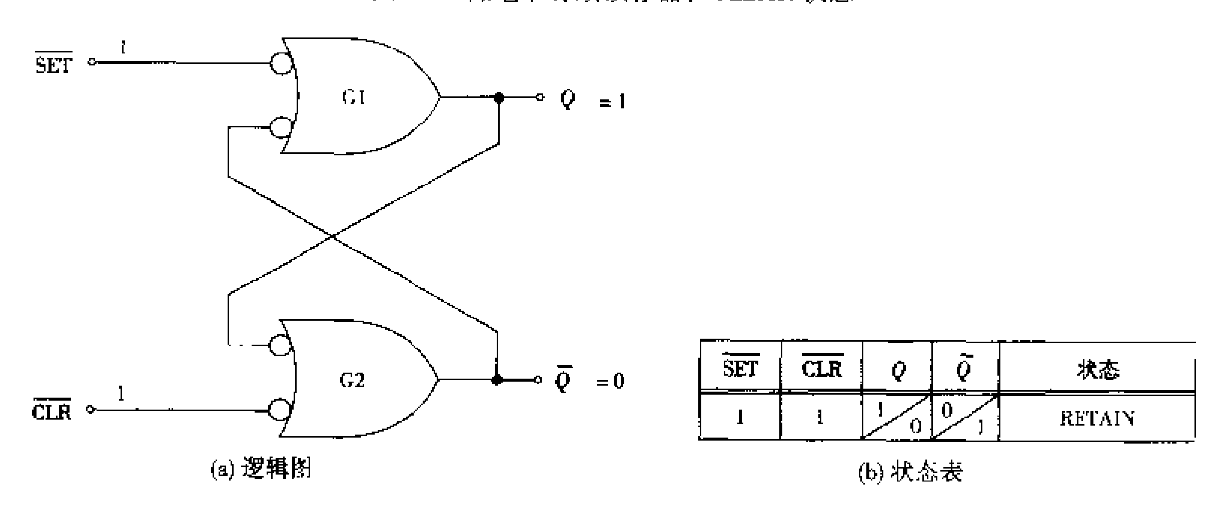


(a) 逻辑图

$\overline{\text{SET}}$	$\overline{\text{CLR}}$	Q	$\overline{Q}$	状态
1	0	0	1	CLEAR

(b) 状态表

图6.3 低电平有效锁存器：CLEAR状态



(a) 逻辑图

$\overline{\text{SET}}$	$\overline{\text{CLR}}$	Q	$\overline{Q}$	状态
1	1	1/0	0/1	RETAIN

(b) 状态表

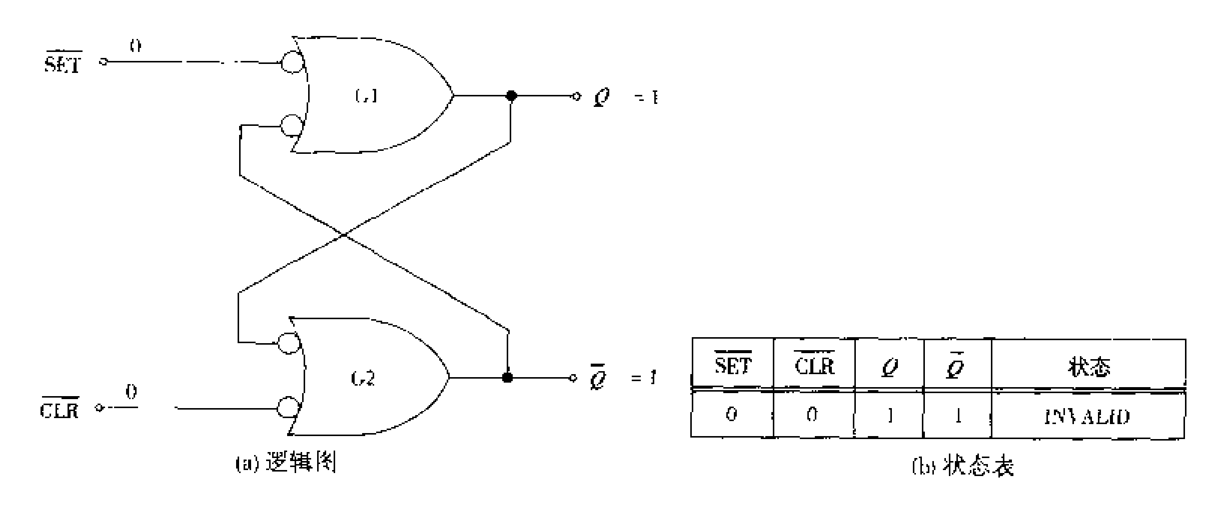
图6.4 低电平有效锁存器：RETAIN状态

记住，对于低电平有效锁存器，逻辑1输入是无效输入。因此，当两个逻辑1加到输入端时，该锁存器应该保持无效，即它应该保持为前一个状态。正是这种性质使得锁存器电路具有存储能力。换句话说，可以将锁存器电路置为SET状态或CLEAR状态，然后将其输入置为无效电平（对于与非门锁存器就是逻辑1），就可以保留要存储的数据。

如前所述，锁存器电路只能有两种有效输出状态（SET或CLEAR）。引入RETAIN状态，也不会使这种说法产生矛盾。当其输入为无效电平时，这种状态仅仅是保持它原来所处的SET或CLEAR状态。

如图6.5(a)所示，如果$\overline{\text{SET}}=0$，$\overline{\text{CLR}}=0$，则使用短逻辑可以很快得到一个状态表。与非门的短逻辑表明，输入到每个逻辑门的0将在每个逻辑门的输出端产生一个逻辑1信号。通常，锁存器电路的输出应该是互补的（Q和$\overline{Q}$），因此，相等的输出是无效的（INVALID）。另外，状态表显示当$\overline{\text{SET}}$和$\overline{\text{CLR}}$均被置有效时，Q为高电平。然而，当两个输入数据同时变为高电平（即无效电平）时，这种高电平输出可能无法保持。因此，如果发生这种情况，那么输出Q是不可预测的。应该避免

发生这种情况，所以也称其为INVALID（无效）状态。如图6.5(b)中的状态表所示，输入条件$\overline{\text{SET}}=0$、$\overline{\text{CLR}}=0$导致了这种无效输出，这种无效输出是由于同时将两个输入电平置为有效电平而产生的。



$\overline{\text{SET}}$	$\overline{\text{CLR}}$	Q	$\overline{Q}$	状态
0	0	1	1	INVALID

图6.5　低电平有效锁存器：INVALID（无效）状态

分析锁存器的输入是很有意义的。由于该电路是一个低电平有效锁存器，输入$\overline{\text{SET}}$可以读为“如果该输入被置有效（变为低电平），那么将该电路置为SET状态”。当输入$\overline{\text{CLR}}$被置有效时，也可以用同样的读法。所以，如果两个输入都被置有效，则会把该电路同时置位或清零。由于输出互补并可保持，所以该输出条件是无效的。

下面是一个分析输入波形的练习，有助于理解低电平有效锁存器的工作过程。参考图6.6，进行下列分析：

t_0~t_1：$\overline{\text{SET}}=1$，$\overline{\text{CLR}}=0$。因为输入$\overline{\text{CLR}}$被置有效，输入$\overline{\text{SET}}$无效，所以输出为$Q=0$，$\overline{Q}=1$（CLEAR状态）。

t_1~t_2：$\overline{\text{SET}}=0$，$\overline{\text{CLR}}=1$。因为输入$\overline{\text{CLR}}$无效，输入$\overline{\text{SET}}$被置有效，所以这种输入组合将锁存器置为SET状态。

t_2~t_3：输入$\overline{\text{CLR}}$再一次被置有效，所以输出为CLEAR状态。

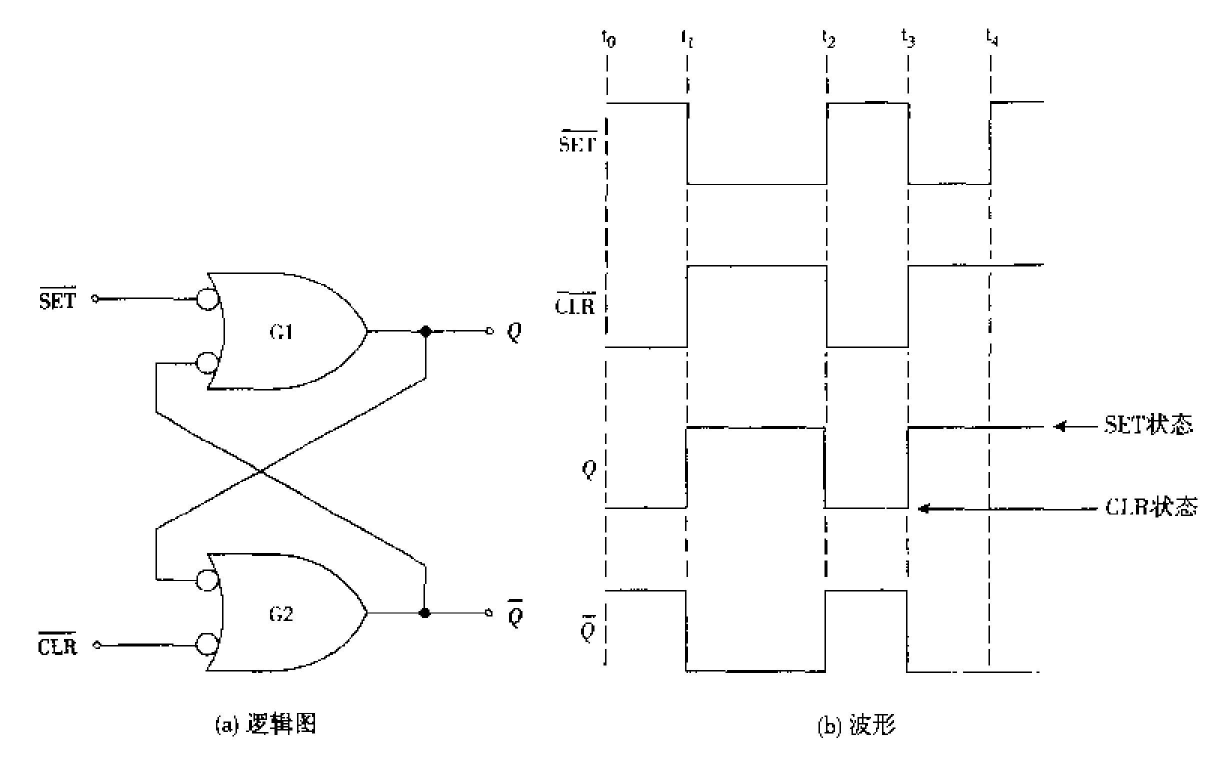
t_3~t_4：输入$\overline{\text{SET}}$被置有效，所以锁存器进入SET状态。注意，在时刻t_4以前，输入组合都是互补的。

t_4：两个输入都是无效的（$\overline{\text{SET}}$变为高电平，$\overline{\text{CLR}}$保持为高电平），所以，锁存器保持为时刻t_3变成的SET状态。

从前面的讨论很容易看出，为了将锁存器置为SET或CLEAR状态，其输入必须是互补的。图6.7(b)显示了低电平有效锁存器完整的状态表，该状态表也证明了这一点。

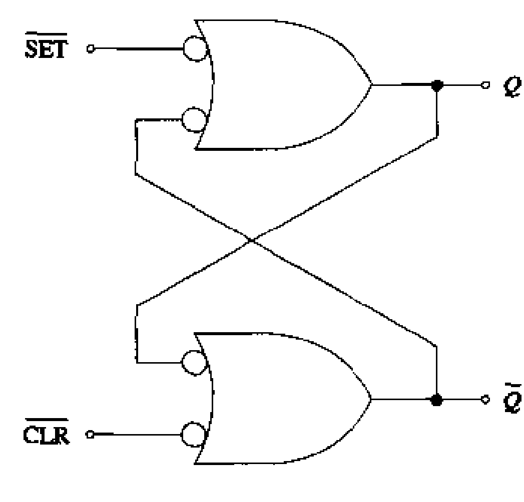
图6.7(c)显示了低电平有效锁存器的逻辑符号。尽管此前所用的全部圆圈符号都表示反相，但在这里必须注意的一点是，在图6.7(c)的逻辑符号中，输入端的圆圈是状态指示符。锁存器或触发器输入端的圆圈表示该电路是一个低电平有效电路。

在低电平有效锁存器（图6.7(a)）中，为了将锁存器置为希望的状态，必须在标有该状态名的输入端加上逻辑0，另一个输入端必须加上无效信号。圆圈只是表明将该锁存器置位或清零的输入电平应该是逻辑0。读者还可以注意到，输入字母$\overline{S}$和$\overline{C}$的逻辑符号上也加上了非号，这也表明输入是低电平有效，加上的非号可以看成是为了保险起见才加上的。



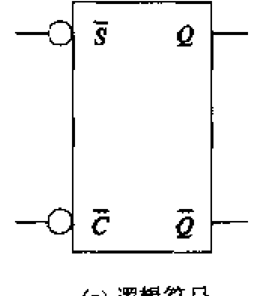
(a) 逻辑图　　(b) 波形

图 6.6　低电平有效锁存器的运行



$\overline{SET}$	$\overline{CLR}$	Q	$\overline{Q}$	状态
0	1	1	0	SET
1	0	0	1	CLEAR
1	1	1/0	0/1	RETAIN
0	0	1	1	INVALID

(a) 逻辑图　　(b) 状态表



(c) 逻辑符号

图 6.7　低电平有效锁存器

世界上有许多集成电路的生产厂家,所以这些锁存器的标准符号并不一定总是标准的。低电平有效锁存器的一些可替换符号如图 6.8 所示。

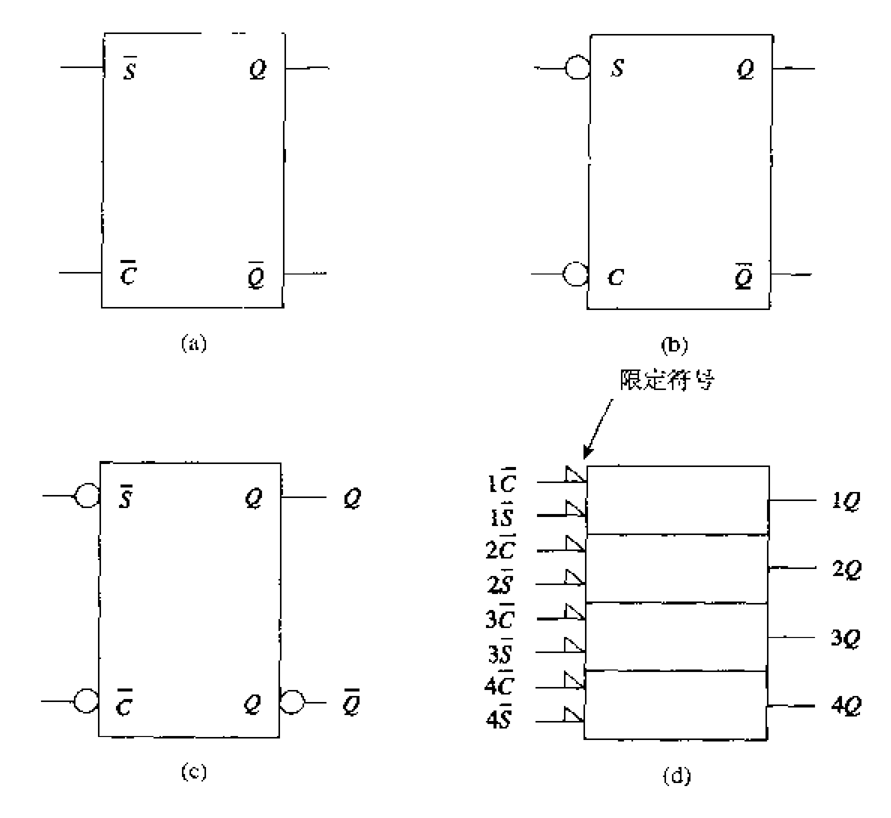
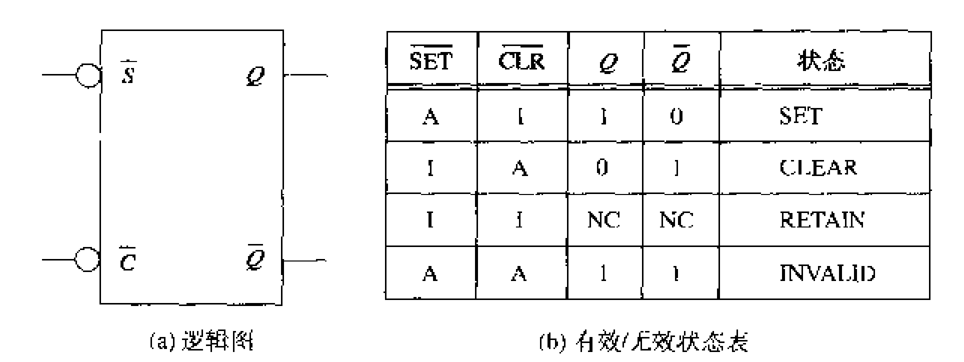


图 6.8　低电平有效锁存器逻辑符号

即使没有圆圈符号,图6.8(a)中S和C上的非号还是可以表明这是一个低电平有效的锁存器。尽管不经常使用该符号,但是在一些描述数字系统的书籍或数字电路图中还是可以见到这种符号。如图 6.8(b)所示,许多情况下非号并不是放在输入字母之上的,但是圆圈总是能表示低电平有效的输入。图 6.8(c)使用非号和圆圈明确表示了输入是低电平有效。注意,在图 6.8(c)中,两个输出都是用Q表示的,下面的输出是$\bar{Q}$,其上有一个圆圈表示Q被反相(取非)为$\bar{Q}$。输出上的圆圈是一个反相符,该反相符是电路的一部分。但是,锁存器或触发器逻辑符号输入端的圆圈却是低电平有效状态的指示符。图 6.8(d)所示的是 ANSI/IEEE 符号,输入$\bar{S}$和$\bar{C}$上的限定符号表明这些输入是低电平有效,它们用于代替图 6.8(b)和 6.8(c)中的圆圈。在 ANSI/IEEE 符号中没有显示输出端$\bar{Q}$。

另一种状态表设计可以代替图6.7(b)所示的状态表。图6.9(b)所示的状态表可以完整地描述低电平有效锁存器。其中,使用有效(A)和无效(I)字母代替了输入的 0 和 1。由于这是一个低电平有效的锁存器,所以需要做的就是观察图 6.9(a)所示的逻辑符号,以确定有效(A = 0)为低电平,无效(I = 1)为高电平。以此可以很容易地证明,输出Q和$\bar{Q}$的电平就是如状态表所示的电平。

如图6.9(b)所示,如果$\overline{\text{SET}}$为有效电平,$\overline{\text{CLR}}$为无效电平,则该电路将进入SET状态。如果$\overline{\text{CLR}}$为有效电平,$\overline{\text{SET}}$为无效电平,则该电路将进入 CLEAR 状态。如果两个输入都不是有效电平,则该电路将保持原来的状态(RETAIN状态)。如果两个输入都有效,则该电路的输出为INVALID(无效)。SN74279 四$\bar{\text{S}}$-$\bar{\text{R}}$锁存器芯片是市场上较常见的一种低电平有效锁存器。



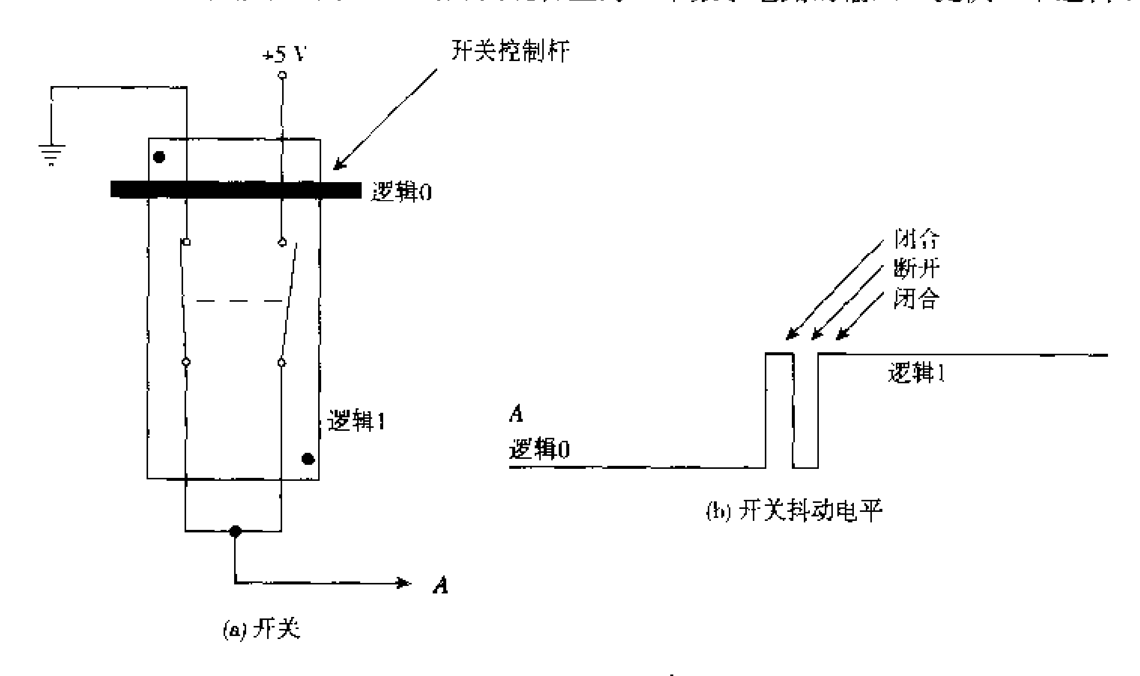
$\overline{SET}$	$\overline{CLR}$	Q	$\bar{Q}$	状态
A	I	1	0	SET
I	A	0	1	CLEAR
I	I	NC	NC	RETAIN
A	A	1	1	INVALID

(a) 逻辑图　　(b) 有效/无效状态表

图 6.9　低电平有效锁存器

6.1.1　开关去抖——锁存器应用

在数字电路中，开关闭合时产生的抖动造成了一些独特的问题。类似图6.10(a)所示的开关在实验中经常用于将逻辑0或逻辑1加到数字电路的输入端。与其他的机械开关类似，该开关也存在闭合抖动的问题。例如，假设图中所示的开关现在正为一个数字电路的输入 A 提供一个逻辑0信号



(a) 开关　　(b) 开关抖动电平

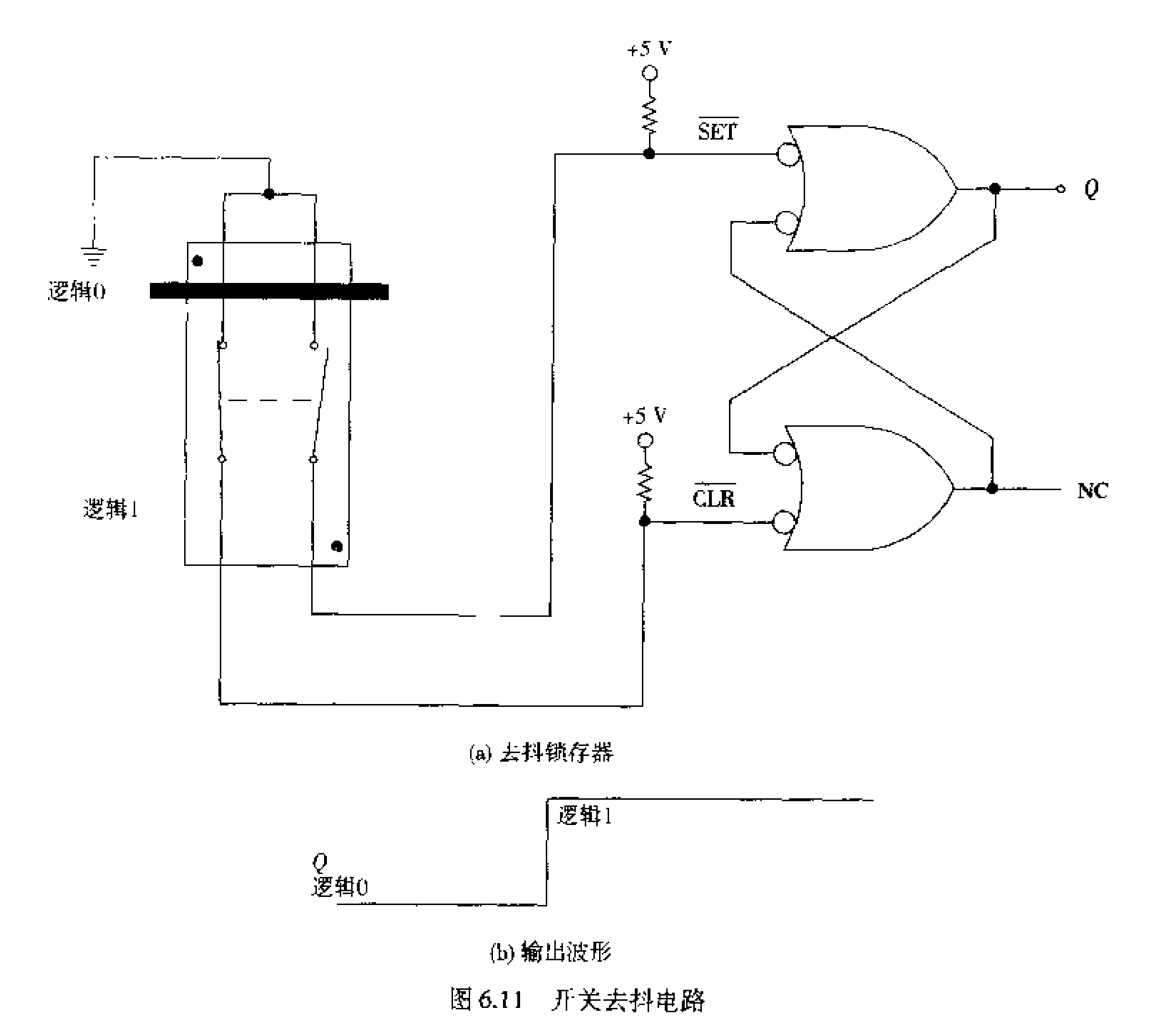
图 6.10　机械开关

如果放下该开关的控制杆以产生一个逻辑1输出，则在可靠闭合之前通常总存在着断断续续的接触。实际上，该开关在完全闭合之前将处于一种合－开－合的模式中。这种闭合抖动如图6.10(b)所示。这些零星的电平变化会引起数字电路的误触发或误计数。如果将此类开关用于使能或同步一个同步锁存器或触发器，则这种情况就显得特别重要。

图6.11(a)所示的低电平有效锁存器能够去除开关抖动引入的零星逻辑电平变化所产生的影响。

在开关位于图中所示位置时，电路的输出 Q 为低电平，这种情况是 $\overline{\text{CLR}}$ 被置有效（低电平）和 $\overline{\text{SET}}$ 无效（高电平）产生的结果。锁存器的输出 $\bar{Q}$ 并没有使用，而且也标为没有连接（NC）。电路中的电阻用于在连接到一个输入的开关断开时，将该输入的电平上拉到逻辑1。如果该电路中不使用上拉电阻，则开关断开时使输入端悬空，这将使锁存器不能可靠工作。因此，当连接到某个输入

端的开关断开时，上拉电阻将把该输入上拉到+5 V电平，从而保证在必要时，锁存器有一个有效的逻辑 1 输入。



(a) 去抖锁存器

(b) 输出波形

图 6.11　开关去抖电路

当开关控制杆向下移动时，断开左边的接触，同时闭合右边的开关。当右边开关将闭合时，很可能出现电弧的放电接触，这将使$\overline{SET}$输入变为低电平并设置锁存器。此时，另一个开关断开，所以$\overline{CLR}$输入端将通过上拉电阻得到一个逻辑 1 电平。如果右边开关的电弧即刻断开，则输入将回到高电平，锁存器则置于 RETAIN 状态。因此，锁存器保持在第一次电弧接触时的 SET 状态。还有一些电弧会使该锁存器进入 SET 状态或保持在该状态。由于开关运动造成的输出 Q 如图 6.11(b)所示。在锁存器的输出端，去掉了全部的接触抖动影响。

6.1 节复习题

A. 当锁存器处于 CLEAR 状态时，输出 Q 的电平是什么？

B. 为了使锁存器处于 SET 状态，低电平有效锁存器的两个输入必须相等。

(1) 对

(2) 错

C. 使用什么类型的逻辑门来构造低电平有效的锁存器？

D. 为了使锁存器处于 SET 状态，低电平有效锁存器的输入$\overline{SET}$和$\overline{CLEAR}$必须是什么电平？

E. 锁存器逻辑符号输入端所示的圆圈是状态指示符。

(1) 对

(2) 错

6.2 高电平有效的锁存器

要点

1. 识别并确定或非门锁存器在给定的输入条件下的输出 Q 和 $\bar{Q}$。
2. 识别高电平有效锁存器的逻辑符号。

图6.12所示的或非门锁存器有两个输入，分别标为SET和CLR。注意，在该锁存器的输入标记上没有逻辑非（NOT）符号。没有逻辑非符号说明该锁存器是高电平有效的锁存器。在高电平有效锁存器中，逻辑1必须加到相应的状态名的输入端，而另一个输入必须为无效电平。如前面所述，为了使锁存器处于SET或CLEAR状态，其输入必须互补。

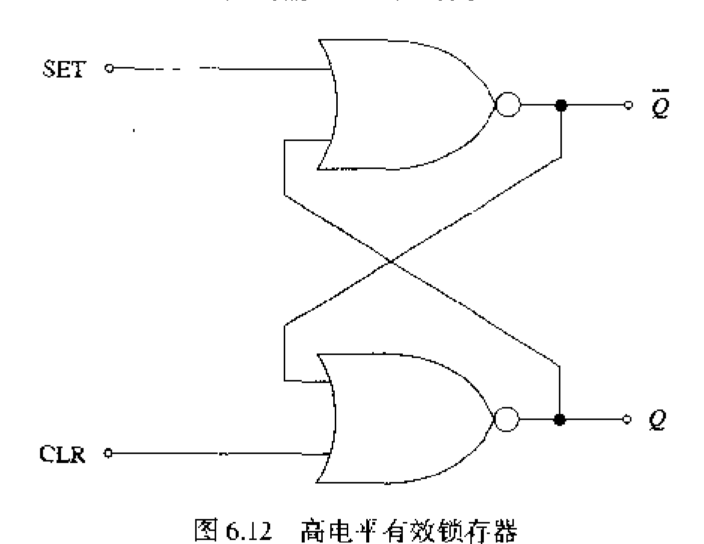
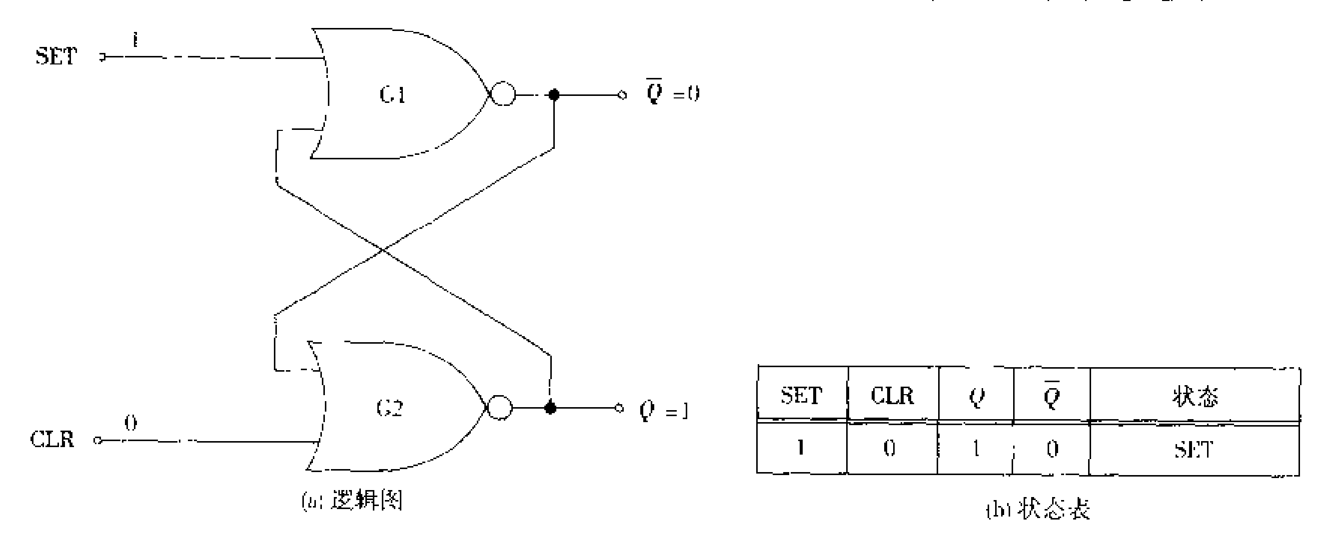


图6.12 高电平有效锁存器

分析这种锁存器的方法与前面分析低电平有效锁存器的方法类似。如图6.13(a)所示，如果SET = 1，CLR = 0，则利用短逻辑首先可以得出逻辑门G1的输出为低电平。一旦确定了输出 $\bar{Q}$，那么来自该逻辑门的反馈就可以传到逻辑门G2。因为 $Q = 1$，$\bar{Q} = 0$，所以这种输入组合将该锁存器置为SET状态。输入/输出电平和锁存器条件如图6.13(b)中的状态表所示。为了将该锁存器置为SET状态，需要将输入SET置为逻辑1，将输入CLR置为逻辑0。所以，该锁存器称为高电平输入有效锁存器。换句话说，当输入SET有效，输入CLR无效时，该锁存器进入SET状态。

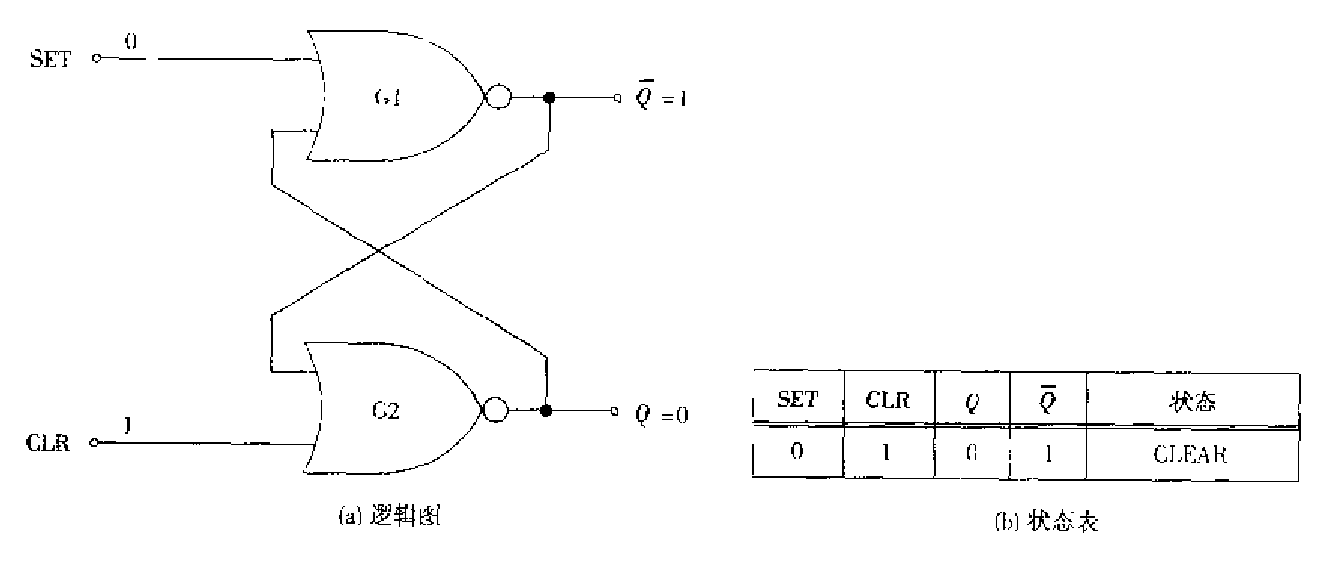
如图6.14(a)所示，如果SET = 0，CLR = 1，输入CLR有效，则该锁存器应该进入CLEAR状态。有一个小练习将证明这种说法是正确的。逻辑门G2的输入CLR = 1，使得其输出为低电平。来自该逻辑门的反馈加到逻辑门G1上，它和输入SET一起在逻辑门G1输出端产生了一个高电平信号。由于 $Q = 0$，所以该锁存器处于CLEAR状态。这些情况显示在如图6.14(b)所示的状态表中。注意，为了清零该锁存器，要在输入CLR上加逻辑1信号。



SET	CLR	Q	$\overline{Q}$	状态
1	0	1	0	SET

(b) 状态表

图 6.13　高电平有效锁存器：SET 状态



SET	CLR	Q	$\overline{Q}$	状态
0	1	0	1	CLEAR

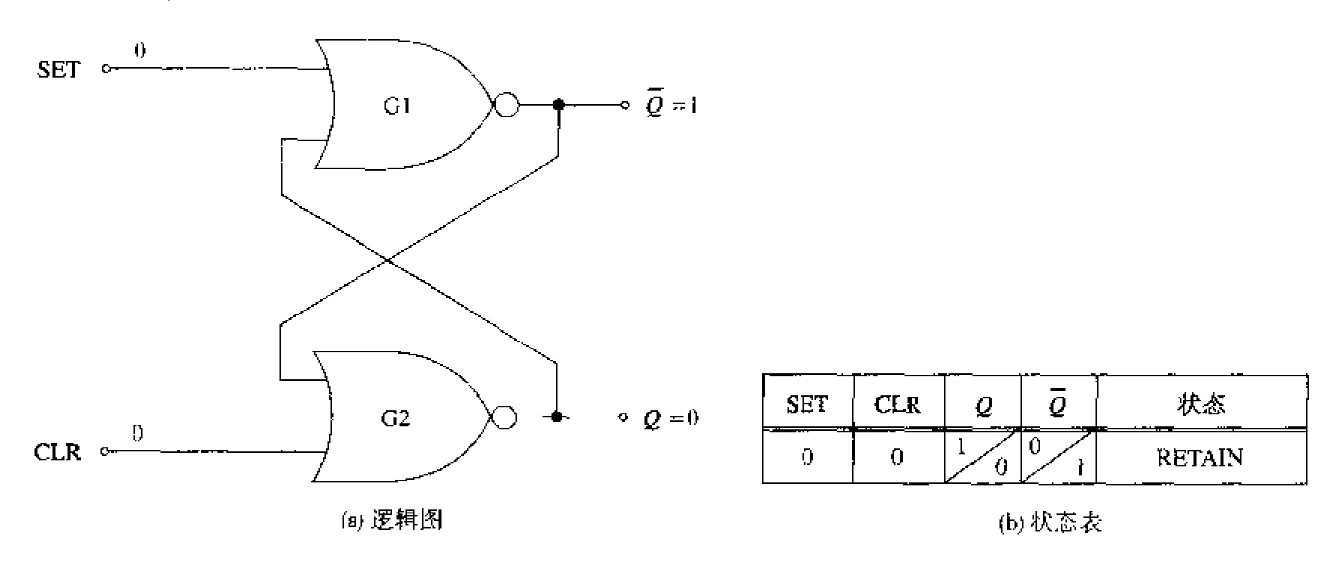
(b) 状态表

图 6.14　高电平有效锁存器：CLEAR 状态

如图 6.15(a)所示，如果 SET = 0，CLR = 0，则在假设一个输出条件前是无法利用短逻辑得到电路的运行情况的。需要记住的是，此时可以假设两种输出状态中的任何一种状态作为当前状态。假设该电路处于前面所述的 CLEAR 状态。为了确定锁存器的运行情况，必须跟踪 $\overline{Q}$ = 1 到逻辑门 G2 输入端的反馈信号，该信号将强制逻辑门 G2 的输出保持为逻辑 0。Q = 0 反馈到逻辑门 G1，输入 SET = 0 使该逻辑门的两个输入均为逻辑 0。这两个输入使得逻辑门 G1 的输出保持为逻辑 1。因此，当两个输入都是低电平时（无效），加到锁存器输入端的这两个逻辑 0 将使该锁存器保持为原来的状态。这两个输入（SET = 0，CLR = 0）使锁存器处于 RETAIN 状态，图 6.15(b)中的状态表显示，如果该锁存器处于 SET 状态，则在两个输入都为逻辑 0 时，它将保持为 SET 状态。对于这个高电平有效锁存器，逻辑 0 是无效输入。一般情况下，如果两个输入中没有一个有效，则该锁存器应该保持为无效（RETAIN 状态）。换句话说，如果不要求通过使其个输入有效来使该锁存器改变状态，则该锁存器将保持原来的状态不变。

如图 6.16(a)所示，如果 SET = 1，CLR = 1，利用短逻辑很快就可以证明两个输出都是逻辑 0。如图 6.16(b)中的状态表所示，这种状态是一种 INVALID（无效）状态。该状态表显示了在两个输入

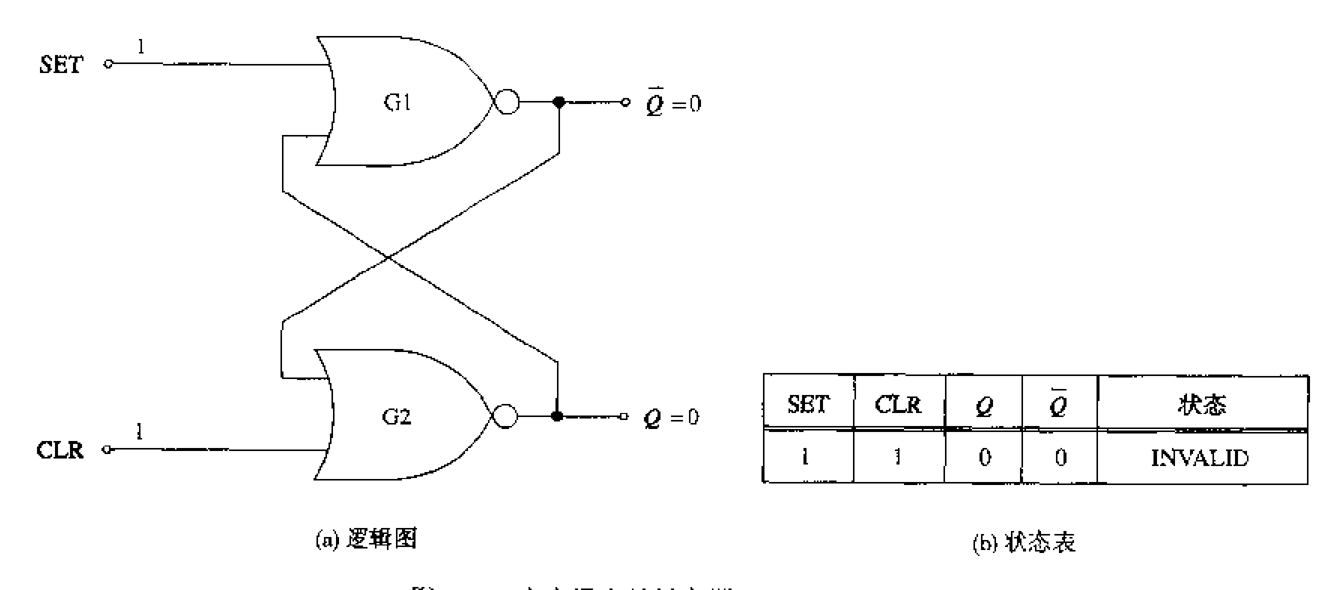
同时有效时，Q为低电平。当输入SET和CLR都无效时，该低电平输出将变为高电平输出。这种情况使输出 Q 变得不可预测且无效。



SET	CLR	Q	$\bar{Q}$	状态
0	0	1/0	0/1	RETAIN

(a) 逻辑图　　(b) 状态表

图 6.15　高电平有效锁存器：RETAIN 状态



SET	CLR	Q	$\bar{Q}$	状态
1	1	0	0	INVALID

(a) 逻辑图　　(b) 状态表

图 6.16　高电平有效锁存器：INVALID 状态

对输入到高电平有效锁存器的波形进行分析的小练习，将有助于理解该电路的工作过程。参考图 6.17，完成下面的分析：

t_0~t_1：SET = 1，CLR = 0。因为输入 SET 被置有效，输入 CLR 无效，所以输出为 $Q = 1$，$\bar{Q} = 0$。该锁存器处于 SET 状态。

t_1~t_2：SET = 0，CLR = 1。因为输入 CLR 被置有效（高电平），所以这种输入组合将锁存器置为 CLEAR（$Q = 0$）状态。

t_2~t_3：输入 SET 再一次被置有效，所以锁存器又变为 SET 状态。

t_3~t_4：输入 CLR 被置有效，所以锁存器清零。注意，在时刻 t_4 以前，输入组合都是互补的。

t_4：两个输入都是有效的（SET 变为高电平，CLR 保持为高电平），锁存器的两个输出都变为逻辑 0，这代表 INVALID 状态。

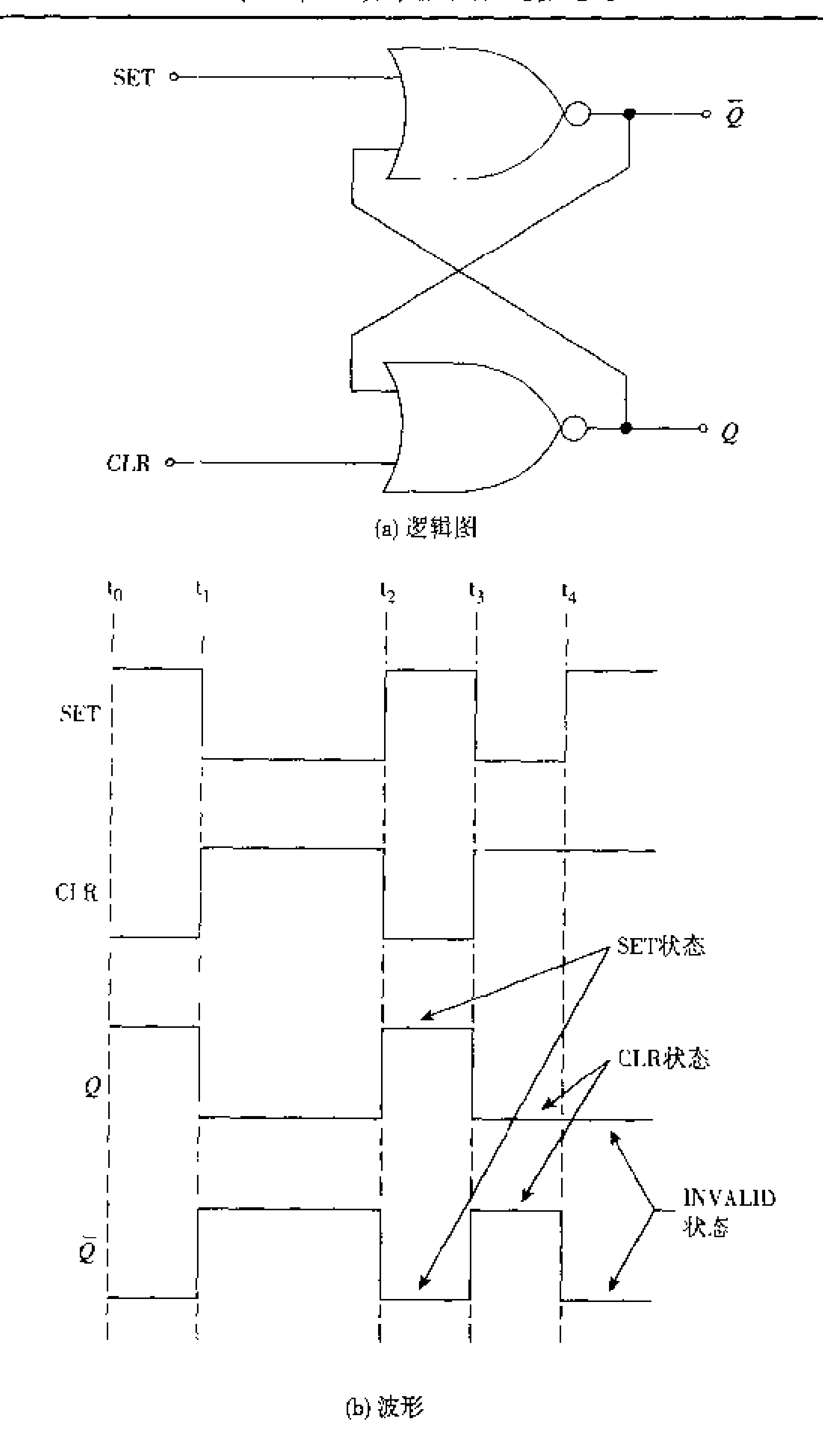


图 6.17　高电平有效锁存器的工作过程

图6.18(b)所示的状态表总结了图6.18(a)所示的或非门锁存器完整的运行情况。图6.18(c)所示的是高电平有效锁存器的逻辑符号。注意，输入S和C上无逻辑非符号，同时逻辑符号上也没有圆圈。无逻辑非和圆圈表明这是一个高电平有效锁存器。

6.2 节复习题

A. 当高电平有效的锁存器处于 SET 状态时，其输出 $\bar{Q}$ 的电平是什么？

B. 对于高电平有效的锁存器，为了置位或清零，其两个输入信号必须互补。

(1) 对

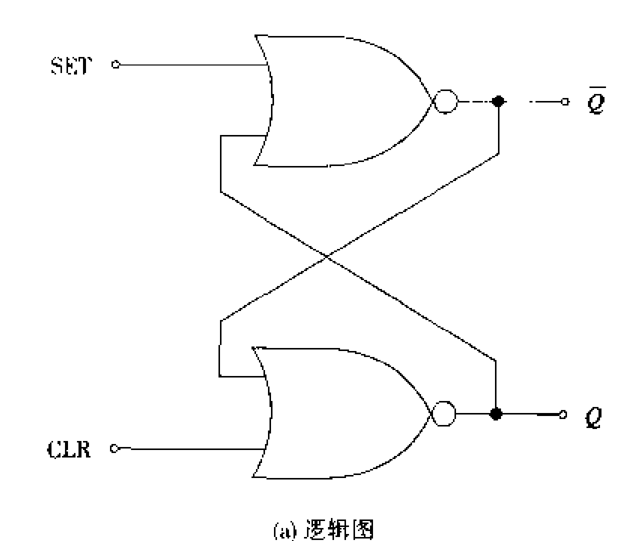
(2) 错

C. 可以使用什么类型的逻辑门来构造高电平有效的锁存器？

D. 为了使锁存器处于SET状态，高电平有效锁存器的输入SET和CLEAR必须是什么电平？

E. 当$S=0$，$C=0$时，高电平有效的锁存器处于什么状态？

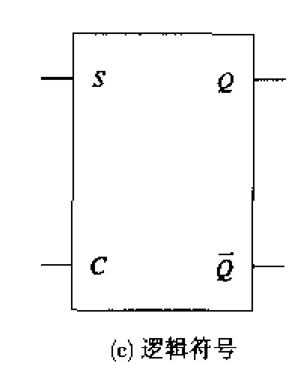
F. 对于输入SET和CLEAR，使用有效（A）和无效（I）代替逻辑0和逻辑1，画出高电平有效锁存器的状态表（参考图6.9所示低电平有效锁存器的状态表，该状态表就是使用这种方式表示的）。



(a) 逻辑图

SET	CLR	Q	$\bar{Q}$	状态
1	0	1	0	SET
0	1	0	1	CLEAR
0	0	1/0	0/1	RETAIN
1	1	0	0	INVALID

(b) 状态表



(c) 逻辑符号

图 6.18　高电平有效锁存器

6.3　门限锁存器

要点

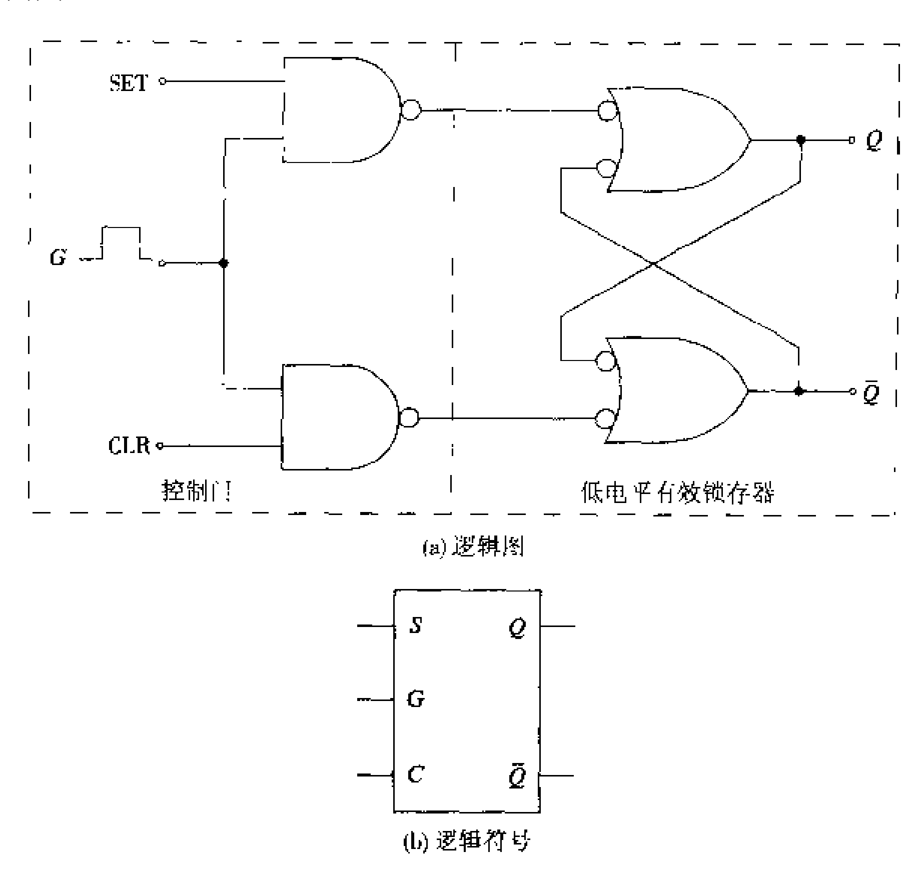
1. 识别并确定门限锁存器的输出Q。
2. 识别不同门限锁存器的逻辑符号。

本章前两节讲到的低电平有效和高电平有效锁存器是异步的，即不取决于时钟。在这些锁存器上将一个输入置有效会造成输出与输入几乎同时改变状态。在输入变化请求和锁存器实际的输出响应之间存在着时间上的微小差异，这是由于电路固有的传输延迟造成的。这种延迟的重要性将在下面进行阐述。

门限锁存器还有一个输入，用于控制锁存器改变状态的时间。这个门（G）输入常称为使能输入。由于输出电平变化的时间由使能输入控制，所以门限锁存器是同步的。

6.3.1　门限 S-C 锁存器

图6.19所示的是一个门限S-C锁存器的逻辑图和逻辑符号。在6.19(a)中，锁存器的前面加了两个控制门，这是为了允许同步而采用的方法。控制门控制着将信号输入（SET和CLR）到锁存器或阻止它们到达锁存器。当输入G为高电平时，控制门被使能，它们将SET和CLR传送到锁存器。由于与非门锁存器是低电平有效，而输入到该电路的SET和CLR因与非控制门而反相，所以它们是高电平有效。该电路的逻辑符号如图6.19(b)所示，该逻辑符号的S和C上没有上划线，在符号的输入端也没有圆圈。



(a) 逻辑图

(b) 逻辑符号

图6.19　门限S-C锁存器

当输入G为低电平时，禁止控制门。当控制门被禁止时，其高电平输出对锁存器而言是无效输入，这使得锁存器保持在其最后的状态上。换句话说，当使能输入变为低电平时，该时刻（高电平转化为低电平的时刻）将数据输入端的信息存储在输出端Q上。

对图6.19(a)所示的门限锁存器逻辑图进行分析，可以得到图6.20所示的状态表。

输入			输出		状态
S	C	G	Q	$\overline{Q}$	
1	0	1	1	0	SET
0	1	1	0	1	CLEAR
0	0	1	1/0	0/1	RETAIN
1	1	1	1	1	INVALID
X	X	0	1/0	0/1	RETAIN

图 6.20 门限 S-C 锁存器状态表

当 $G=1$ 时，输入组合 $S=1$，$C=0$，以及 $S=0$，$C=1$ 将分别导致 SET 和 CLEAR 输出状态。而且，由于该电路的输入是高电平有效，而 $S=0$ 和 $C=0$ 为无效的输入电平，所以电路处于 RETAIN 状态。当 $G=1$ 并且两个输入都有效时，该电路为 INVALID 输出。最后，如果使能（G）输入为低电平，而且与非控制门被禁止，那么锁存器与 $S=0$ 和 $C=0$ 一样处于 RETAIN 状态。

门限 S-C 锁存器的时序图如图 6.21 所示。该电路的分析如下：

t_1：$G=0$，所以输入 SET 和 CLR 为无关项。这种输入情况使得锁存器处于 RETAIN 状态。该电路的初始条件为 CLEAR 状态。注意，在下面的讨论中都将初始值假设为 $Q=0$。如果初始假设与此不同，将会明确指出。

t_2：$G=1$，控制门被使能，SET 已经有效，CLR 无效。该锁存器将进入 SET 状态。

t_3：$G=0$，尽管输入 SET 和 CLR 改变了，但是该锁存器仍将保持为 SET 状态。

t_4：$G=1$，SET 无效，CLR 有效，锁存器清零。

t_5：$G=0$，为 RETAIN 状态。

t_6：$G=1$，SET 有效，CLR 无效，锁存器进入 SET 状态。

t_7：$G=1$，$S=0$，$C=0$，为 RETAIN 状态。

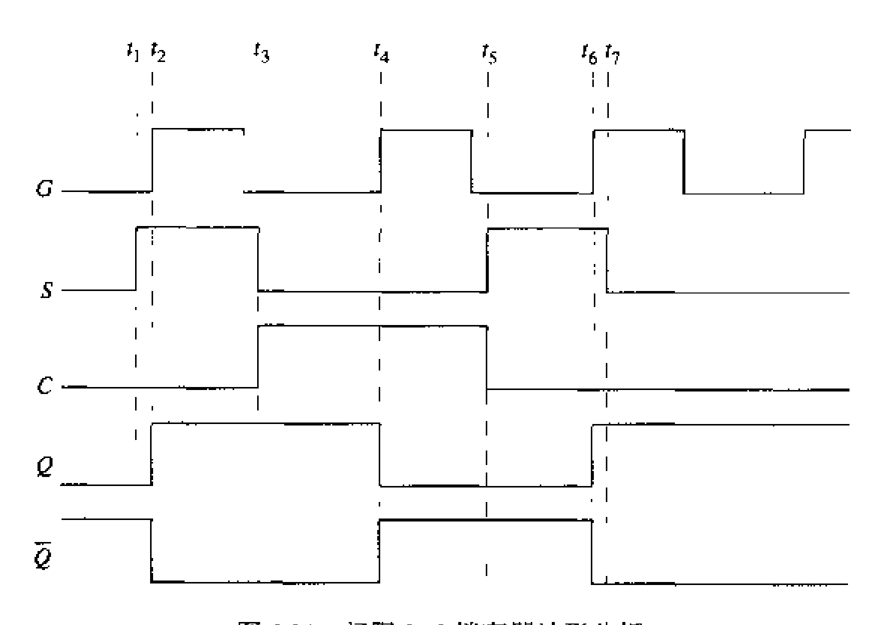


图 6.21 门限 S-C 锁存器波形分析

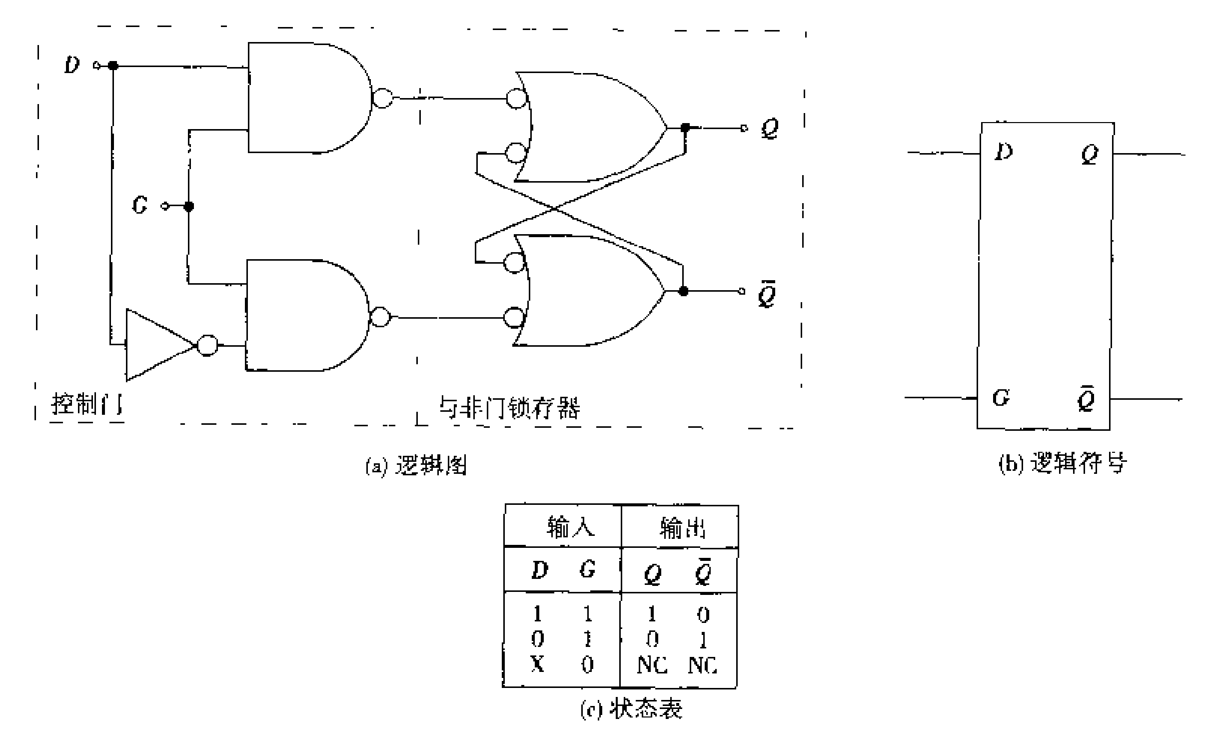
6.3.2　门限 D 锁存器

到目前为止，对于前面分析的所有锁存器电路，存在的最大问题是 INVALID 输出状态。预知锁存器的输出是最为重要的。因此，上述的锁存器电路都存在这个严重的问题。

相对而言，INVALID 输出状态是一个较容易克服的问题。对于任何锁存器，都只有三种状态：SET，CLEAR 和 RETAIN。图 6.20 所示的门限 S–C 锁存器的状态表提供了解决该问题的一些可能途径。该状态表显示的两种不同输入组合将导致 RETAIN 状态。当 $G = 0$ 时，由于使能输入（G）能强迫电路处于 RETAIN 状态，所以此时不需要输入组合 $S = 0$，$C = 0$。如果相等的输入组合 $S = 0$ 和 $C = 0$ 是不需要的，$S = 1$ 和 $C = 1$（INVALID 状态）也是不要求的，那么很容易保证不会出现这些输入组合。用来阻止这些输入组合产生的电路如图 6.22(a)所示，其逻辑符号如图 6.22(b)所示。

该电路称为 D 锁存器。一般是门限锁存器。数据锁存器或延迟类型的锁存器与门限 S–C 锁存器只有一个方面的不同。为了保证相等的数据输入组合不加到控制门上，该电路上只有一个数据输入端。该输入先加到一个控制门上，经过反相后再加到另一个控制门上。

这种结构只允许互补输入加到控制门上。因此，当这些输入被使能（$G = 1$）时，该锁存器将处于 SET 或 CLEAR 状态。如图 6.22(c)所示，当输入 G 变为低电平时，将存储使能脉冲转换时刻的锁存器状态（NC，即无变化模式）。



(a) 逻辑图

(b) 逻辑符号

输入		输出	
D	G	Q	$\bar{Q}$
1	1	1	0
0	1	0	1
X	0	NC	NC

(c) 状态表

图 6.22　D 锁存器

状态表表明，当该电路被使能时，Q 将随着输入 D 变化；并且当 $G = 0$ 时，电路处于无变化（NC）模式。NC 模式与 RETAIN 模式是直接等同的。由于电路被使能时，Q 随着 D 变，因此这种 D 锁存器常常称为透明锁存器。描述 D 锁存器工作过程的时序图如图 6.23 所示。

如果希望在输入使能脉冲为负时能够使能锁存器，则需要在 G 输入端加一个反相器，这种方法如图 6.24(a)所示。如果实际电路是利用负脉冲使能的，则它应该画成如图 6.24(b)所示的符号。圆圈表示低电平有效逻辑门。在这种情况下，输入引脚记为 $\bar{G}$。

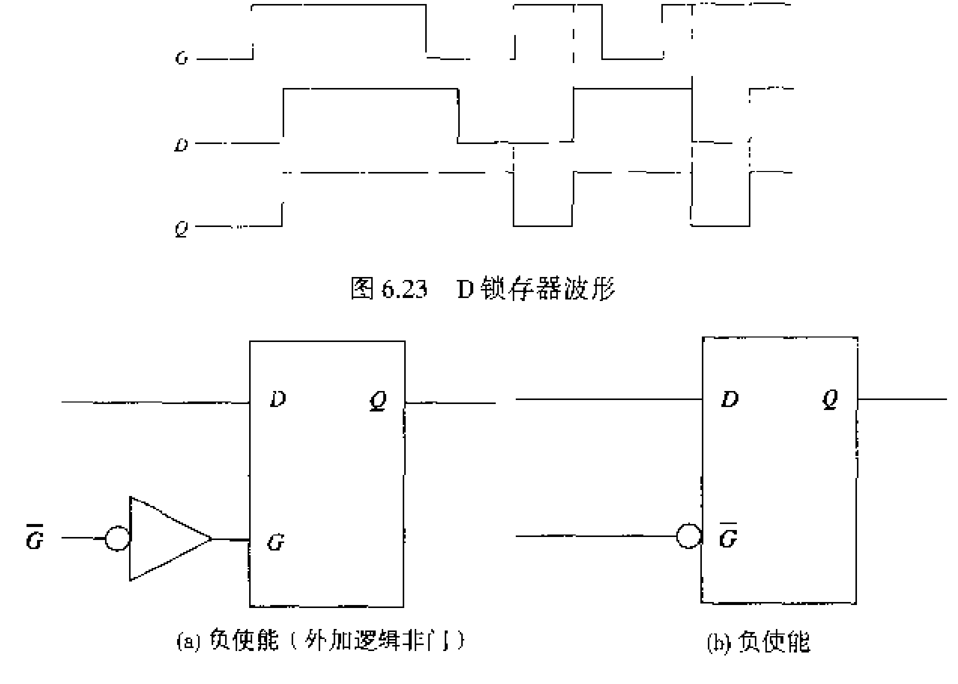


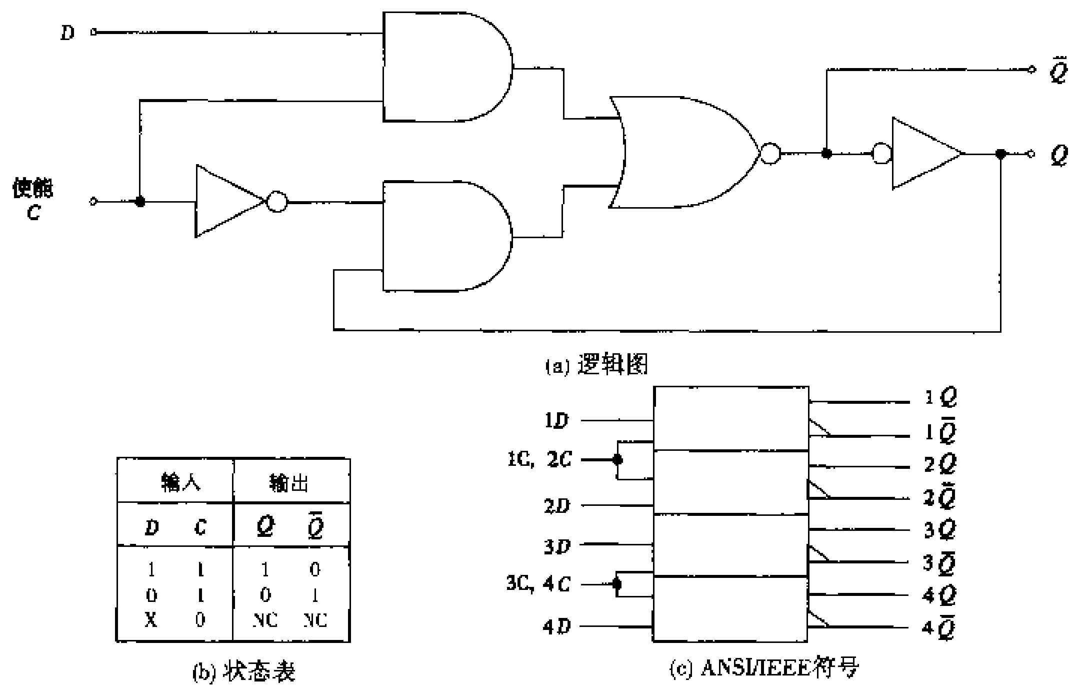
图 6.23 D 锁存器波形

(a) 负使能（外加逻辑非门） (b) 负使能

图 6.24 门限 D 锁存器

6.3.3 四位双稳锁存器

四位双稳锁存器芯片 SN74LS75 和 SN74LS77 是另外两种较好地实现锁存器电路的方法。如图 6.25 所示的锁存器 SN74LS75 的操作与门限 D 锁存器完全相同。即，当该电路被使能时，Q 将随着 D 变化；当使能输入变为低电平时，它将锁存（存储）数据，如图 6.25(b)的状态表所示。由图 6.25(a)所示的逻辑图可以看出，这种 16 引脚的芯片有 Q 和 $\overline{Q}$ 两个输出端；而锁存器的 ANSI/IEEE 符号如图 6.25(c)所示。该芯片共有 4 个锁存器，其中只有一个显示在逻辑图中。该锁存器的工作过程如下图所示。



(a) 逻辑图

输入		输出	
D	C	Q	$\overline{Q}$
1	1	1	0
0	1	0	1
X	0	NC	NC

(b) 状态表 (c) ANSI/IEEE符号

图 6.25 四位双稳锁存器 SN74LS75

当使能（C）＝0时，禁止上面的与门，并阻止数据进入锁存器。输入C经过反相，将使能下面的与门。这使得输出Q的电平可以控制或非门，从而保持当前的锁存器状态。

当使能＝1时，禁止下面的与门，并使能上面的与门。这样，输入数据控制或非门，使Q随着D变化。

四位双稳锁存器SN74LS77略有不同：该芯片没有Q输出端。该锁存器的逻辑图如图6.26所示。它与SN74LS75的状态表相同。如果去掉SN74LS75符号中的输出$\bar{Q}$，则这两种锁存器的逻辑符号也是一样的。因此可以使用14引脚的芯片。

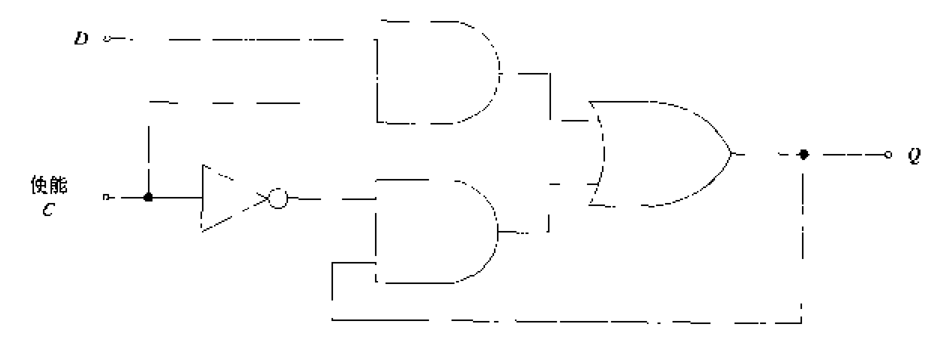
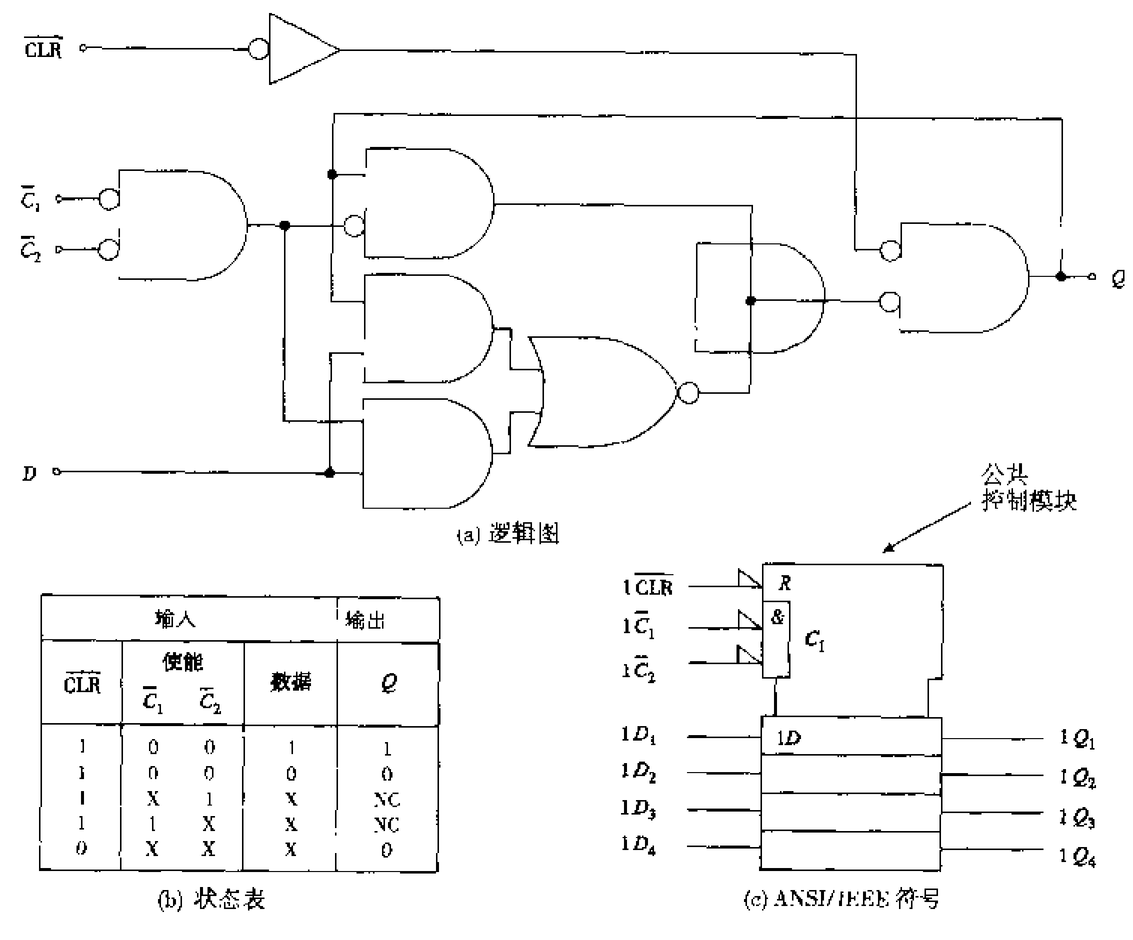


图6.26　四位双稳锁存器SN74LS77的逻辑图

图6.27所示的是带有清零输入的双通道四位双稳锁存器SN74116。该锁存器的实现电路存在另外一个变化。该芯片共有8个锁存器，但是在图6.27(a)中只显示了其中的一个。图6.27(b)所示的是其状态表，该锁存器的ANSI/IEEE逻辑符号如图6.27(c)所示。



输入				输出
$\overline{CLR}$	使能		数据	Q
	$\bar{C}_1$	$\bar{C}_2$		
1	0	0	1	1
1	0	0	0	0
1	X	1	X	NC
1	1	X	X	NC
0	X	X	X	0

(b) 状态表

(c) ANSI/IEEE 符号

图6.27　双通道四位双稳锁存器SN74116

该芯片上的每个四位锁存器都有一个异步 $\overline{CLR}$ 输入信号，这使得锁存器的复位与使能信号和输入数据无关。由于该输入与输出逻辑门直接连接在一起，所以在输入被置有效时禁止该或非门。无论其他的输入情况如何，这都将使 Q 变为低电平。该状态表表明当 $\overline{CLR}$ 有效时，其他的所有输入都是无关的。下一节将详细讨论这个异步输入和其他异步输入。

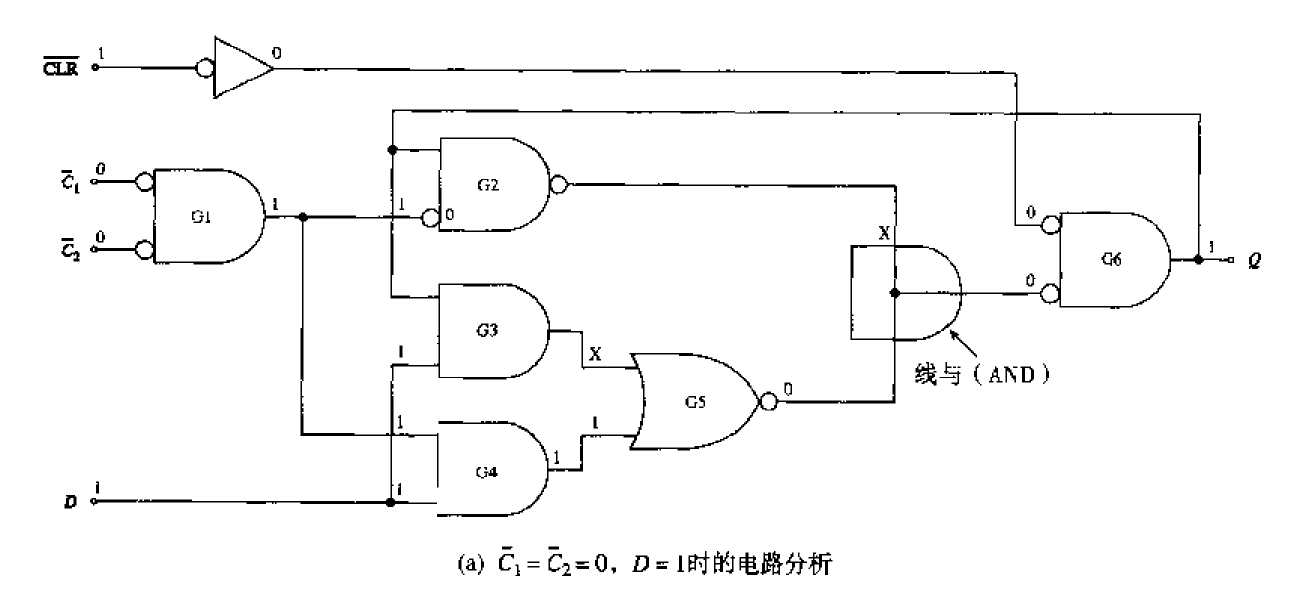
每个四位锁存器也都有一个两输入使能门电路（$\overline{C}_1$ 和 C_2），当这两个使能输入 $\overline{CLR}$ 都为低电平，且输入无效时，Q 将随着 D 变化。仔细分析该逻辑图可以证明这种说法是正确的。为了进行下面的讨论，首先需要在图 6.28(a)中重新画出该锁存器。

$\overline{CLR}=1$，$\overline{C}_1=\overline{C}_2=0$，数据 = 1，此时逻辑门 G1 的输出使能逻辑门 G4，这将使高电平输入数据通过逻辑门 G4 传送到 G5 的输入端。由于输入到 G5 的高电平信号禁止该逻辑门，所以来自 G3 的 G5 输入是一个无关项。当 G5 被禁止时，它的输出变为低电平，这使得 G6 下面的输入变为低电平。G5 和 G6 间的与门符号表示线与门电路，可以把它当成一个正常的与门（输入端是从逻辑符号上面和下面进入的两条线）。当输入到或非门 G6 的两个输入都是低电平时，其输出 Q 为高电平。如果 D 变为一个低电平，同样可以证明 Q 是随着 D 变化的。

如果两个使能输入中有一个或两个都是高电平，则该电路将进入RETAIN状态。Q 为高电平时，这种状态下的逻辑电平如图 6.28(b)所示。如果 C_1 为高电平，G4 被禁止，则禁止其输入数据到达输出端。逻辑门 G2 被使能，来自 Q 端的反馈使该电路处于无变化（NC）状态。

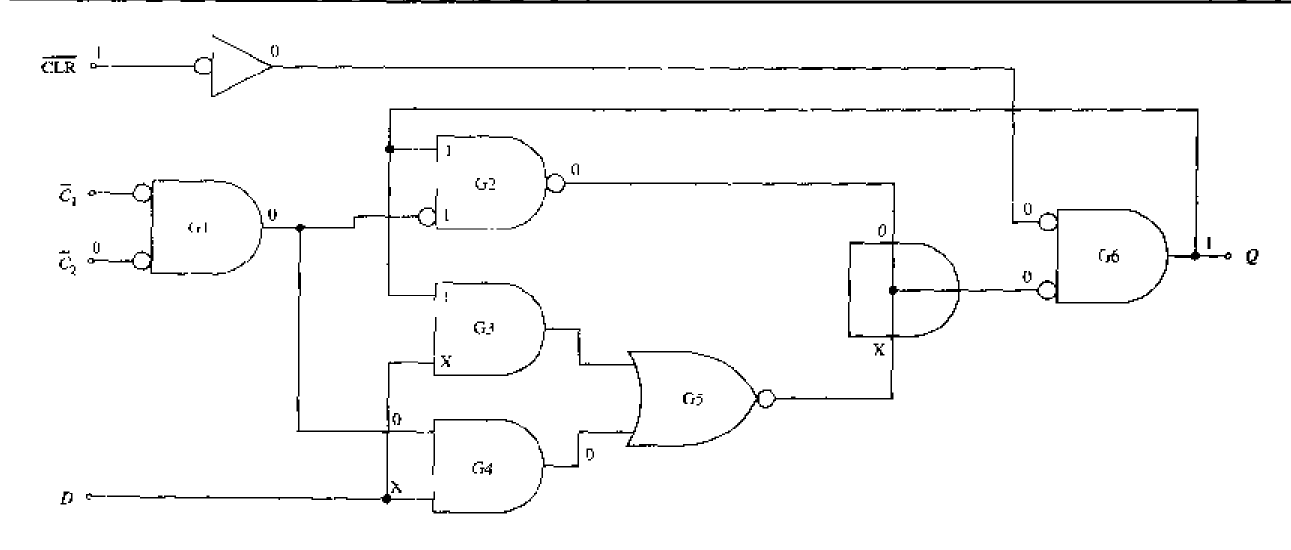
这时使能 $\overline{CLR}$ 以清零 Q，然后将 $\overline{C}_2$ 置为高电平，证明该电路保持为 $Q=0$，这是一个很好的练习。该练习的逻辑电平如图 6.28(c)所示。

回顾一下图 6.27(c)，并讨论该锁存器的 ANSI/IEEE 符号。图 6.27(a)只显示了一个四位锁存器。ANSI/IEEE 逻辑符号顶部的特殊形状表明该电路是一个公共控制模块。通常，该模块的输入表示模块下面 4 个锁存器中每一个的输入。因此，该控制模块的 1 $\overline{CLR}$ 输入表明每个四位锁存器都能够异步清零。通用控制模块中还有逻辑与（AND）函数的功能。$1\overline{C}_1$ 和 $1C_2$ 输入端上的符号表示低电平有效输入，两个输入都必须为低电平以便在内部产生高电平 C_1，从而使能这 4 个锁存器。

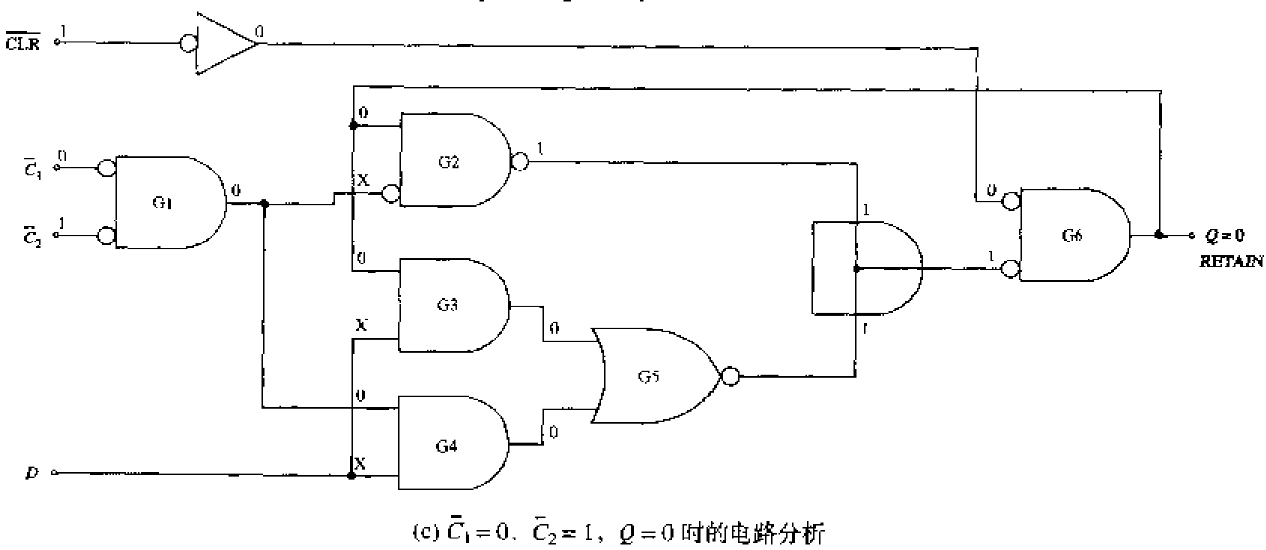


(a) $\overline{C}_1=\overline{C}_2=0$，$D=1$ 时的电路分析

图 6.28 双通道四位双稳锁存器 SN74116



(b) $\bar{C}_1=1$，$\bar{C}_2=0$，$Q=1$时的电路分析



(c) $\bar{C}_1=0$，$\bar{C}_2=1$，$Q=0$时的电路分析

图6.28（续）　双通道四位双稳锁存器SN74116

6.3 节复习题

A. 门限锁存器是________的。

(1) 同步

(2) 异步

B. 当图 6.22 所示的锁存器的使能输入为________时，Q将随着D变化。

(1) 高电平

(2) 低电平

C. 输入到如图 6.24(b)所示锁存器的数据在输出端Q被锁存（存储）时，输入$\bar{G}$为________。

(1) 高电平

(2) 低电平

D. 分析锁存器时，Q的初如状态应该为________。

(1) 高电平

(2) 低电平

E. D锁存器常常称为透明锁存器。

(1) 对

(2) 错

阶段性小结（6.1节～6.3节）

锁存器和触发器是用于存储或传送二进制数据的双稳器件。

机器语言是二进制的。

与非门锁存器是低电平有效的锁存器。

或非门锁存器是高电平有效的锁存器。

不包含控制门电路的与非门锁存器和或非门锁存器是异步锁存器。

不必记住前面部分讲到的输入/输出状态。需要记住的是锁存器的如下操作：

1. 为了将锁存器置位或清零，与非门锁存器或者或非门锁存器的输入必须是互补的。
2. 如果异步锁存器只有一个输入有效，将使该锁存器处于该输入所标注的状态。
3. 如果两个输入都有效，将使异步锁存器处于INVALID（无效）状态。
4. 异步锁存器的两个输入都无效时，该锁存器将处于RETAIN（保持）状态。

为了将低电平有效的锁存器置于SET状态，需要输入$\bar{S}=0$，$\bar{C}=1$。在低电平有效锁存器中，必须在标有想要得到的锁存器状态的输入端加上逻辑0信号，而另一个输入应该为无效信号。

为了将一个低电平有效的锁存器置于CLEAR状态，需要将其输入置为$S=1$，$\bar{C}=0$。

当$S=1$，$C=1$时，低电平有效的锁存器将处于RETAIN状态。对于低电平有效锁存器，逻辑1是无效电平。如果两个输入都无效，则不会要求锁存器进行任何操作，所以，锁存器将保持前一个状态。

如果低电平有效锁存器的两个输入同时有效（低电平信号），则该锁存器具有INVALID输出。如果锁存器是使用与非门构造的，这种情况就十分明显。与非门的短逻辑为“只要有一个输入为0，输出就为1”。所以，锁存器的两个输入为逻辑0时，则两个输出为逻辑1。

为了将高电平有效的锁存器置于SET状态，需要输入$S=1$，$C=0$。需要记住的是，在高电平有效锁存器中，必须在标有想要得到的锁存器状态的输入端加上逻辑1信号，而另一个输入端应该加上无效信号。

为了将高电平有效的锁存器置于CLEAR状态，需要将其输入置为$S=0$，$C=1$。

当$S=0$，$C=0$时，高电平有效的锁存器将处于RETAIN状态（两个输入都无效）。

如果高电平有效锁存器的两个输入同时有效（高电平信号），则该锁存器为INVALID输出。

门限锁存器是同步的，而实现同步必须另加上控制门。

当使能门限锁存器时，Q将随着D变化。未使能该锁存器时，它将处于RETAIN状态。

阶段性练习（6.1节～6.3节）

1. 锁存器是________电路

   a. 不稳定

   b. 双稳

   c. 单稳

2. 将电路的一个输入置有效就是将该输入置为有效电平。
   a. 对　　b. 错
3. 为了将锁存器置位或清零，输入必须是互补的。
   a. 对　　b. 错
4. 如果锁存器只有一个输入有效，则锁存器将处于该输入标记的状态。
   a. 对　　b. 错
5. 如果锁存器的两个输入都有效，则锁存器将处于 RETAIN 状态。
   a. 对　　b. 错
6. 当低电平有效锁存器处于 SET 状态时，Q 的电平应该为多少？
   a. 低电平（0）
   b. 高电平（1）
7. 为了将锁存器置为 CLEAR 状态，其输入电平必须是________。
   a. $\bar{S}=0$，$\bar{C}=0$
   b. $\bar{S}=1$，$\bar{C}=1$
   c. $S=0$，$\bar{C}=1$
   d. $S=1$，$C=0$
8. 当输入 $\bar{S}=1$，$\bar{C}=1$ 时，低电平有效的锁存器将处于什么状态？
   a. SET
   b. CLEAR
   c. RETAIN
   d. INVALID
9. 图 6.29 中的哪一个逻辑符号代表的是低电平有效锁存器？
   a. (a)
   b. (b)

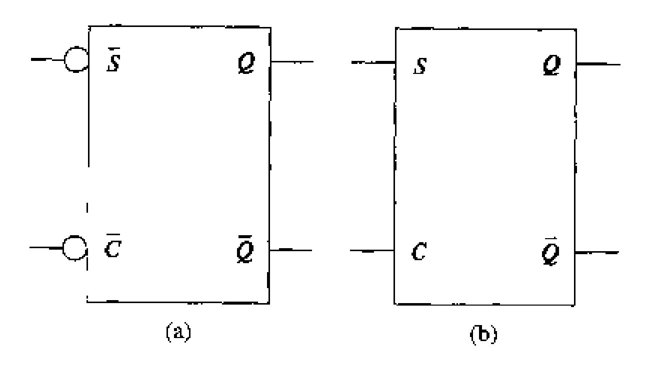


图 6.29

10. 当高电平有效锁存器处于 CLEAR 状态时，$\bar{Q}$ 的电平是多少？
   a. 低电平（0）
   b. 高电平（1）
11. 高电平锁存器是使用交叉耦合________构造的。
   a. 或门
   b. 与门

c. 或非门

d. 与非门

12. 为了将或非门锁存器置于SET状态，在其输入端必须加上什么电平?

a. $S=0$，$C=0$

b. $S=1$，$C=1$

c. $S=0$，$C=1$

d. $S=1$，$C=0$

13. 当$S=1$、$C=1$时，高电平有效锁存器将处于________状态。

a. SET

b. CLEAR

c. RETAIN

d. INVALID

14. 当$S=0$，$C=1$时，或非门锁存器的输出状态为________。

a. SET

b. CLEAR

c. RETAIN

d. INVALID

15. 基本的机器语言使用________数。

a. 十六进制

b. 八进制

c. 二进制

d. 十进制

16. 门限锁存器是异步的。

a. 对

b. 错

17. 图6.30所示的门限D锁存器处于________状态。

a. SET

b. RESET

c. CLEAR

d. RETAIN

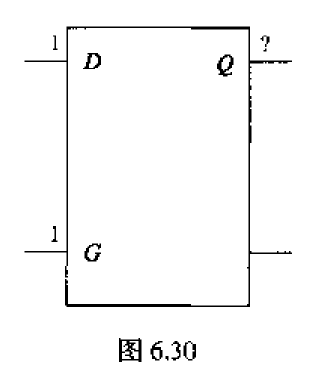


图6.30

18. 如果输入G变为低电平，则图6.30所示的锁存器将处于________状态。

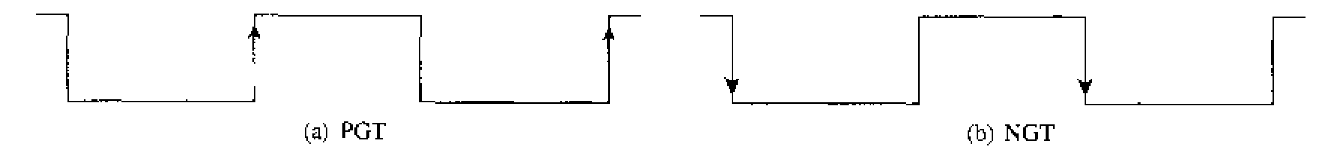
a. CLEAR
b. RETAIN
c. INVALID

触发器简介

大多数的数字系统使用复杂而极端稳定的定时电路以使系统运行同步。例如，如果一个操作员按下计算机键盘上的一个键，则这个按键的输入是异步的，因为它没有与系统的时钟同步。因此，必须采用一种方法使该系统的异步输入变成同步信号。这种同步化的方法常常要使用触发器。

和锁存器一样，触发器也是双稳器件，而且触发器只能存储一位数据。触发器和锁存器的区别是，它们各自使用的触发方式不同。锁存器电路是脉冲触发的，在使能输入脉冲的正电压持续期间或负电压持续期间成为有效的。触发器是边沿触发的设备，用于将触发器触发到SET或CLEAR状态的输入称为时钟(clock)输入。触发器只能在时钟脉冲由低电平到高电平或高电平到低电平转换时，才能受到触发而改变状态。这种同步输入使得触发器能够及时快速地运行。例如，按下计算机键盘上的某个键，如果该输入与系统发生的其他操作不同步，可以设想必然会造成极大的混乱。

触发器的输出只能在输入时钟脉冲有效转换（边沿）时才能够响应输入数据。如图6.31(a)所示，如果触发器是在时钟由低电平向高电平转换时触发的，就称为上升沿触发，常常称其为时钟脉冲的正向转换(PGT)。如图6.31(b)所示，如果触发器是在时钟由高电平向低电平转换时触发的，就称为下降沿触发，常常称其为时钟脉冲的负向转换(NGT)。



(a) PGT　　(b) NGT

图6.31 时钟（同步）脉冲

触发器中的控制门将允许数据输入只在很短的有效时钟转换期间到达锁存器，而在时钟脉冲的NGT还是PGT则取决于触发器的类型。

6.4 D触发器

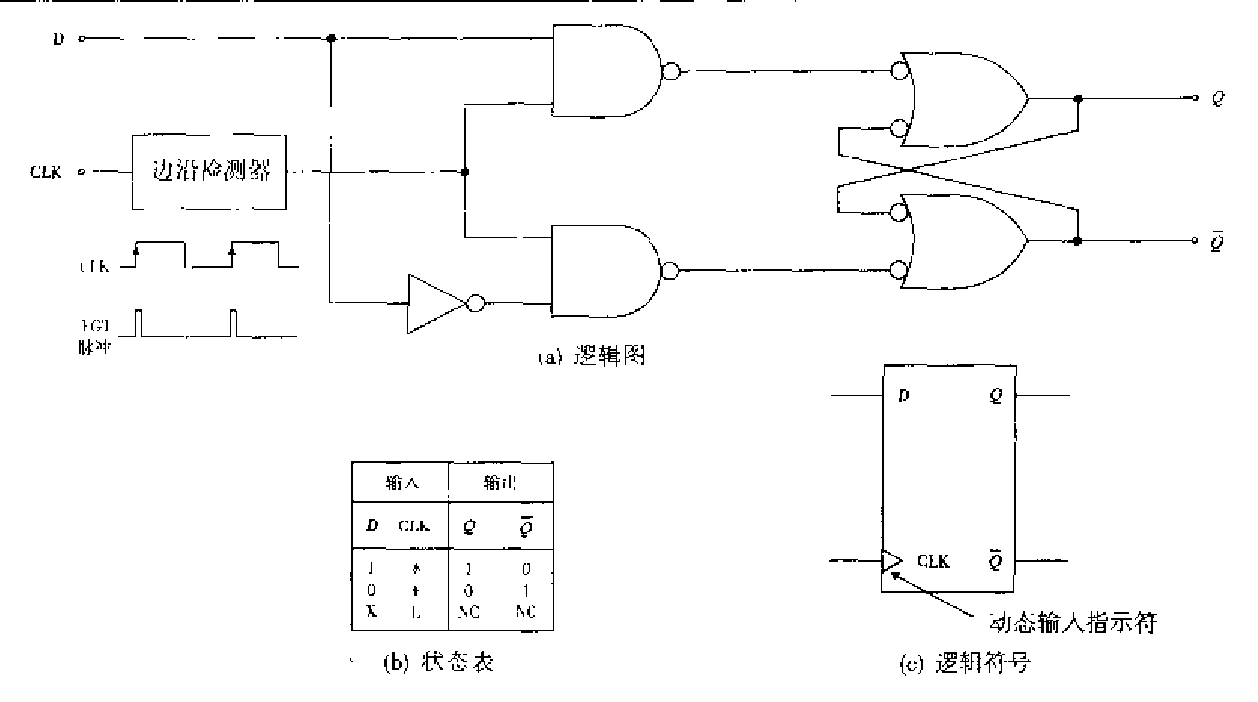
要点

1. 识别并确定所述输入条件下D触发器的输出 Q 和 $\overline{Q}$。
2. 识别上升沿或下降沿触发的D触发器的逻辑符号。

D触发器只有一个数据输入引脚。除了一点不同外，除了D触发器在时钟输入端有一个边沿检测电路以外，该电路与前面讨论的D锁存器基本相同。D触发器的逻辑图如图6.32(a)所示。

6.4.1 上升沿触发的D触发器

边沿检测电路如逻辑图所示，这里对其进行简短的介绍和分析。如果该图中的电路表示一个上升沿检测器，则它将在时钟脉冲的PGT期间产生一个短时的正脉冲。图6.32(a)中CLK波形下面的脉冲波形显示的就是这种短时脉冲，还将其标上了PGT脉冲的字样，该脉冲用于使能控制门。从这一点看，该电路的工作过程与D触发器相同。



输入		输出	
D	CLK	Q	$\bar{Q}$
1	↑	1	0
0	↑	0	1
X	L	NC	NC

图6.32 双通道四位双稳D触发器

当时钟脉冲的PGT使能控制门时，Q将随着D变化。当没有出现短时正时钟脉冲时，从边沿检测器出来的低电平输入将禁止控制门，这使得与非门锁存器处于RETAIN状态。为了在扩展期间存储触发器的数据，时钟输入应保持低电平。

D触发器的工作过程如图6.32(b)中的状态表所示。注意，在该状态表中，触发器的三个状态中有两个状态的CLK栏有向上指的箭头，这表明只有在时钟脉冲的PGT时刻Q才随D变化。

上升沿触发的D触发器的逻辑符号如图6.32(c)所示。CLK输入端的三角符号是一个动态输入指示符，这表明该触发器是边沿触发的。由于这个动态输入指示符旁边没有圆圈，所以触发器是上升沿触发的。可以把动态输入指示符看做德耳塔（Δ）符号。术语德耳塔的含义是"变化"，所以该符号表示输入必须变化以便使该触发器同步。由于时钟脉冲只在低电平向高电平转换（时钟的上升沿）或由高电平向低电平转换（时钟的下降沿）时变化，所以德耳塔符号表示边沿触发。在如图6.32(c)所示的符号中，动态输入指示符表示上升沿触发。

边沿触发可以用如图6.33所示的简单电路来完成。该电路是一个上升沿检测器。该电路中的边沿检测是通过将时钟脉冲和它自己的反相延迟信号相与（AND）而完成的。该逻辑操作的关键是在CLK 2（图6.33）由逻辑非门反相的同时因内部的传输稍微延迟了一点。只有在两个输入都为高电平时，与门输出才为高电平。这种情况发生在输入时钟脉冲的PGT时。注意，该情况在输入时钟脉冲的NGT时是不存在的。这种短时PGT脉冲用于使能图6.32(a)中电路的控制门。该脉冲的脉冲宽度等于反相器的传输延迟时间，对于TTL芯片，一般最少为20 ns~25 ns，这种延迟时间在数据表中记为t_w。

图6.34所示的是上升沿触发的D触发器的逻辑符号和时序图。注意，在该时序图中，只有在时钟脉冲的PGT时，Q才随着D输入变化。

与电平触发的锁存器相比较，边沿触发的触发器的优点在于边沿触发电路不容易受到噪声的干扰。电平触发的锁存器在整个使能脉冲期间都容易受到噪声尖峰的干扰。因此，触发器的控制输入（S/C，D或J/K）必须在整个使能脉冲持续时间里保持不变。另一方面，只需很短时间就可以使能边沿触发的触发器中的控制门电路。

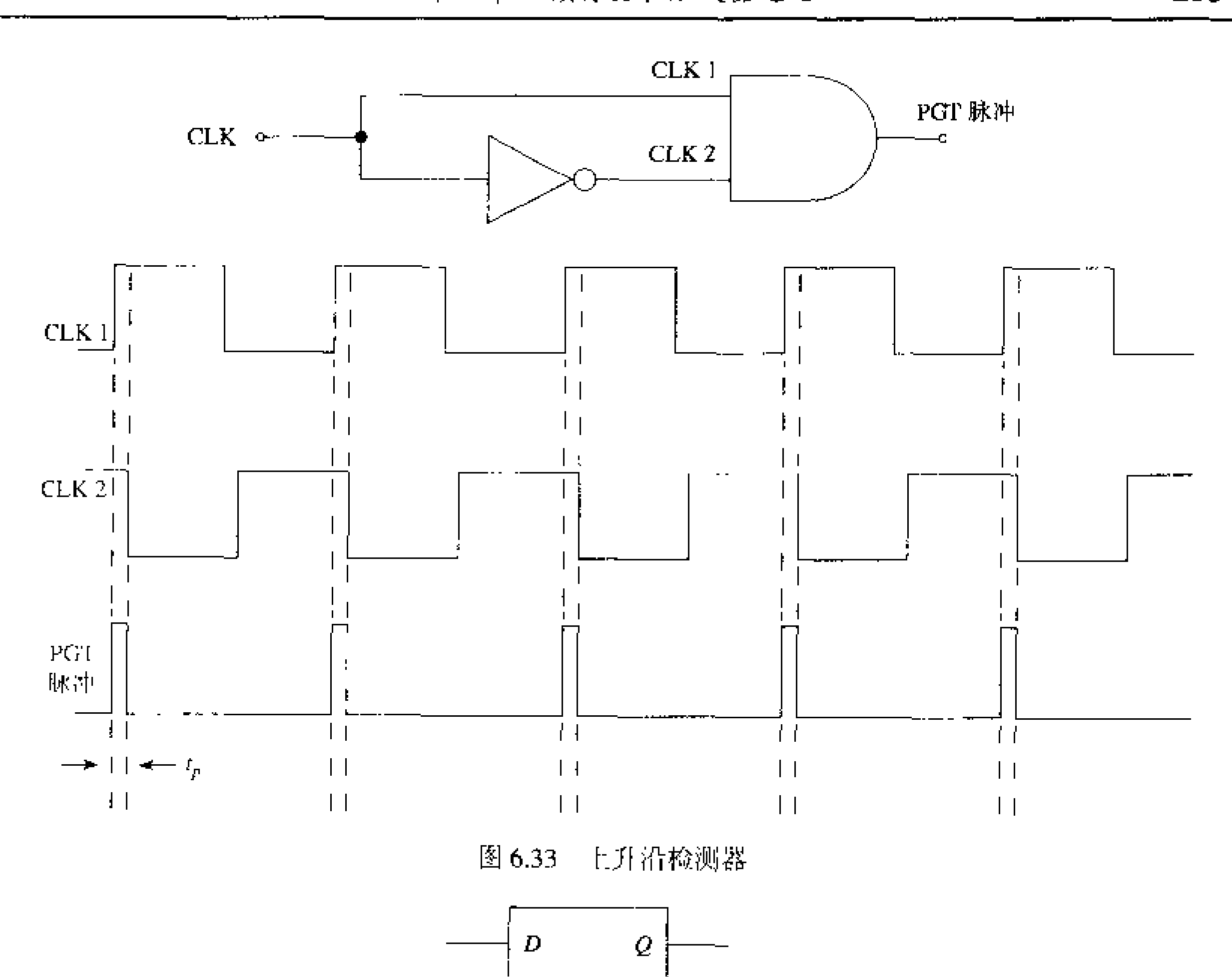


图 6.33　上升沿检测器

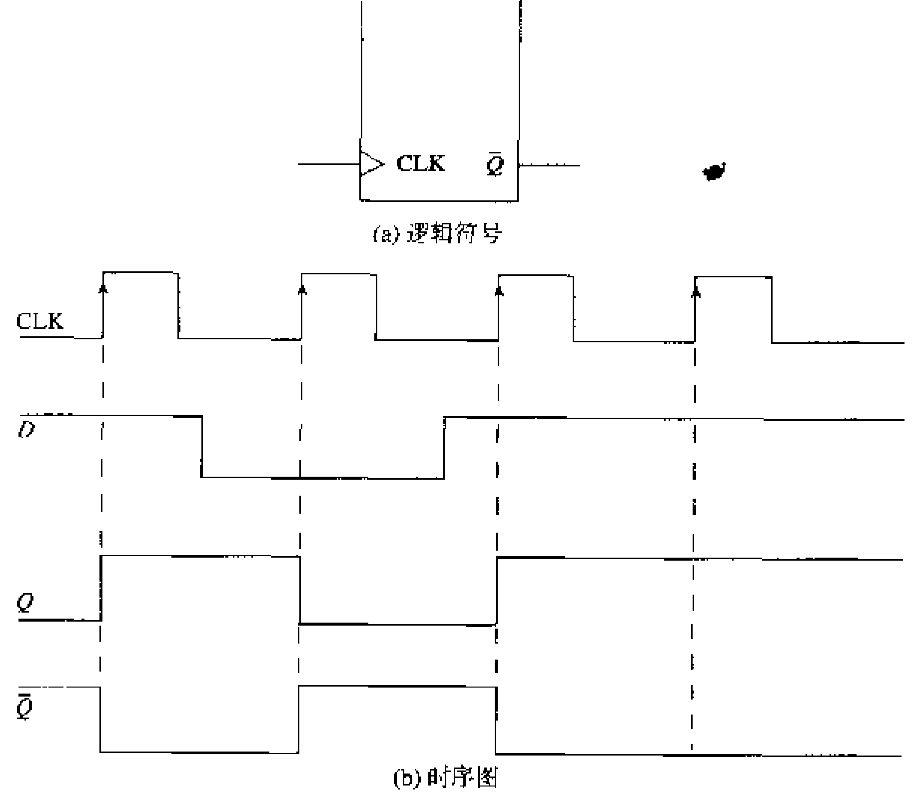


图 6.34　上升沿触发的 D 触发器

6.4.2 数据表中的参数

我们需要讨论一个问题，输入到边沿触发的触发器的数据在有效时钟转换期间不应该发生变化。如果出现这种情况（即输入到边沿触发的触发器的数据在有效时钟转换期间发生变化），将很可能造成不可靠的操作。

输入到如图 6.34 所示的触发器的数据必须在有效时钟转换之前提供。时钟转换之前的时间总和在数据表中称为建立时间（t_{su}）。建立时间是指数据在有效时钟转换前必须保持为常数的时间间隔。如果这种规定的建立时间满足要求，则可以在输出端保证精确的数据识别。换句话说，电路应该设计为在时钟转换期间触发器不改变状态。在制造商提供的数据表中可以查到建立时间的参数。

保持时间（t_h）是指从有效时钟转换到不再要求输入数据保证对输出数据正确译码的时间间隔。大多数触发器的保持时间为0，但有的触发器的保持时间最大可以达到5 ns。建立时间和保持时间如图 6.35 所示，全部都是上升沿触发的触发器的波形。

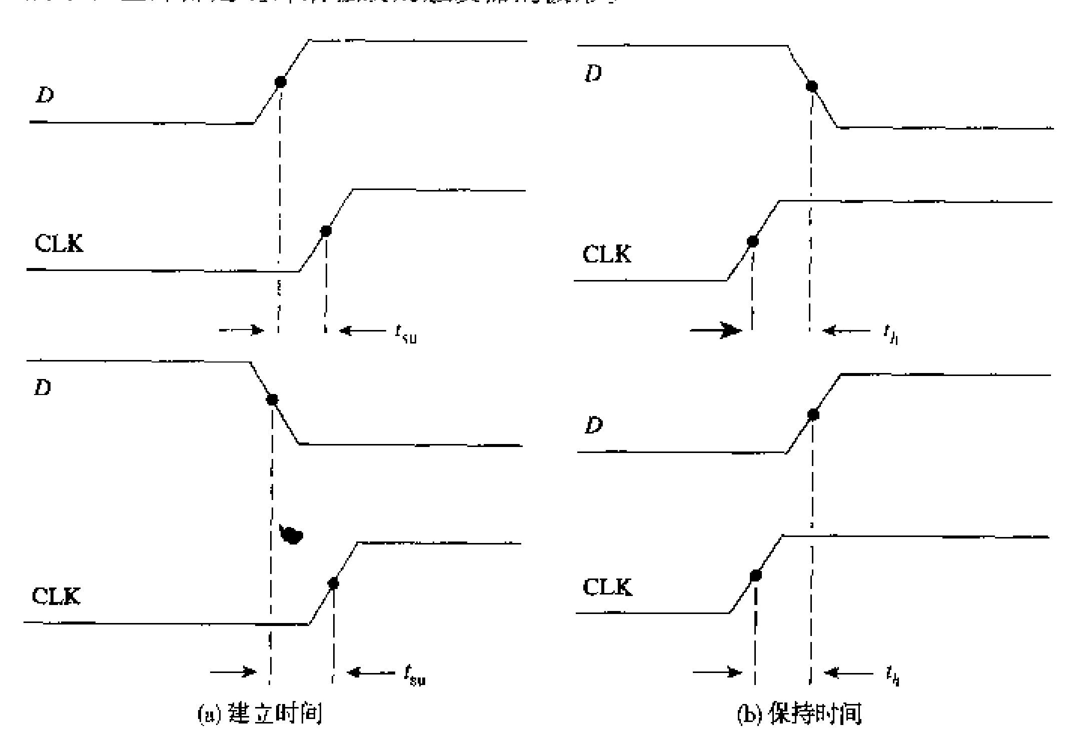
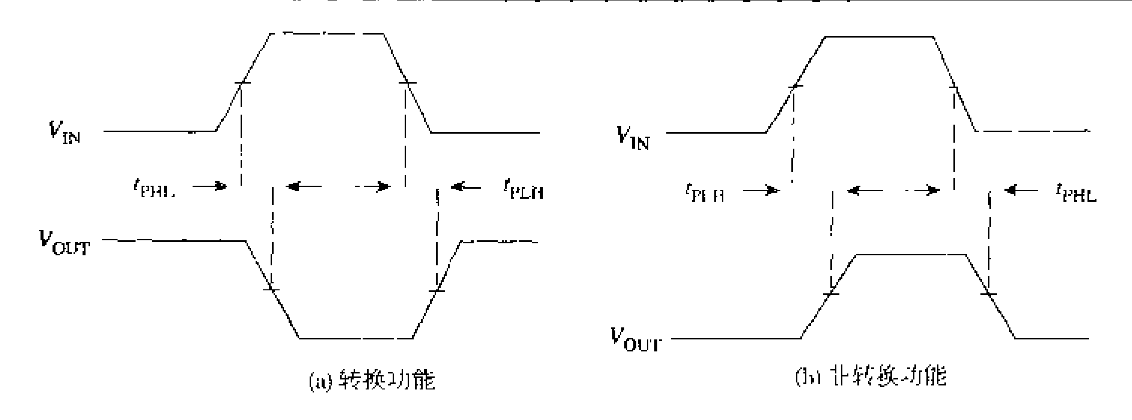


图 6.35 建立和保持时间

对于电路的设计者，双稳电路的最大时钟频率（f_{max}）是另一个非常重要的参数。顾名思义，f_{max} 是能够用于同步触发器并保证可靠运行的最高时钟频率。

在数据表中，双稳电路的内部传输延迟时间既指高电平向低电平转换的时间，也指低电平向高电平转换的时间。低电平向高电平转换的传输延迟时间写为 t_{PLH}，高电平向低电平转换的传输延迟时间写为 t_{PHL}。这两个时间表示的都是输入和输出电压波形指定点之间的时间延迟。转换和非转换功能的传输延迟时间如图 6.36 所示。

双稳电路的传输延迟时间影响到器件的最大时钟频率。用于同步触发器的频率不能太高，从而避免电路还没有时间响应前一个时钟脉冲时，后一个时钟脉冲又到了。一些在数据表中常用的符号如表 6.1 所示，这些符号详细描述了锁存器和触发器的工作过程。



(a) 转换功能　　(b) 非转换功能

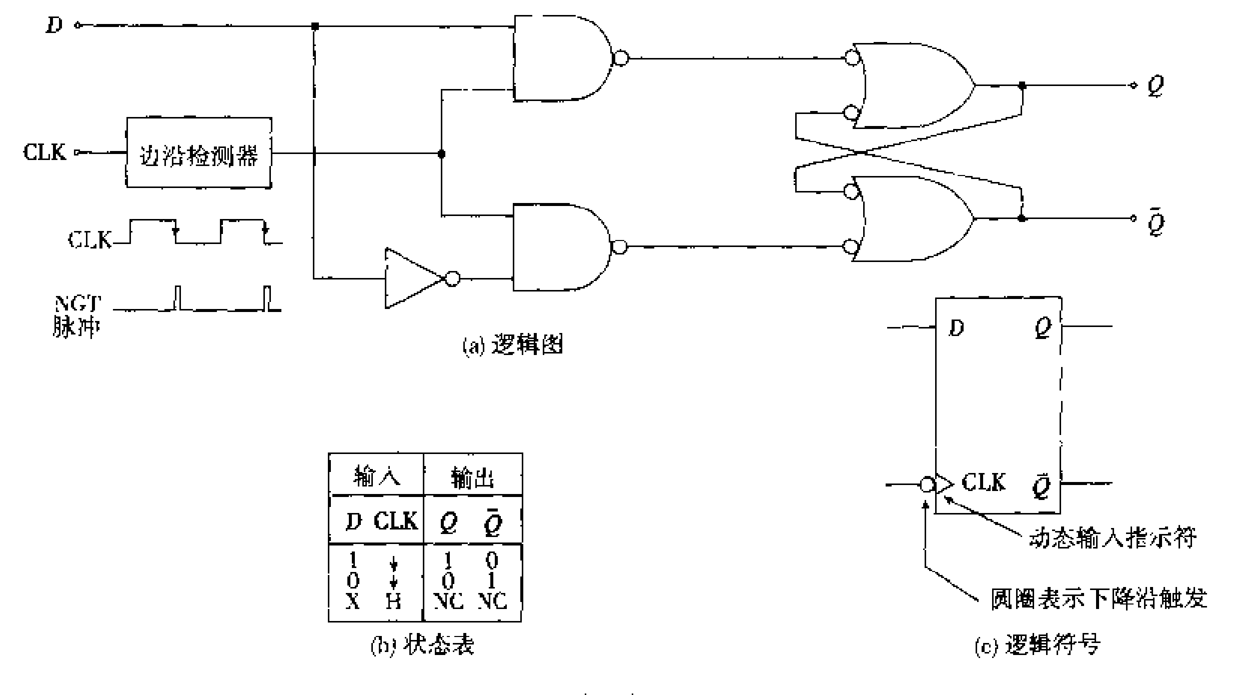
图 6.36　传输延迟时间

表 6.1　数据表中的符号

符号	意义
H	高电平稳定状态
L	低电平稳定状态
↑	低电平向高电平转换（PGT）
↓	高电平向低电平转换（NGT）
X	无关项
	高电平脉冲
	低电平脉冲
触发	在 PGT 或 NGT 时改变状态

6.4.3　下降沿触发的 D 触发器

下降沿触发的 D 触发器如图 6.37 所示。该触发器的逻辑符号如图 6.37(c)所示。这些逻辑符号和如图 6.34 所示的 PGT 触发的触发器符号之间的惟一区别是，在动态输入指示符上加了圆圈，该圆圈表明该触发器采用了下降沿触发的方式。



输入		输出	
D	CLK	Q	$\bar{Q}$
1	↓	1	0
0	↓	0	1
X	H	NC	NC

(b) 状态表

图 6.37　下降沿触发 D 触发器

下降沿触发的D触发器的逻辑图如图6.37(a)所示。下降沿检测电路在时钟脉冲NGT时产生了一个短时正脉冲。边沿检测器必须在NGT时产生一个正脉冲，从而使能触发器中的控制门。输入到边沿检测器的CLK和它产生的NGT脉冲如图所示。注意，该下降沿触发的触发器的内部电路（控制门和锁存器）与图6.32(a)中的上升沿触发的触发器的内部电路完全相同。

由于高电平到低电平时钟转换（NGT）时产生的短时正脉冲使能了控制门，所以该触发器是下降沿触发的。在该触发器时钟脉冲的NGT时刻，输出Q将随着D输入变化。在NGT未出现时，禁止控制门，该电路处于RETAIN状态。为了存储操作，通常该电路的时钟输入处于高电平。

在该触发器的状态表（图6.37(b)）中，CLK列向下指的箭头表明该触发器是下降沿触发的。该箭头表明只有在时钟脉冲的NGT时刻Q才会随着D变化。

用来产生NGT脉冲的逻辑电路如图6.38所示。因为在时钟脉冲的NGT时刻要求产生一个正脉冲，所以该电路中使用了一个或非门。当NGT出现时，或非门有两个短时低电平输入。

下降沿触发的D触发器的逻辑符号和时序图如图6.39所示。通过对Q输出波形的分析可以看出，在时钟脉冲的NGT时刻Q将随着D变化。分析过程是从触发器的CLEAR状态开始的。

上升沿触发和下降沿触发的D触发器的工作过程可以用图6.40中的波形来总结。同样的时钟和数据（D）输入被加到每个触发器上。注意两个Q输出波形的区别。

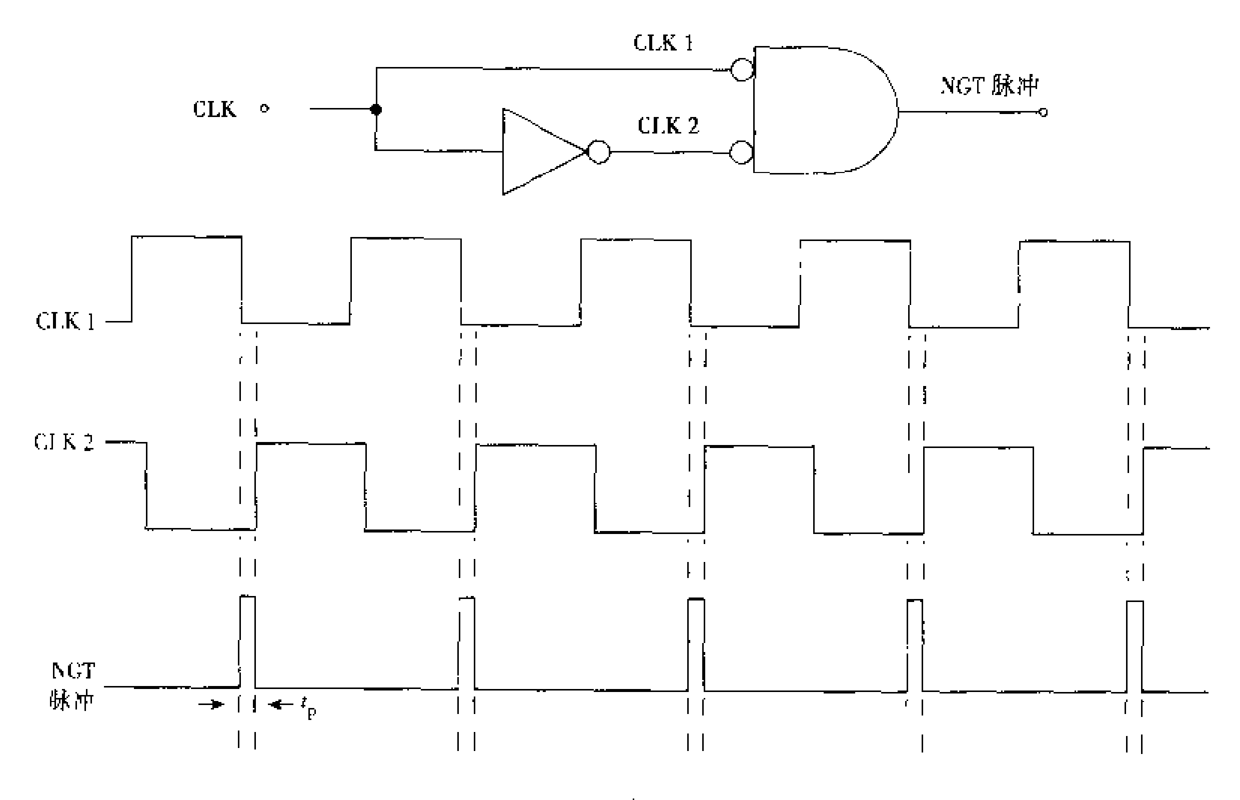


图6.38 下降沿检测器

这两个触发器，一个是上升沿触发的，而另一个是下降沿触发的，这个事实造成了波形的不同。这些触发器的输出$\overline{Q}$没有显示。在有些触发器上也没有这个输出。带有CLEAR的十六进制触发器SN74174就是这样一个例子。这个上升沿触发的触发器芯片包含了六个带有异步CLEAR输入的触发器。有些触发器还有异步SET输入。

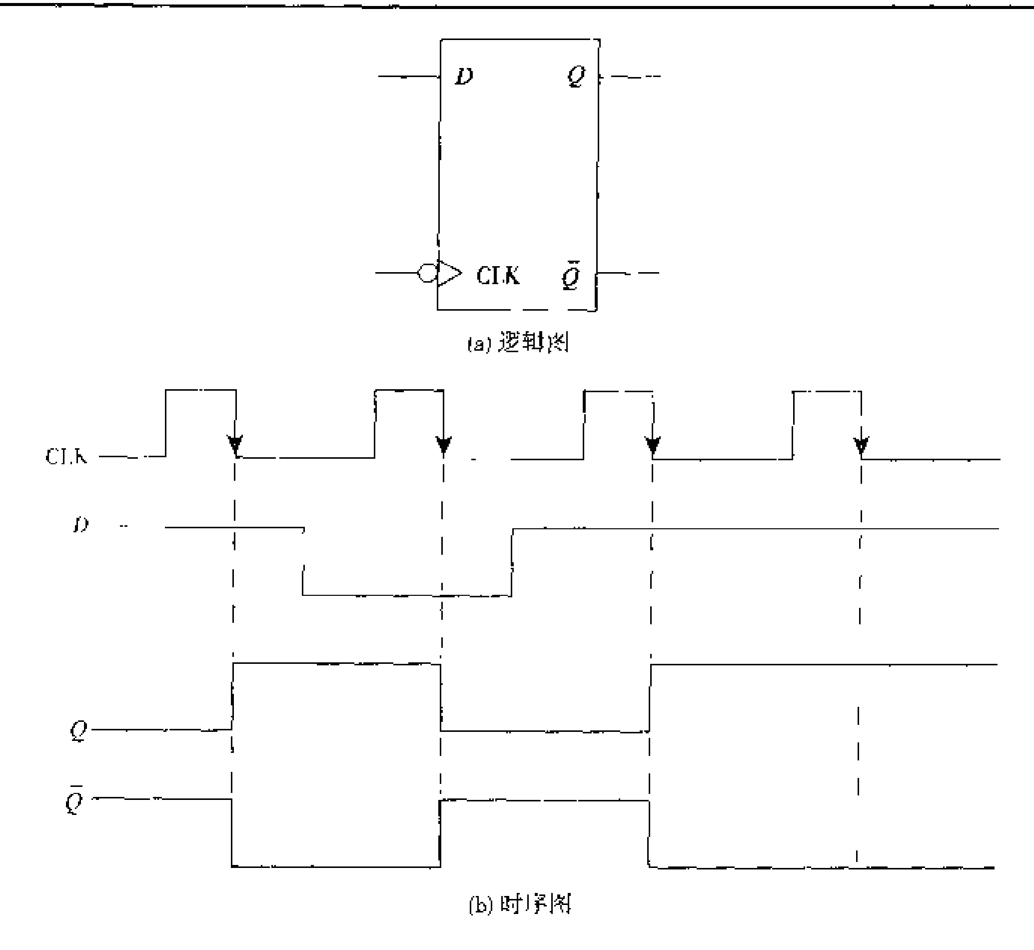


图6.39　下降沿触发的D触发器

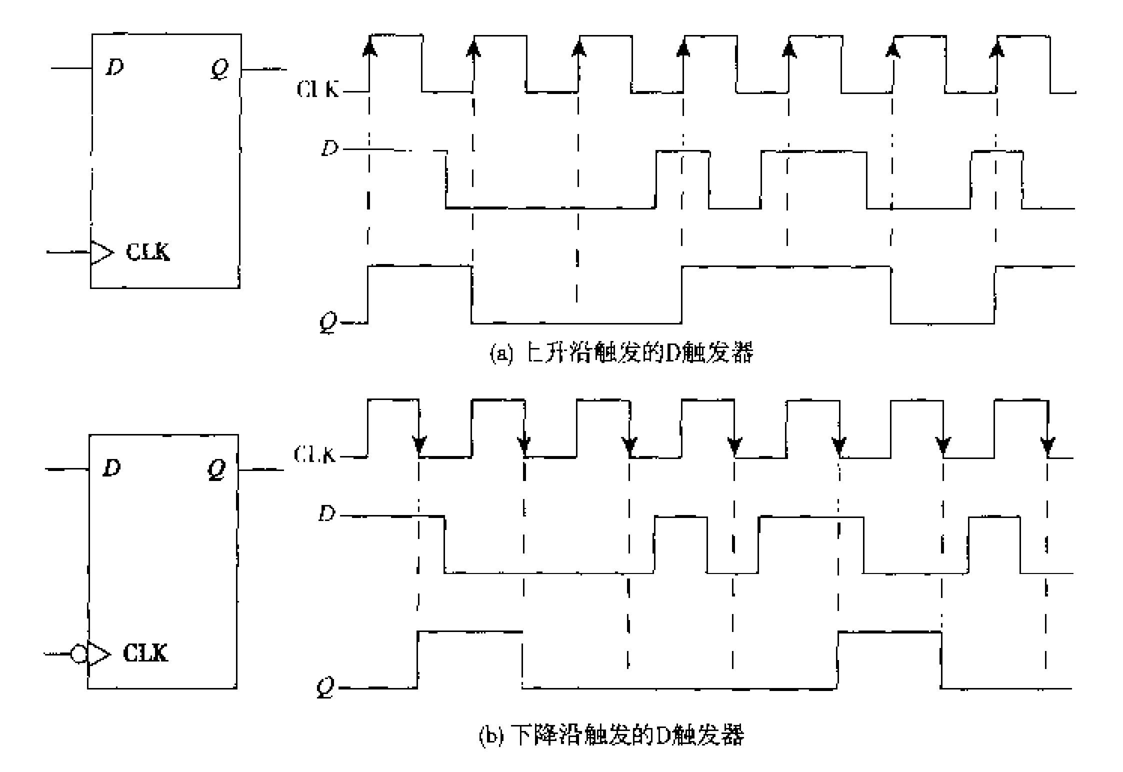


图6.40　边沿触发器的波形分析

因为D触发器的D输入是在时钟控制下送到Q上的，所以它与有效时钟转换是同步的。前面提到的两个异步输入（SET和CLR）与时钟无关。实际上，这些输入不考虑其他的输入，并在有效状态下控制着触发器的运行。输入$\overline{CLR}$在前面已经进行过简短的讨论。

图6.41说明了为什么当这些输入中的某一个有效时可以控制电路的运行。由于输入直接与锁存器的输出与非门相连，所以它们不考虑数据输入和时钟输入。图6.41所示的逻辑图是SN7474双D上升沿触发的触发器的一半。

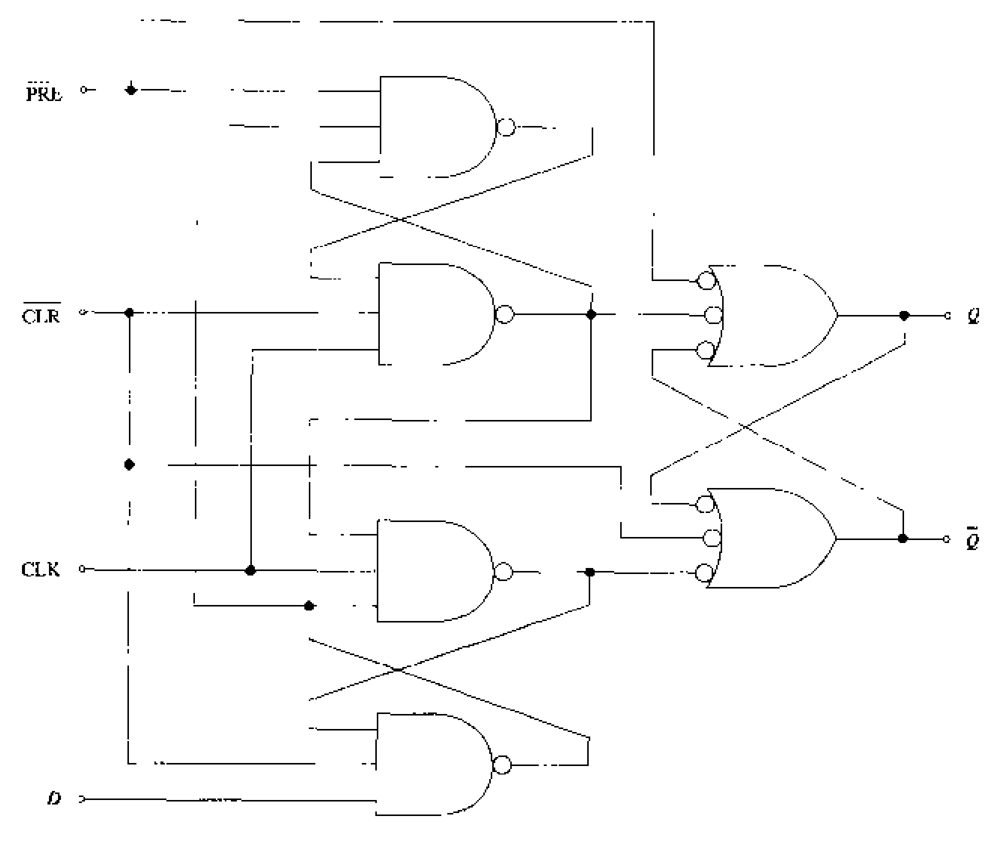


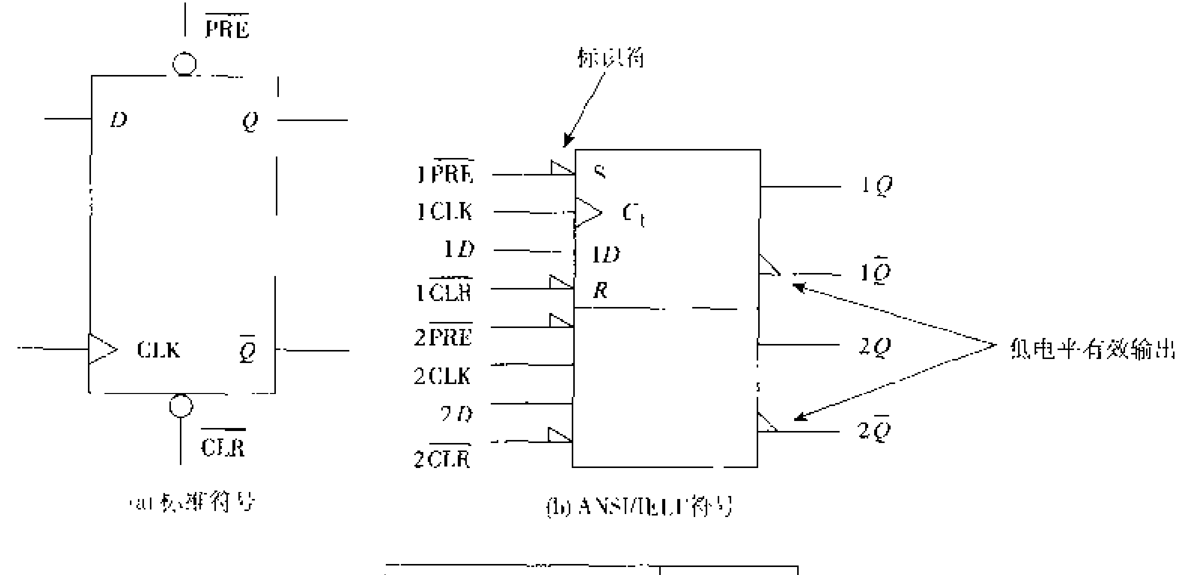
图6.41　SN7474双D触发器逻辑图

在数据表中，输入$\overline{PRE}$标为S_D，表示直接SET状态。当该输入有效时，触发器进入SET状态。输入$\overline{CLR}$有时标为C_D，表示直接CLEAR状态。因为不能确定电路在加上电源时的初始状态（SET或CLEAR），所以许多锁存器和触发器芯片都提供了这些异步输入。有时，触发器将以CLEAR状态开始，其他时候则可能以SET状态开始。如果触发器用于存储数据，那么在装载数据前，都应该将其清零。

输入$\overline{PRE}$和$\overline{CLR}$都是低电平有效输入。同与非门锁存器不能使两个输入同时有效的原因相同，这两个输入也不能同时有效。记住，出现这种情况时，两个输出Q和$\overline{Q}$都将变成高电平。同样，一旦输入$\overline{PRE}$和$\overline{CLR}$都回到无效电平，输出状态就变得无法预测了。如果不打算利用这两个输入来异步控制触发器，则它们应该一直连接到V_{CC}上，不应该将它们悬空。在需要直接控制触发器时，通常必须把它们连接到一个能转换为低电平的高电平开关或电线上。

绝大多数边沿触发的触发器都带有输入$\overline{PRE}$和$\overline{CLR}$。如果在某个触发器上不能同时找到这两个输入，则一般情况下输入$\overline{CLR}$还是存在的。也有例外，特别是在锁存器电路中。

图6.42显示了SN7474双D触发器的逻辑符号和状态表，其ANSI/IEEE符号如图6.42(b)所示，$\overline{PRE}$和$\overline{CLR}$上的非号表示低电平有效输入。该触发器的状态表新添加了异步输入。



(a) 标准符号 (b) ANSI/IEEE符号

输入				输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$
0	0	X	X	1	1*
0	1	X	X	1	0
1	0	X	X	0	1
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	NC	NC

*INVALID

(c) 状态表

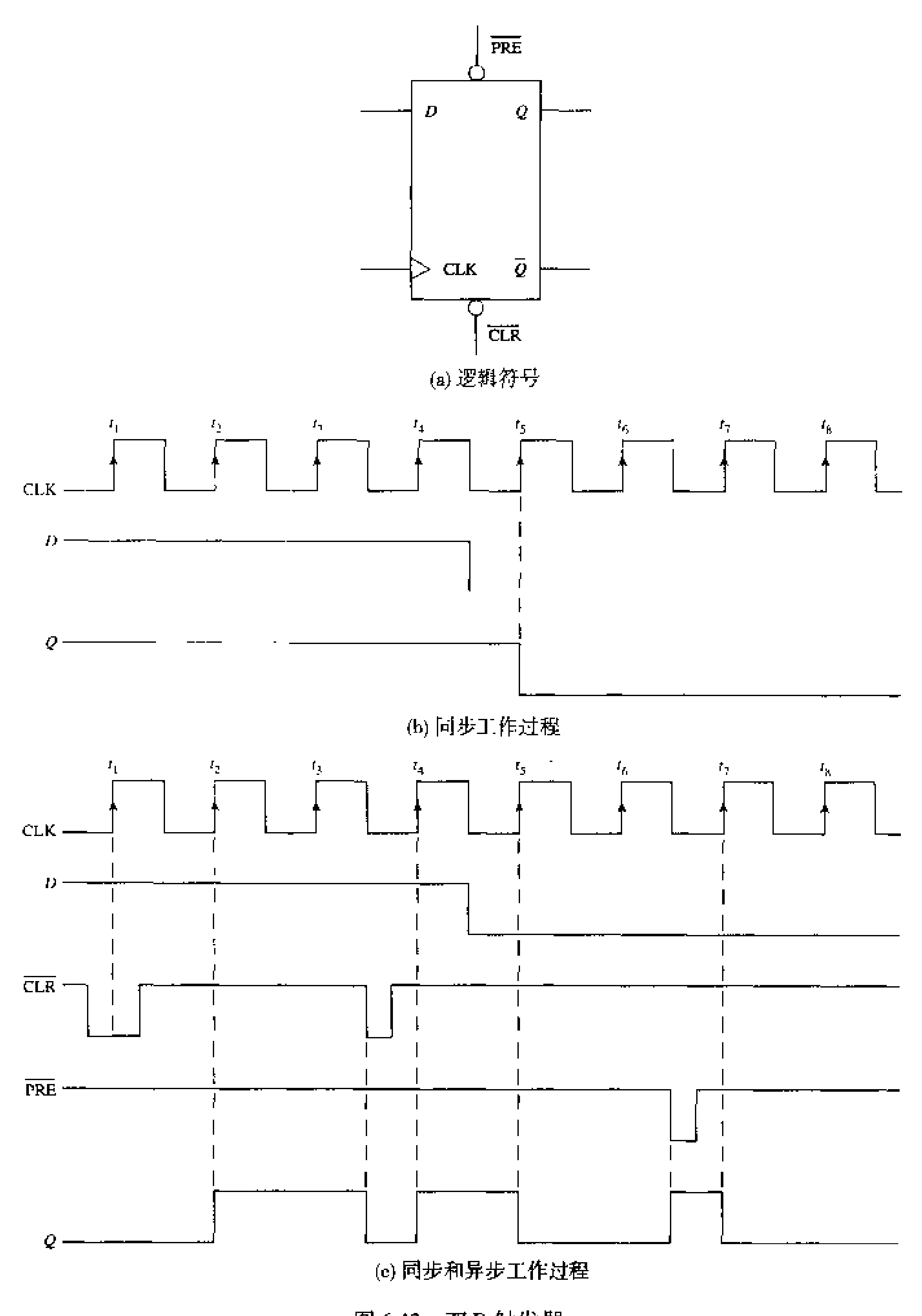
图6.42 SN7474双D触发器

状态表中的第一组输入条件为$\overline{PRE}$和$\overline{CLR}$有效，输出Q和$\overline{Q}$都为高电平，数据表注明该状态不可预测。状态表的下一条件为$\overline{PRE}$有效，$\overline{CLR}$无效。由于$\overline{PRE}$优先于输入，所以触发器进入SET状态与CLK和D无关。第三个条件为$\overline{CLR}$无效。状态表中的其他状态都已经讨论过了。

图6.43所示的波形显示了异步输入是如何优先于同步输入数据而控制触发器的。由于同步操作期间，在时钟脉冲的PGT时刻，Q随着D变化，所以如果在此期间异步输入均无效，则输出Q看上去就和数据输入一样。这一点如图6.43(b)所示，此时假设$\overline{PRE}$ = $\overline{CLR}$ = 逻辑1。Q的波形稍微向右移动了一点，这样它就可以与t_5的PGT一致。

图6.43(c)中的波形显示在t_1期间，该电路被异步清零，初始状态为CLEAR状态。在t_2时刻，Q随着D变化。由于数据输入仍然为高电平，所以在t_3时刻Q仍为高电平。在t_4之前，电路又被清零。在t_4时刻，电路返回到SET状态。在t_5时刻被清零（同步运行）。在t_7之前，由于输入$\overline{PRE}$有效，又将电路异步置位，然后在t_7的PGT时刻同步返回到CLEAR状态。

输入$\overline{PRE}$和$\overline{CLR}$必须在一个特定的最小时间内保持为低电平，以保证触发器异步控制的正常进行。这个时间要求是数据表中的另一个参数，它和最小时钟持续时间一起标为t_w。对于TTL触发器，该参数的典型值为25 ns。



(a) 逻辑符号

(b) 同步工作过程

(c) 同步和异步工作过程

图6.43 双D触发器

6.4.4 翻转操作

如图6.44所示，将一个D触发器连接起来，其输出Q将在每个有效时钟转换时刻改变状态。逻辑电平从1到0或从0到1的变化称为翻转（TOGGLE）。如果一个触发器在每个有效时钟转换时刻改变状态，那么该触发器就处于TOGGLE工作模式。

图6.44(b)中的波形显示了这种翻转操作是如何完成的。触发器由CLEAR状态开始工作。当Q为低电平时，$\bar{Q}$为高电平，并且它与触发器的数据输入端相连。因此，在t_1时，Q变为高电平。由于在t_1以后Q为高电平，所以$\bar{Q}$为低电平，Q将在t_2的PGT时刻变为低电平。因为输出$\bar{Q}$控制着输入D，所以该触发器在每个时钟脉冲的PGT时刻都将改变状态。

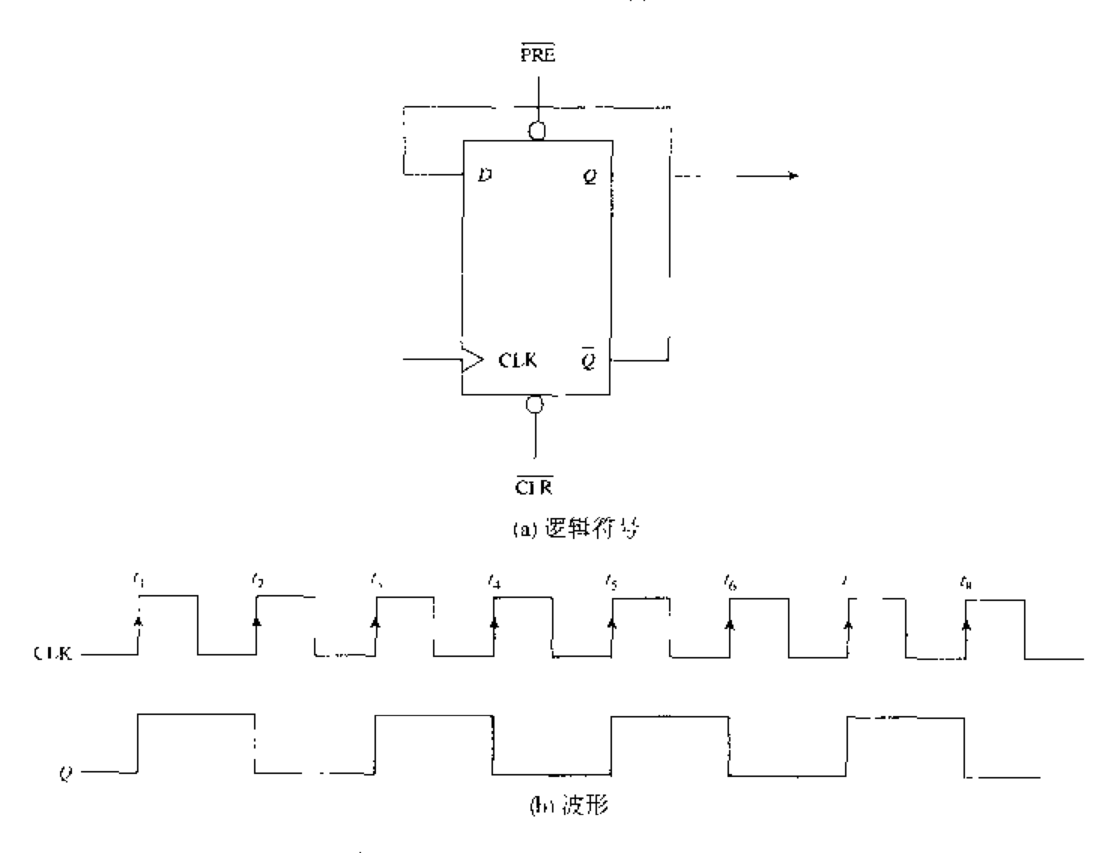


图6.44 D触发器：TOGGLE模式

该触发器的输出频率是输入时钟频率（f_{in}）的一半。当触发器工作在TOGGLE模式时，它的功能就是一个二分频电路。

图6.45中的逻辑图表示连接触发器可以获得更高的分频能力。触发器#1将输入的100 kHz进行了二分频。该触发器的输出Q（50 kHz）作为触发器#2的CLK输出。这个50 kHz的信号再次进行二分频，产生一个25 kHz的信号。输出Q_2是原信号频率f_{in}的四分之一。如果再在输出Q_2上连接一个TOGGLE模式的触发器，其输出就是f_{in}的八分之一。

在数字电路中分频功能就是这样实现的。二进制计数正是基于这种翻转能力。

6.4 节复习题

A. 锁存器是__________触发的。

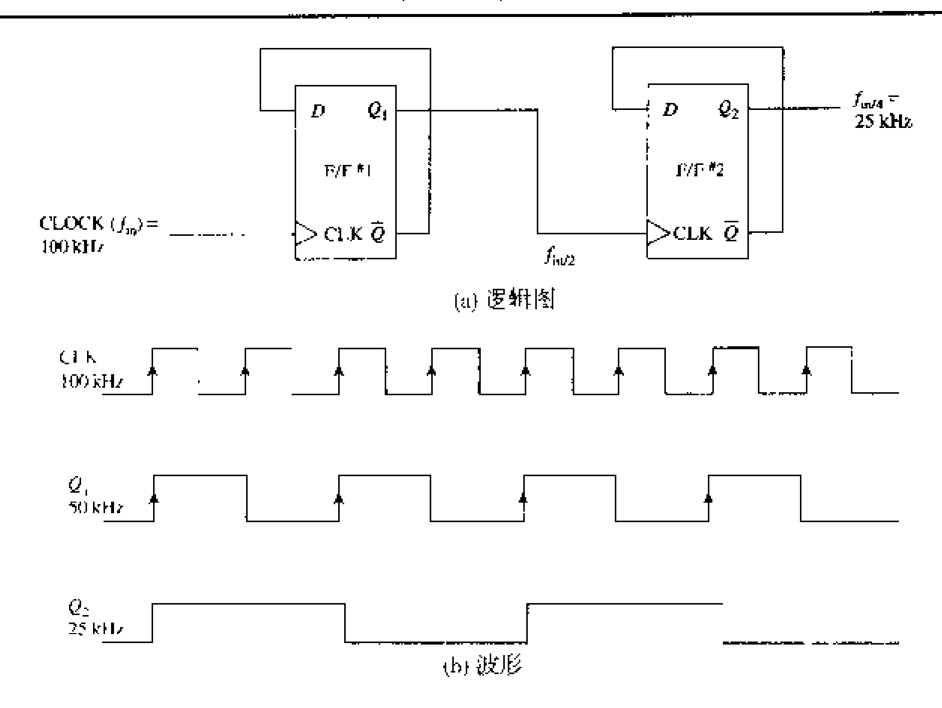
(1) 脉冲

(2) 边沿

B. 触发器是__________触发的。

(1) 脉冲

(2) 边沿



(a) 逻辑图

(b) 波形

图 6.45 四分频电路

C. 触发器 CLK 输入端的三角符号指的是：
(1) 低电平有效输入
(2) 高电平有效输入
(3) 边沿触发

D. 对于下降沿触发的 D 触发器，在 CLK 脉冲的 NGT 时刻，Q 将随着 D 变化。
(1) 对
(2) 错

E. D 触发器的数据（D）输入是异步输入。
(1) 对
(2) 错

F. 触发器的输入 PRE 和 CLR 与数据输入和时钟输入无关。
(1) 对
(2) 错

G. 当触发器的输入 PRE 有效时，触发器将进入 RESET 状态。
(1) 对
(2) 错

H. 逻辑电平从 1 到 0 或从 0 到 1 的转换称为________。
(1) 置位
(2) 清零
(3) 翻转

I. 当触发器处于 TOGGLE 模式时，它的功能与二分频电路相似。
(1) 对
(2) 错

6.5 J–K触发器

要点

1. 识别J–K触发器符号。
2. 已知输入信号时，确定J–K触发器的状态。

J–K触发器在数字电路中是一种非常流行、功能较多且使用广泛的触发器。字母J和K没有具体的意义。J–K触发器的简化逻辑图如图6.46所示。

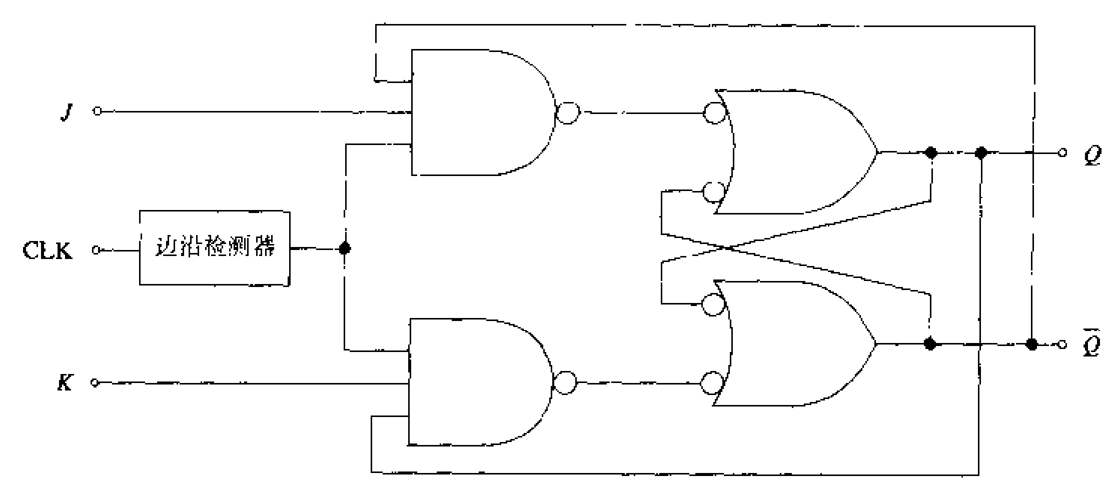


图6.46　J–K触发器的逻辑图

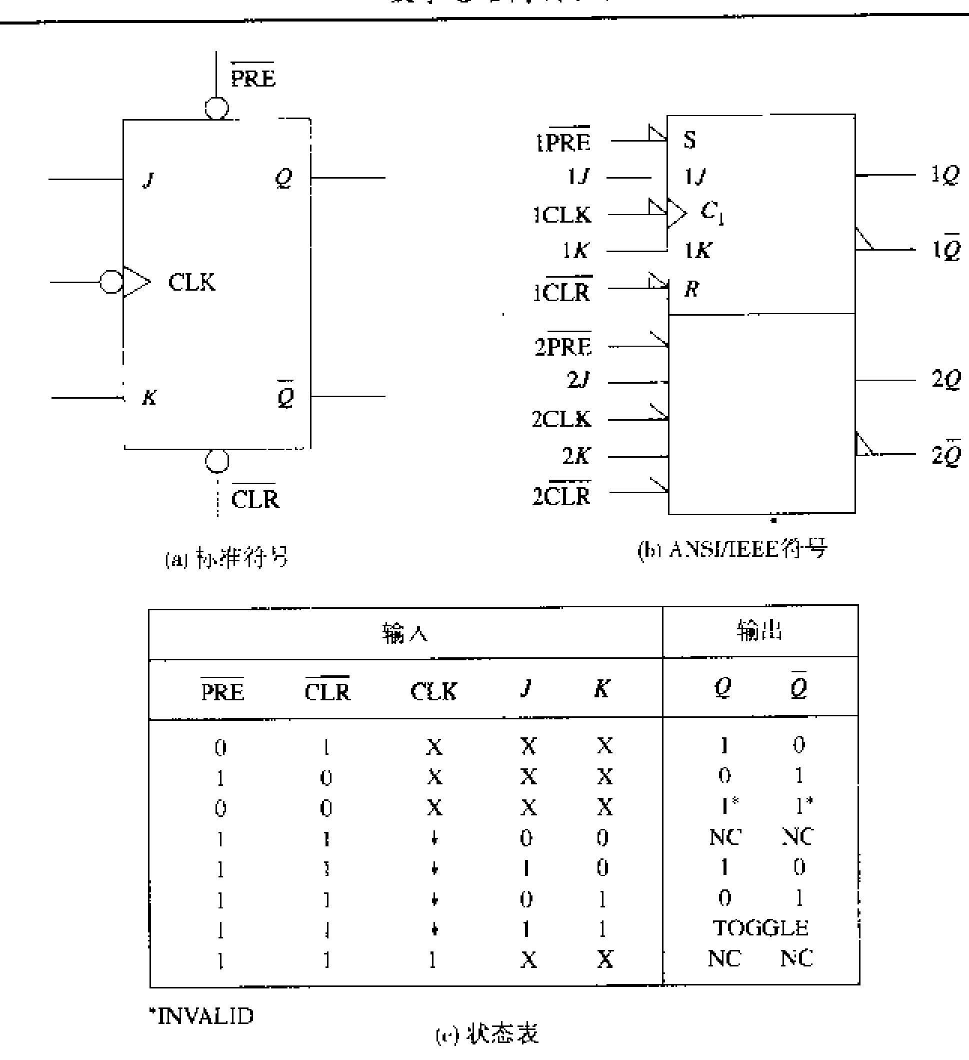
该逻辑图看上去与D触发器的逻辑图很相似，包括边沿检测器、控制门和锁存器，图中没有显示其异步输入端。但是，该触发器有两条数据输入端（J和K），而不是像D触发器只有一条。这两种触发器的主要区别是，J–K触发器的Q和$\overline{Q}$都连回到输入控制门上，这是在芯片内部实现的。如果没有Q和Q的反馈，该电路就和S–C触发器没有任何不同。如果S–C触发器的两个输入信号同时有效，则其输出将是INVALID（无效）。J–K触发器中Q和$\overline{Q}$的反馈阻止了这种情况的发生。取而代之的是，当J和K都为高电平时，将产生TOGGLE运行模式。

图6.47所示的是下降沿触发的J–K触发器的逻辑图和状态表。因为其工作过程与前面讲到的触发器类似，所以没有必要通过逻辑图跟踪逻辑电平。如果想通过跟踪该电路的逻辑1和逻辑0电平的变化来证明图中的状态表，则必须记住，在开始分析之前必须先假设一个输出状态。这和锁存器一样，确定控制门的初始输入是绝对必要的。

图6.47(c)中状态表的第一组输入条件与异步$\overline{PRE}$和$\overline{CLR}$输入有关。如状态表所示，这两个输入都没有同时变为有效信号（低电平信号）。该状态表中的最后五个条件显示$\overline{PRE}$和$\overline{CLR}$都是无效的。

当$J=K=0$且时钟保持高电平时，该触发器处于RETAIN（NC）状态。因为NGT没有出现，所以即使时钟保持为低电平，该触发器也将保持其前一个状态。

J-K触发器的主要优点是当$J=K=1$时，具有TOGGLE运行模式。如同D触发器在$\overline{Q}$返回到D输入时的操作。实际上，返回到D触发器输入端D的反馈信号$\overline{Q}$也加到了内部的反相器上，并将Q加到其他控制门上。因此，D触发器通过外部连接方法实现的翻转模式在J–K触发器中是通过内部连接实现的。



(a) 标准符号　　　　(b) ANSI/IEEE符号

输入					输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1*	1*
1	1	↓	0	0	NC	NC
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	TOGGLE	
1	1	1	X	X	NC	NC

*INVALID

(c) 状态表

图 6.47　J-K 触发器 SN74LS76（下降沿触发）

当控制输入（J和K）互补，且$\overline{PRE}$和$\overline{CLR}$都无效时，时钟脉冲NGT时刻的状态表（图6.47(c)）指出，Q随着J变化，$\overline{Q}$随着K变化。

SN74LS76是一个带有PRESET和CLEAR（状态）的双J-K触发器。该触发器是下降沿触发的。如图6.47(a)和(b)所示的符号表示了这种触发器。同时，图中所示的状态表是针对SN74LS76芯片的。

图6.48(a)所示的波形描述了下降沿触发的J-K触发器的工作过程。在学习中将波形和图6.47(c)所示的状态表联系在一起是有好处的。

电路分析是从Q为低电平开始的。t_1时刻，该触发器被J和K输入同步置位（SET）。因为$J=K=0$，所以t_2和t_3时刻该触发器处于HOLD（保持）状态。在t_4的NGT之前$J=0$，$K=1$，所以该触发器在这个NGT时刻清零。注意，在t_5，t_6和t_7有效时钟转换期间，$J=K=1$，因此，该触发器在每个NGT时刻都会改变状态。t_8时刻，$J=0$，$K=1$，所以该触发器清零。在t_9和t_{10}时刻，该触发器处于HOLD状态。

图6.48(b)所示的波形显示了一个上升沿触发的触发器的工作过程。图6.47(c)所示的状态表能够用于该电路的分析。对于一个PGT触发的触发器，CLK箭头向上指。状态表中其他的信息都是相同的。输入到PGT触发的触发器（图6.48(b)所示）的CLK信号和控制输入信号，与输入到6.48(a)所示的NGT触发的触发器中的信号是相同的。在相同的输入波形比较这两个触发器的工作过程。

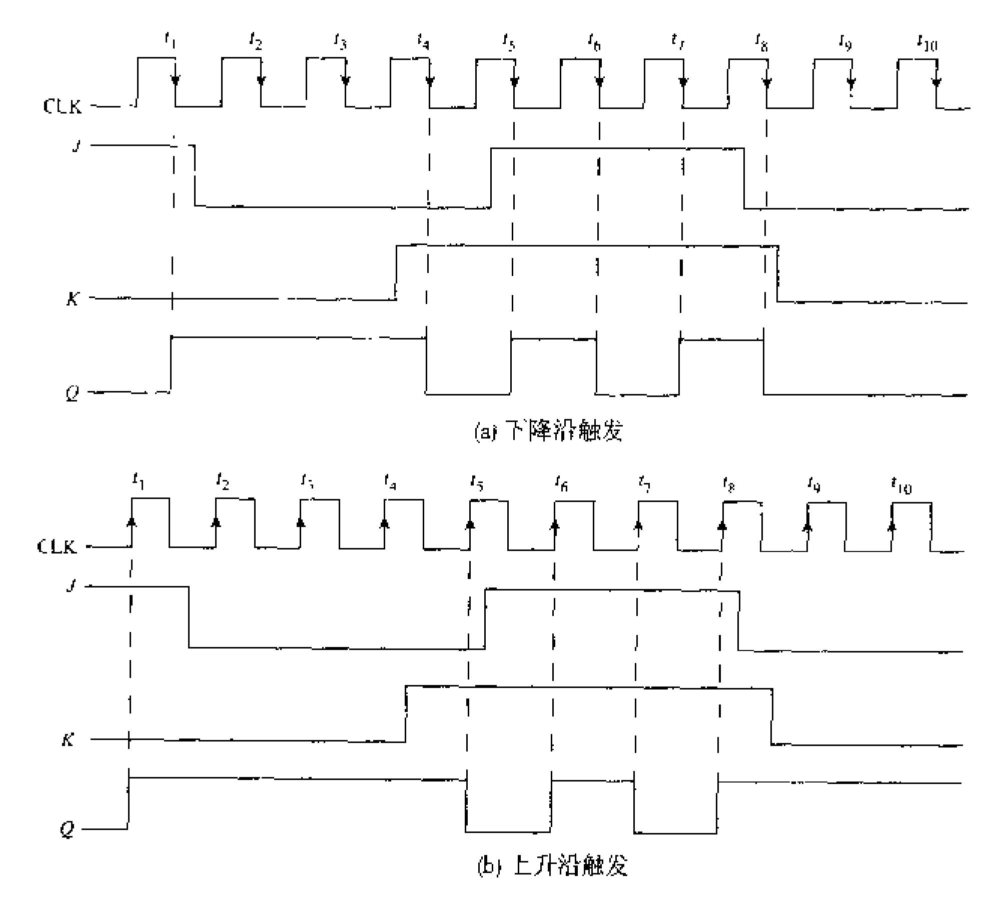


图 6.48 J-K 触发器的工作过程

下面举例分析 J-K 触发器，如图 6.49 所示。该问题是要求确定图 6.49(a)所示的 J-K 触发器的输出 Q 和 $\bar{Q}$。信号 CLK、控制输入 J 和 K、异步输入以及该触发器的输出信号如图 6.49(b)所示。该电路是一个上升沿触发的 J-K 触发器。其分析过程如下：

t_1：$\overline{CLR}=0$ = 异步清零。

t_2：$J=1$，$K=0$ = 同步置位。

t_3：$J=1$，$K=0$ = 仍为置位。

t_4：$J=0$，$K=0$ = 保持 SET 状态。

t_5：$J=0$，$K=0$ = 保持。

t_6：$J=1$，$K=1$ = 翻转。

t_7：$J=1$，$K=1$ = 翻转。

t_8：$J=1$，$K=1$ = 翻转。

t_9：$J=0$，$K=0$ = 保持。

t_{9+}：$\overline{PRE}=0$ = 异步置位。

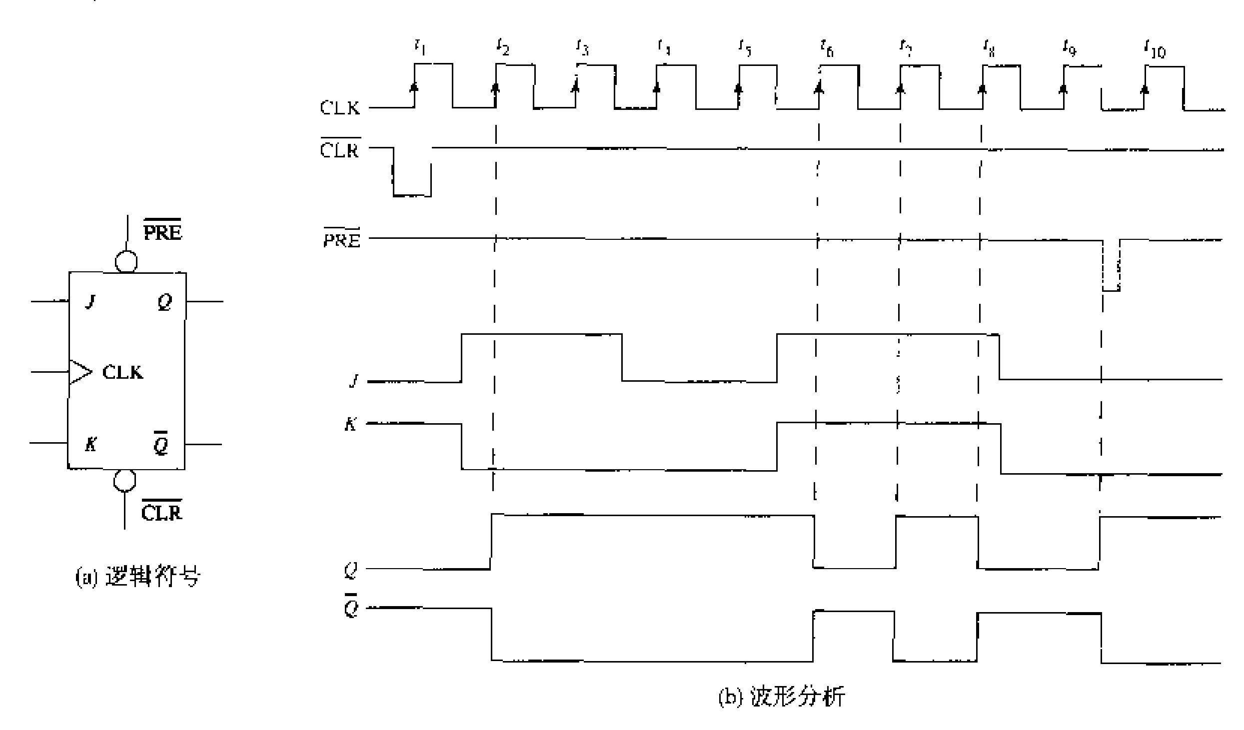
t_{10}：$J=0$，$K=0$ = 保持。

6.5 节复习题

A. 哪种类型的触发器具有 TOGGLE 运行模式？

当输入条件如下时，图 6.49(a)所示的触发器在 PGT 之后处于什么状态？

B. $\overline{\text{PRE}}=0$；$\overline{\text{CLR}}=1$；$J=1$；$K=0$？
C. $\overline{\text{PRE}}=1$；$\overline{\text{CLR}}=1$；$J=1$；$K=0$？
D. $\overline{\text{PRE}}=1$；$\overline{\text{CLR}}=1$；$J=0$；$K=1$？
E. $\overline{\text{PRE}}=1$；$\overline{\text{CLR}}=0$；$J=0$；$K=1$？
F. $\overline{\text{PRE}}=1$；$\overline{\text{CLR}}=1$；$J=0$；$K=0$？
G. $\overline{\text{PRE}}=1$；$\overline{\text{CLR}}=1$；$J=1$；$K=1$？
H. 时钟处于高电平时？
I. $\overline{\text{PRE}}=0$、$\overline{\text{CLR}}=0$？
J. 图 6.49(a)所示的 J-K 触发器是：
  (1) 下降沿触发的
  (2) 上升沿触发的



(a) 逻辑符号

(b) 波形分析

图 6.49 上升沿触发的 J-K 触发器

6.6 J-K 主从触发器

要点

1. 识别用于表示 J-K 主从触发器的符号。
2. 给出 J-K 主从触发器的同步和异步输入，确定其输出。

最后一种需要分析的触发器是J-K主从（MS）触发器。随着电子技术的发展，J-K主从触发器的应用越来越少。保持次数为0的输入数据使得这种触发器逐渐过时了。但是，在市场上仍然可以买到这种触发器，而且在日的数字设备中也会看见这种触发器。所以，这里对它们的工作过程进行简短的说明。

如图6.50所示，J-K主从触发器实际上就是将两个J-K触发器连接在一起的电路，其中一个触发器称为主触发器，另一个触发器称为从触发器。

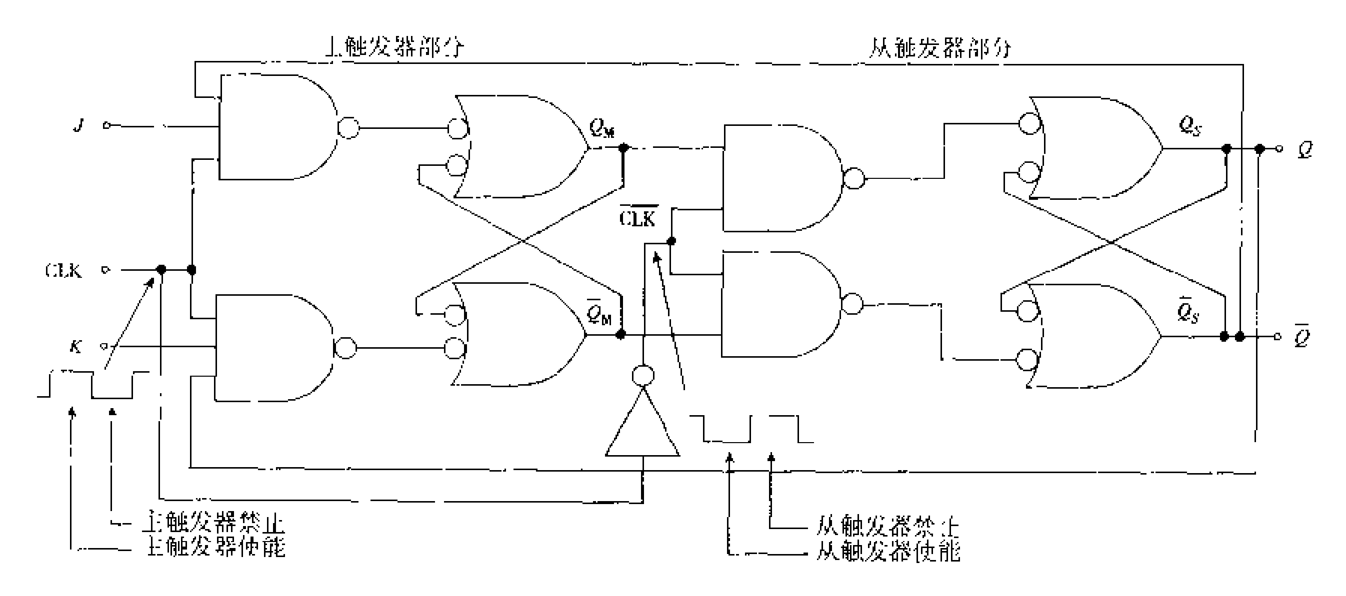


图6.50　J-K主从触发器

J-K主从触发器的操作使用了整个时钟周期，而不是只在时钟脉冲的边沿时刻工作。J-K主从触发器实际上是脉冲触发的。在“触发器简介”一节中说明了锁存器电路是脉冲触发的，触发器电路是边沿触发的。尽管J-K主从触发器在一定程度上不符合前面对触发器的定义，但是下面的解释还是可以接受的。

由于J-K主从触发器是使用整个时钟周期传输数据的，所以它属于脉冲触发器件。在整个脉冲的正电压持续期间，输入控制门都是被使能的。但是，这也正是J-K主从触发器的另一个缺点。在时钟为高电平时，输入J和K的电平都必须保持不变。图6.50显示了输入到从触发器的时钟脉冲经过了反相处理。这表明使能主触发器的控制门时，禁止了从触发器的控制门。图6.51显示的CLK波形标注了数据传输时间。该图表明在时钟为高电平时（t_1~t_2），数据是按时钟顺序进入主触发器的。注意，在将主触发器的数据转送到从触发器时（t_2~t_3），主触发器的控制门是被禁止的。

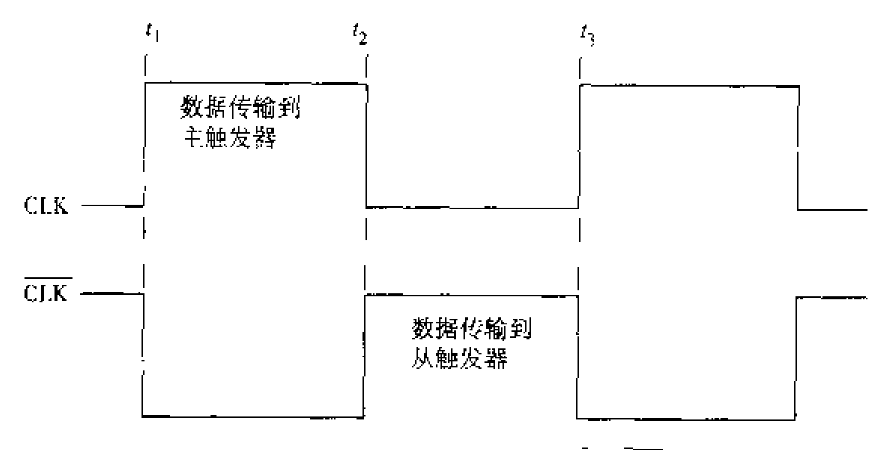
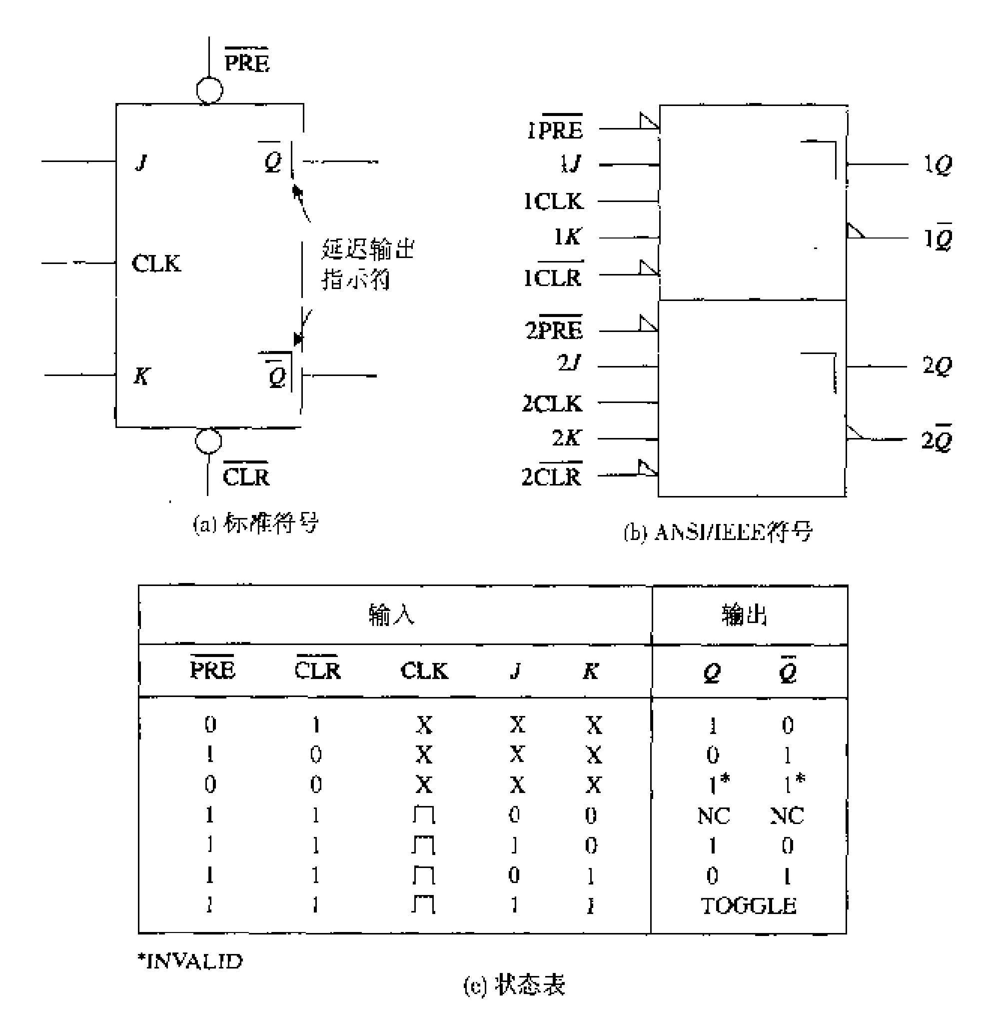


图6.51　J-K主从触发器的CLOCK/$\overline{CLOCK}$波形

SN7476双J-K主从触发器的符号如图6.52(a)和(b)所示。记住，该数据是在正时钟脉冲期间传到主触发器的，然后在负输入时钟脉冲期间再将其传送到从触发器。实际上，输出数据滞后于输入数据1.5个时钟周期。因此，该输出延迟了。在J-K主从触发器SN7476的逻辑符号中，每个触发器的输出端（Q和$\overline{Q}$）上都有一个“倒写的L”符号。这个倒写的L符号称为延迟输出指示符，用于在触发器逻辑符号上表示“主－从”。

SN7476的状态表如图6.52(c)所示。该状态表和图6.47(c)所示的下降沿触发的触发器SN74LS76的状态表有些相似。这两个状态表的主要区别体现在CLK列。SN7476的CLK列的上升沿脉冲表明该触发器是脉冲触发的。



(a) 标准符号

(b) ANSI/IEEE符号

输入					输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1*	1*
1	1	⊓	0	0	NC	NC
1	1	⊓	1	0	1	0
1	1	⊓	0	1	0	1
1	1	⊓	1	1	TOGGLE	

*INVALID

(c) 状态表

图6.52 SN7476双J-K主从触发器

由于主从触发器实际上就是两个J-K主从触发器，当$J=K=1$时，它具有TOGGLE运行模式。

对照图6.53所示的波形分析，J-K主从触发器（图6.50）的工作过程总结如下。尽管Q_S没有显示在图6.53中，但是输出Q_s和Q_s在芯片上都可以找到。Q_M是一个内部信号，它在外部没有输出引脚。

在时钟#1之前，触发器就已经异步清零了。

CLK #1：$J=0$，$K=0$，保持CLEAR状态。

CLK #2：J变为高电平但主触发器被禁止。

CLK #3：主触发器置位。

CLK　#4：从触发器置位。

CLK　#5：$J=1$，$K=0$，所以触发器保持SET状态。

CLK　#6：控制输入变为$J=0$，$K=1$，但是主触发器被禁止。

CLK　#7：主触发器清零。

CLK　#8：从触发器清零。控制输入K发生改变，所以$J=K=0$，但是主触发器被禁止

CLK　#9：主触发器保持为CLEAR状态。

CLK #10：从触发器保持为CLEAR状态。控制输入K发生改变，所以$J=K=1$，但是主触发器被禁止。

CLK #11：主触发器翻转。

CLK #12：从触发器翻转。

CLK #13：主触发器翻转。

CLK #14：从触发器翻转。

CLK #15：主触发器翻转。

CLK #16：从触发器翻转。

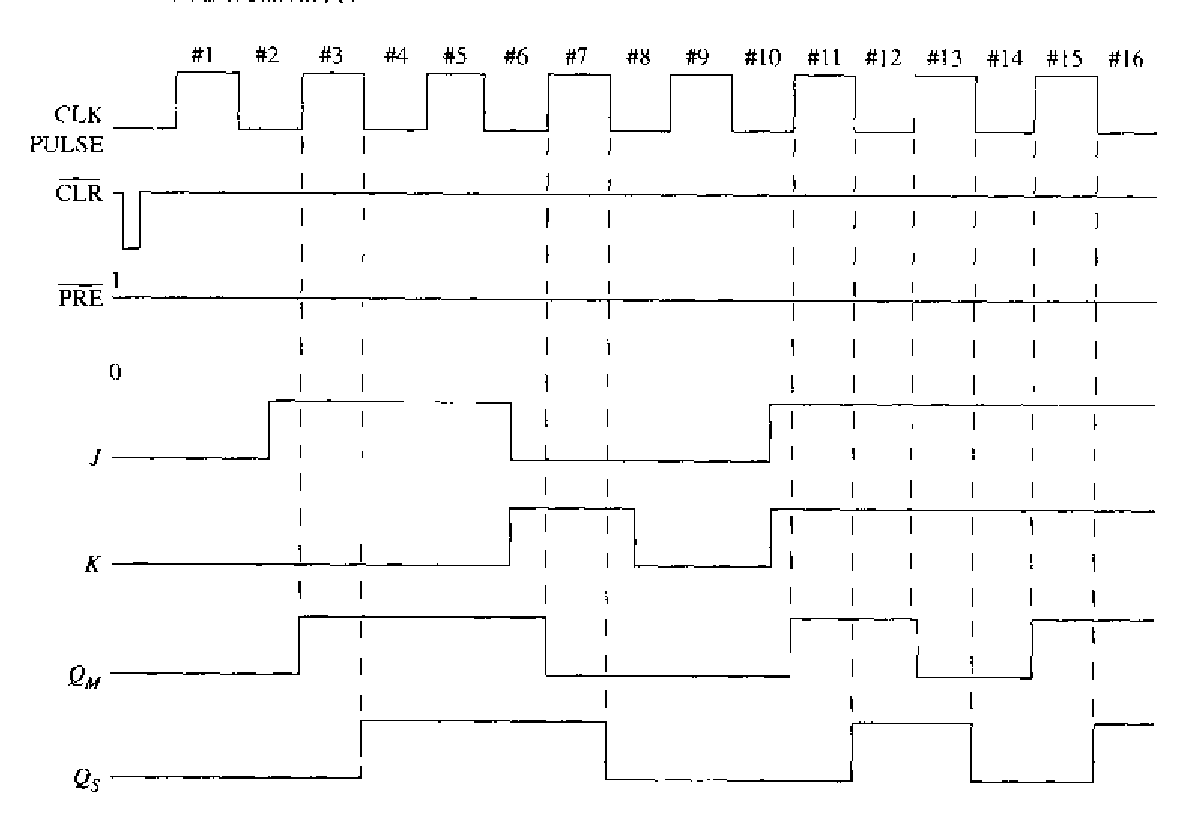


图6.53　J-K主从触发器的波形分析

尽管主从触发器是脉冲触发的，但是数据是在CLK输入脉冲的下降沿转换时刻传送到从触发器的。实质上，该触发器的功能与标准的下降沿触发的触发器类似。

带有数据封锁的双J-K触发器SN74111是另一种主从触发器，这种触发器在一些旧的数字设备中可以见到，与前面讨论的主从触发器类似，其逻辑符号如图6.54所示。该逻辑符号表明，这种主从触发器是边沿触发的。正是这种特性赋予了该触发器数据封锁的功能。

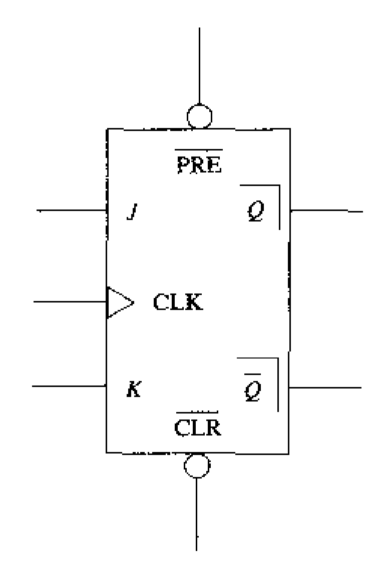


图 6.54 带有数据封锁的双 J–K 触发器 SN74111

由于该电路是边沿触发的，所以控制门只是在时钟脉冲的PGT中大约20~25 ns时间内被使能即使时钟仍然为高电平，但是输入 J 和 K 却可能改变。在标准的主从触发器中，在时钟为高电平期间，输入必须保持不变。

6.6 节复习题

A. 图 6.54 所示的延迟输出指示符说明该触发器是一个________。

B. J–K 主从触发器的操作通常使用完整的时钟周期。

(1) 对

(2) 错

C. $\overline{PRE}=1$；$\overline{CLR}=1$；$J=1$；$K=0$ 时，在正的时钟脉冲期内，图 6.52(a)所示的触发器状态是什么？假设 PGT 之前的初始状态为 CLEAR。

D. 在紧随复习题C的正时钟脉冲之后的负时钟脉冲期间，图6.52(a)所示的触发器状态是什么？

E. 图 6.54 所示的动态输入和延迟输出指示符表明该触发器是一个 J–K________。

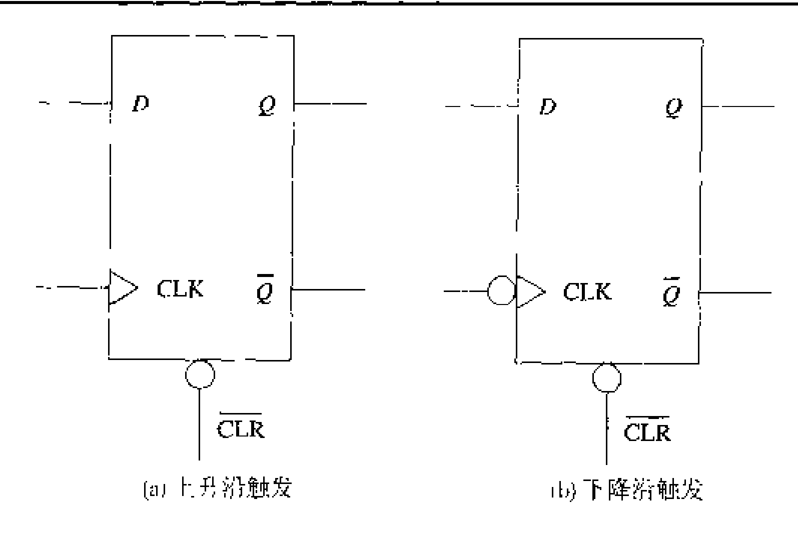
阶段性小结（6.4 节 ~ 6.6 节）

触发器是采用边沿触发的双稳器件，其输出只在时钟脉冲的有效转换时刻才改变状态。

图6.55(a)所示的触发器是一个上升沿触发的D触发器。图6.55(b)所示的是一个下降沿触发的D触发器。CLK输入端的三角符号是一个动态输入指示符，表明该触发器是边沿触发的。图6.55(a)中的动态输入指示符上没有圆圈符号，表示该触发器是一个上升沿触发的触发器。图6.55(b)中的动态输入指示符上有圆圈符号，表示该触发器是一个下降沿触发的触发器。

这些触发器的输出 Q 将在有效时钟转换时随着输入 D 变化。对于图 6.55(a)所示的触发器，就是指时钟脉冲的PGT。对于图 6.55(b)所示的触发器，就是指时钟脉冲的NGT。当时钟电平不变（保持为低电平或高电平）时，触发器保持为前一个状态。

触发器正常工作时，建立时间和保持时间必须固定。在时钟有效转换之前，输入数据必须保持不变，建立时间就是指这段时间的最小间隔。保持时间是指在有效时钟转换之后，数据输入必须保持不变的时间间隔。



(a) 上升沿触发　　(b) 下降沿触发

图 6.55　边沿触发的 D 触发器符号

触发器的 $\overline{\text{PRE}}$ 和 $\overline{\text{CLR}}$ 输入是异步的，即与时钟无关。当这两个信号有效时，它们优先于触发器的其他输入。从某种意义上说，当它们有效时，这两个信号是处于支配地位的输入信号。当 $\overline{\text{PRE}}$ 有效时，该触发器将进入 SET 状态。只要输入 $\overline{\text{PRE}}$ 保持为低电平，则触发器将一直保持为 SET 状态。当输入 $\overline{\text{CLR}}$ 有效时，触发器将进入 CLEAR 状态。这两个异步输入不能同时变为有效信号。当输入 $\overline{\text{PRE}}$ 和 $\overline{\text{CLR}}$ 都有效时，将使输出无法预测。这种情况是不希望出现的，应该尽量避免。

"翻转（TOGGLE）"表示改变状态。当触发器工作在 TOGGLE 模式时，在每个有效电平的转换时刻，触发器都会改变状态。工作在这种状态下的触发器的输出频率等于输入时钟频率的一半。这种二分频的能力是二进制计数的基础。

J-K 触发器是一种边沿触发的触发器。如果两个输入 J 和 K 互补，则在时钟的有效转换时刻，输出 Q 将随着 J 变化，输出 $\overline{Q}$ 将随着 K 变化。这表明该触发器是一个高电平输入有效的电路。当 $J = K = 0$ 时，这种触发器将处于 RETAIN 状态。当 $J = K = 1$ 时，它将处于 TOGGLE 状态。

J-K 主从触发器包括连接在一起的两个 J-K 触发器。该电路是脉冲触发的。当 $J = 1$ 和 $K = 0$ 时，主触发器将在正时钟脉冲进行置位，从触发器将在负时钟脉冲置位。因此，输出延迟。这种延迟标在主从触发器的逻辑符号上，称为延迟输出指示符（倒写的 L），位于输出端 Q 和 $\overline{Q}$ 处。

含有动态输入指示符主从触发器符号可以表示边沿触发的触发器。这种主从触发器具有数据封锁功能。这种功能使得触发器的输入 J 和 K 不必在时钟脉冲的整个正的持续期间内都保持不变。

阶段性练习（6.4 节～6.6 节）

1. 图 6.56 所示符号为________。
   a. 上升沿触发的 D 锁存器
   b. 下降沿触发的 D 锁存器
   c. 上升沿触发的 D 触发器
   d. 下降沿触发的 D 触发器
2. 图 6.56 中触发器的输出 Q 在时钟脉冲的 NGT 时刻随输入 D 变化。
   a. 对
   b. 错

3. 当时钟输入为低电平时，图 6.56 所示的触发器处于何种状态？

a. SET　　　c. RETAIN

b. CLEAR　　d. INVALID

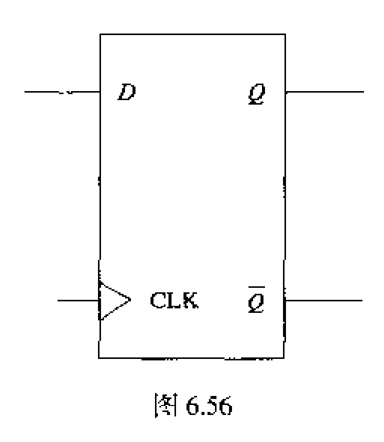


图 6.56

4. 图 6.56 中触发器输入端的三角符号是一个________。

a. 动态输入指示符

b. 延迟输出指示符

5. 图 6.57 所示电路是一个________。

a. 上升沿检测器

b. 下降沿检测器

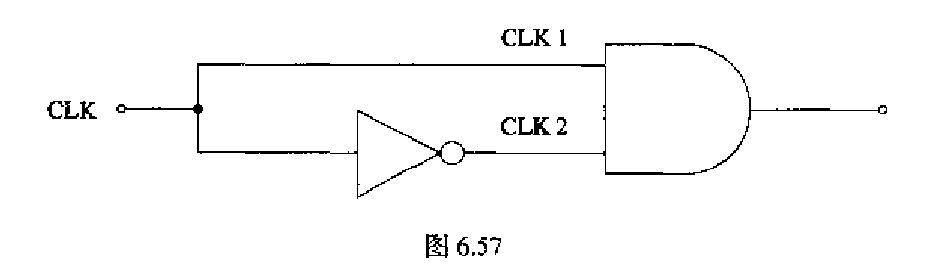


图 6.57

6. 保持时间是指在有效电平转换之前，数据必须保持不变的时间间隔。

a. 对

b. 错

7. 图 6.58 所示的逻辑符号表示一个________。

a. 正脉冲触发的 D 触发器

b. 负脉冲触发的 D 触发器

c. 上升沿触发的 D 触发器

d. 下降沿触发的 D 触发器

8. 当 $\overline{PRE}=1$，$\overline{CLR}=0$，$D=1$ 时，在有效时钟转换之后，图 6.58 所示的触发器的状态是什么？

a. SET　　　c. RETAIN

b. CLEAR　　d. INVALID

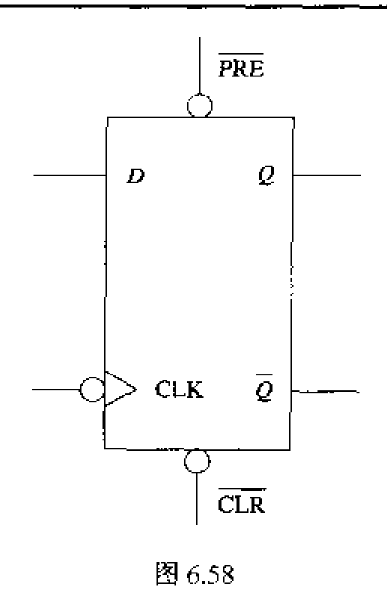


图 6.58

9. 当$\overline{PRE}$ = 1，CLR = 1，D = 1时，在有效时钟转换之后，图6.58所示的触发器的状态是什么？
   a. SET　　c. RETAIN
   b. CLEAR　　d. INVALID
10. 当$\overline{PRE}$ = 0，$\overline{CLR}$ = 1，D = 0时，在有效时钟转换之后，图6.58所示的触发器的状态是什么？
   a. SET　　c. RETAIN
   b. CLEAR　　d. INVALID
11. 当触发器工作在TOGGLE模式时，它就是一个二分频电路。
   a. 对
   b. 错
12. 图6.58所示的触发器的数据输入是一个异步输入。
   a. 对　　b. 错
13. 图6.59所示的逻辑符号表示
   a. 上升沿触发的J-K触发器
   b. 下降沿触发的J-K触发器
   c. 上升沿触发的J-K主从触发器
   d. 下降沿触发的J-K主从触发器

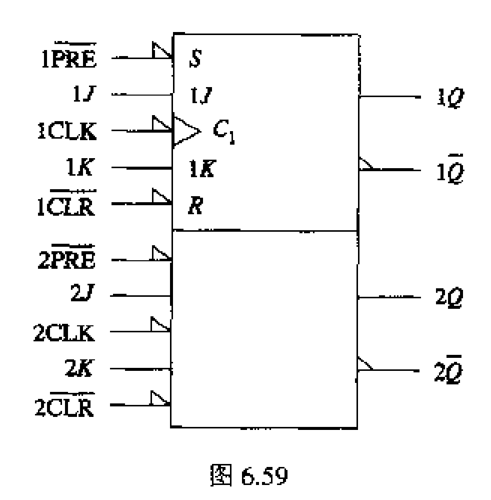


图 6.59

14. 当 PRE = 1，CLR = 1，J = 1，K = 0 时，在有效时钟转换之后，图 6.59 所示的触发器的状态是什么？

 a. SET   c. RETAIN

 b. CLEAR   d. TOGGLE

15. 当 PRE = 1，CLR = 0，J = 1，K = 0 时，在有效时钟转换之后，图 6.59 所示的触发器的状态是什么？

 a. SET   c. RETAIN

 b. CLEAR   d. TOGGLE

16. 当 $\overline{PRE}$ = 1，$\overline{CLR}$ = 1，J = 1，K = 1 时，在有效时钟转换之后，图 6.59 所示的触发器的状态是什么？

 a. SET   c. RETAIN

 b. CLEAR   d. TOGGLE（从前一个状态）

17. 当 $\overline{PRE}$ = 1，CLR = 1，J = 0，K = 0 时，在有效时钟转换之后，图 6.59 所示的触发器的状态是什么？

 a. SET   c. RETAIN

 b. CLEAR   d. INVALID

18. 当 PRE = 1，$\overline{CLR}$ = 1，J = 0，K = 1 时，在有效时钟转换之后，图 6.59 所示的触发器的状态是什么？

 a. SET   c. RETAIN

 b. CLEAR   d. TOGGLE

19. 图 6.60 所示的逻辑符号表示一个________。

 a. J-K 主从触发器

 b. 下降沿触发的 J-K 触发器

 c. 上升沿触发的 J-K 触发器

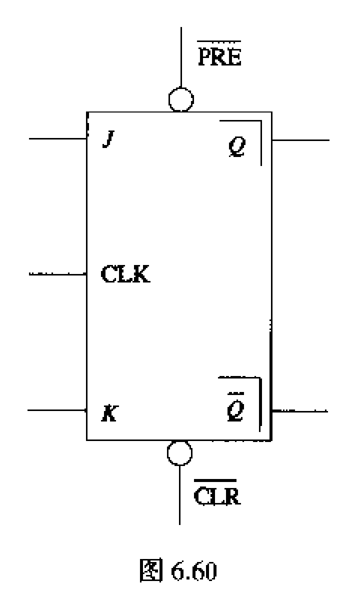


图 6.60

20. 图 6.60 中输出端 Q 和 Q 的倒写的 L 是一个________。
   a. 动态输入指示符
   b. 延迟输出指示符

6.7　触发器的实际应用

要点

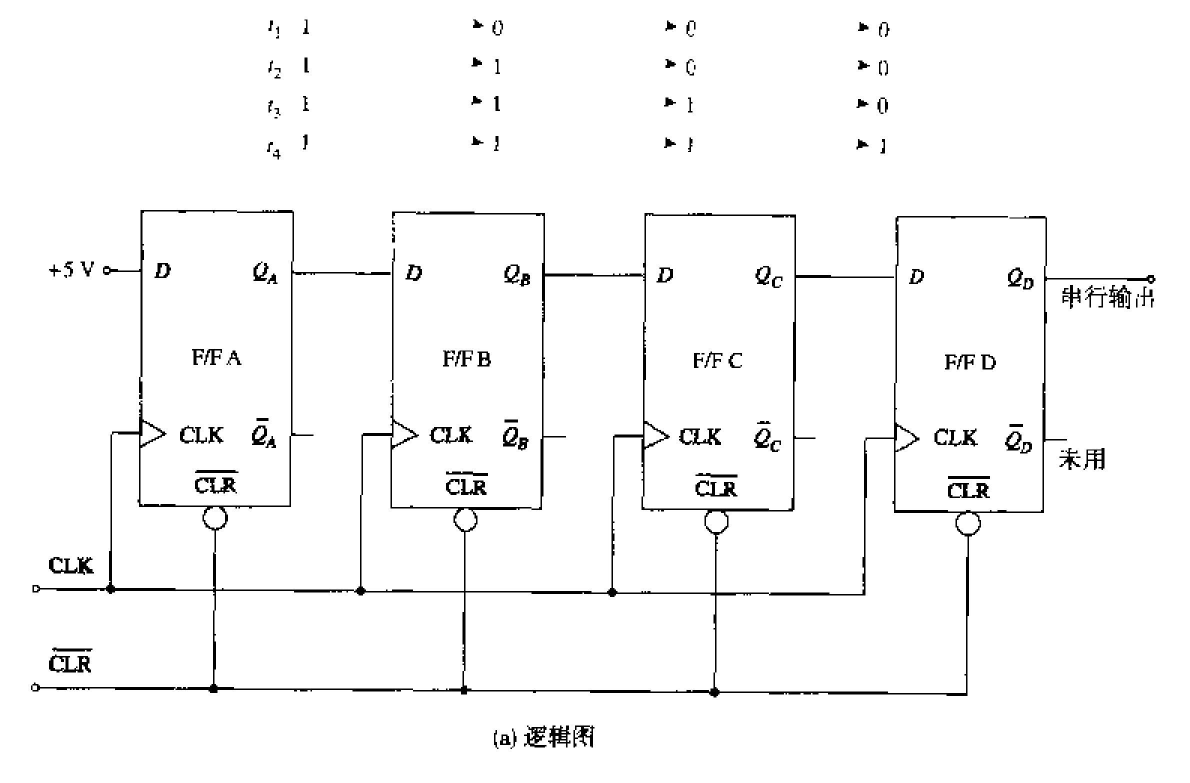
1. 识别基本的移位寄存器和计数器。
2. 确定 X 个脉冲之后移位寄存器和计数器的输出。

锁存器、触发器、多频振荡器以及定时器组成了基本的时序逻辑电路。本章简介中提到了触发器的几个应用。本节还将讲解几个这样的应用实例，下一章将详细介绍它们的应用。

6.7.1　移位寄存器

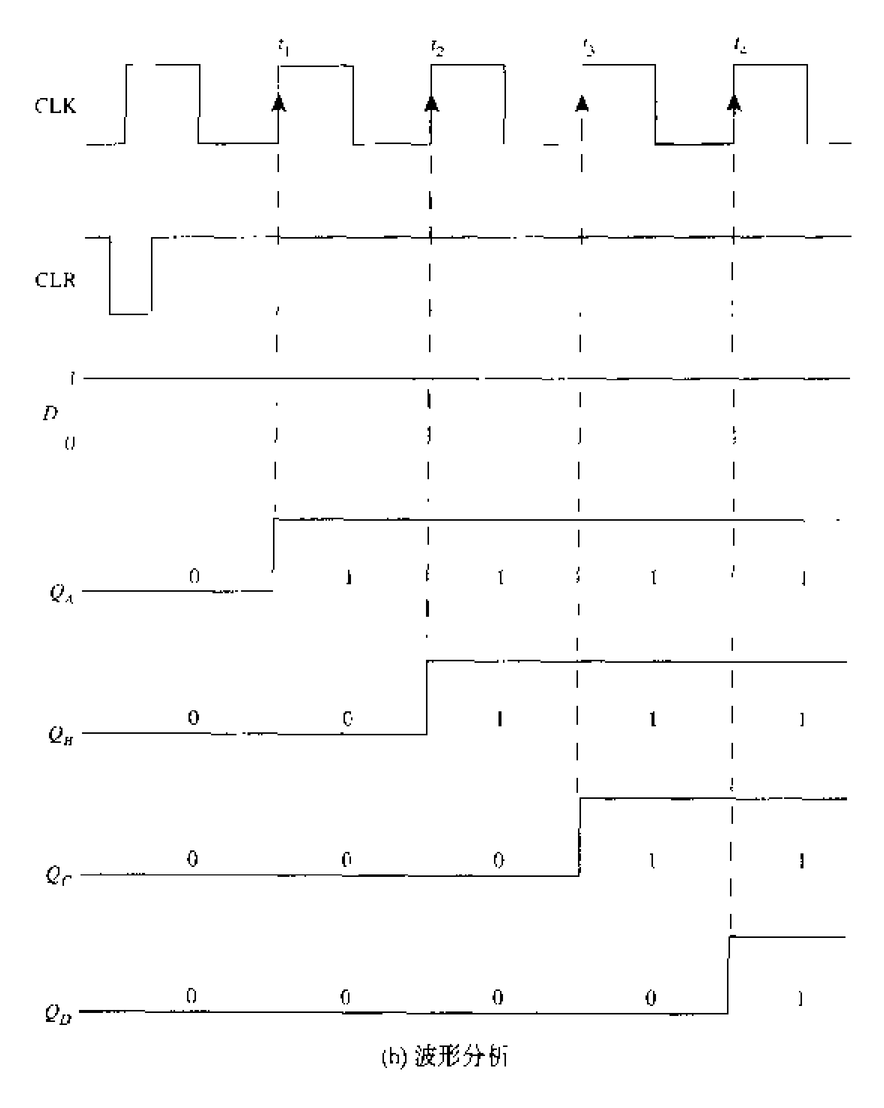
最常见的触发器应用就是将几个触发器连接在一起形成一个寄存器。寄存器的定义是一组用于传输或存储数据的锁存器或触发器。

图 6.61(a)所示就是一个用 D 触发器实现的移位寄存器。这些触发器是级联（cascade）在一起的。级联指的是一个触发器的输出是下一个触发器的数据输入。



(a) 逻辑图

图 6.61　移位寄存器：D 触发器



(b) 波形分析

图6.61（续） 移位寄存器：D触发器

该电路的外部输入只与第一个触发器相连。为了解释方便，该例中的输入端直接连高电平。通常加上的是串行数据，系统要求该数据是不断变化的。

该寄存器运行期间需要记住的主要一点是建立时间问题。在有效时钟转换前，触发器将立即响应输入端的数据。

图6.61(a)所示的移位寄存器电路的初始状态是异步清零，如图6.61(b)的波形所示。在图6.61(a)所示的触发器输出端上方标出了输出 Q 为逻辑0时的清零条件。

t_1：当时钟脉冲的PGT到来时，它同时作用于全部的4个触发器。作用到触发器A的高电平数据输入将在该时钟转换时刻传送到其输出端。该触发器的内部传输延迟时间大约为20 ns到30 ns。因此，在该触发器的输出 Q_A 变为高电平之前，时钟脉冲的有效转换就已经完成了。记住这一点就可以理解触发器B，C和D将处于CLEAR状态，因为在有效时钟转换期间它们的输入数据为逻辑0。注意，这些连续的输出情况在图6.61(a)中各自的时钟转换时间旁边都标了出来。

t_2：在时钟t_2的PGT时刻，高电平数据再一次输入到Q_A。由于触发器原来处于SET状态，所以它仍然处于SET状态。由于Q_A是触发器B的数据输入，在t_2时刻，该触发器输入端的高电平将使它进入SET状态。t_2以后，寄存器中的当前数据变为1100。

t_3：Q_A保持为SET状态，Q_B保持为SET状态，Q_C进入SET状态，而Q_D仍然处于CLEAR状态。

t_4：此时，全部触发器都处于SET状态。

在每个触发器输出波形上标出的逻辑0和逻辑1，可以看出电路的工作过程，注意高电平输入数据是如何在每个时钟脉冲作用下在寄存器中移位的，该操作称为装入寄存器。该寄存器共有4个触发器，所以需要4个时钟脉冲才能将数据装入该寄存器。因为数据是从Q_A触发器到Q_D触发器顺序移入寄存器的，所以该电路称为右移寄存器。一旦该寄存器装入数据，它将要求另外4个时钟脉冲将数据从该电路中移出，并沿着串行线进入其他的电路或器件。该寄存器的波形如图6.61(b)所示。这些波形是图6.61(a)所示电路中标出的0和1的图形显示。将图6.61(a)中的D触发器换成J-K触发器的实现方法，如图6.62所示。左移寄存器和左－右移位寄存器也能用触发器实现。

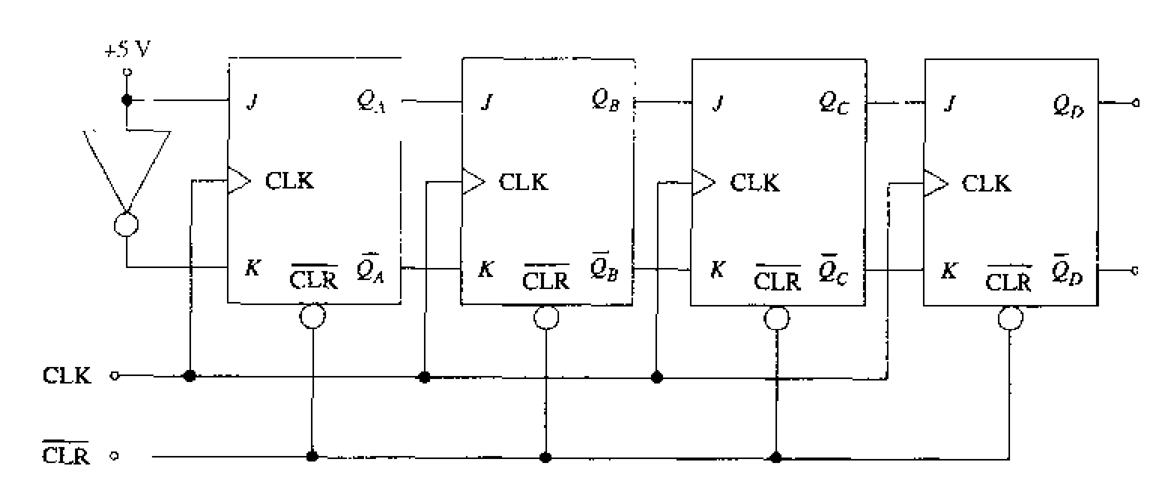


图6.62　右移寄存器：J-K触发器

寄存器一般可按照装入数据和传出数据的方法进行分类。图6.62所示的寄存器称为串行输入/串行输出寄存器。有些寄存器可以设计为并行输入/并行输出寄存器。这个问题将在第8章展开讨论。

6.7.2　并行数据传输

并行输入/并行输出寄存器如图6.63所示。数据输入位（D_0~D_5）从D触发器的输入端输入。如果这些数据位到达数据总线并且该总线需要释放给其他的用户使用，那么这些数据位能够在时钟周期的一个NGT时刻装入该寄存器并存储起来。数据总线是电路板上的一组线，它可以在整个系统中承载这些数据位。

与串行移位寄存器的数据相比，使用这种方式传输数据时，传输速度要快得多。如果该寄存器是一个移位寄存器，则装入数据需要六个时钟脉冲。

$\overline{CLR}$输入缓冲器上的两个圆圈是状态指示符，表明输入到该寄存器的$\overline{CLR}$是低电平有效的，而且输入到每个触发器的$\overline{CLR}$也是低电平有效的。我们还可以注意到，在图中，输入CLK也是通过一个反相器加到触发器上的，这使得该寄存器成为一个PGT触发的寄存器。我们将在第8章中讨论其他类型的寄存器，如串行输入/并行输出寄存器和并行输入/串行输出寄存器。

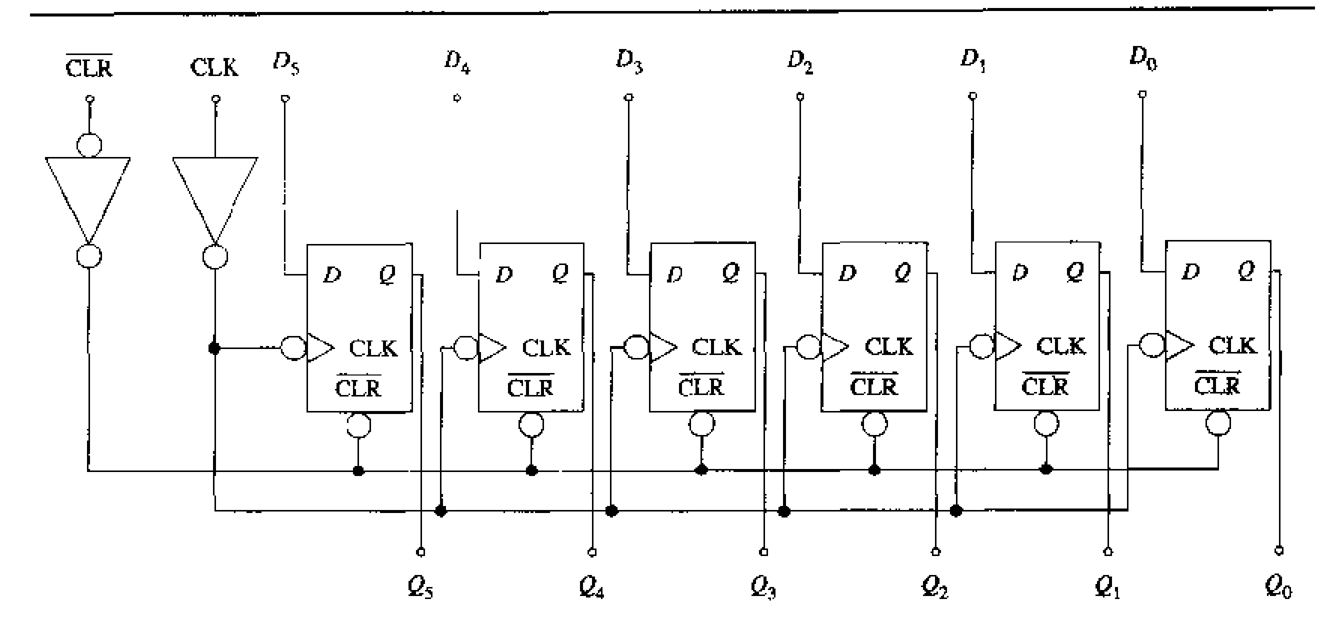


图 6.63　并行输入 / 并行输出寄存器

6.7.3　时钟脉冲发生器

时钟脉冲发生器如图 6.64 所示。当输入 J 为高电平时，该触发器的输出 Q 是一串时钟脉冲。当 J 为低电平时，时钟脉冲就从序列中消失了。注意，在该图中输入 K 接地。因此，当输入 J 为低电平时，该触发器处于 HOLD 运行状态。

每当输出 Q 和 CLK 为高电平时，控制与非门就会将该触发器清零，如图 6.65(a)所示。在 t_0 时刻，因为 J 为高电平、K 为低电平，所以时钟的 NGT 将该触发器置于 SET 状态。时钟输入在 t_0 和 t_1 之间变为高电平。此时，输入 CLK 和输出 Q 为高电平，与非门异步清零该触发器。注意，输出 Q 的高电平持续脉冲宽度正好等于时钟低电平持续的脉冲宽度。

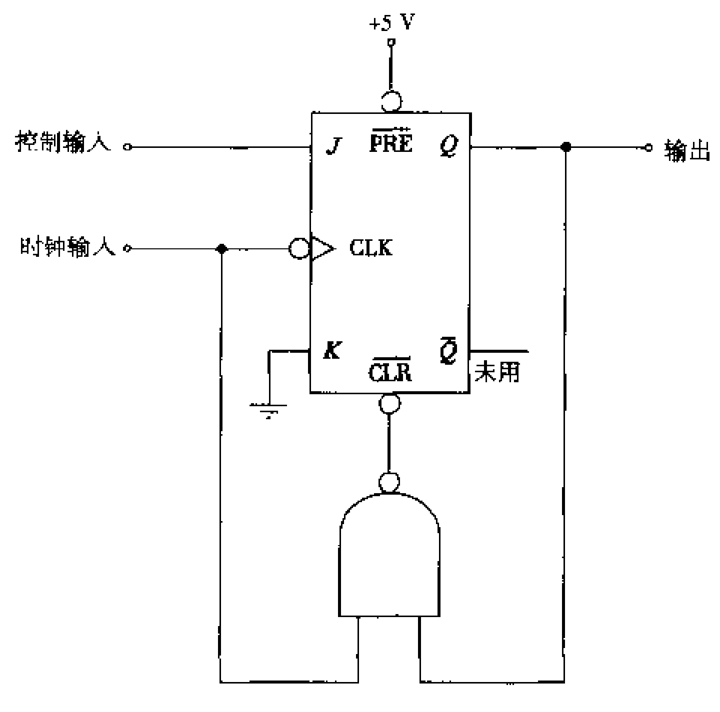


图 6.64　时钟脉冲发生器

由于图6.65(a)中CLK输入的占空比为50%，所以上述结论可以进一步推广，例如将占空比变为如图6.65(b)所示的20%。再次注意，高电平输出与时钟低电平输出的脉冲宽度相等。因为当CLK = Q = 1时，该触发器清零。

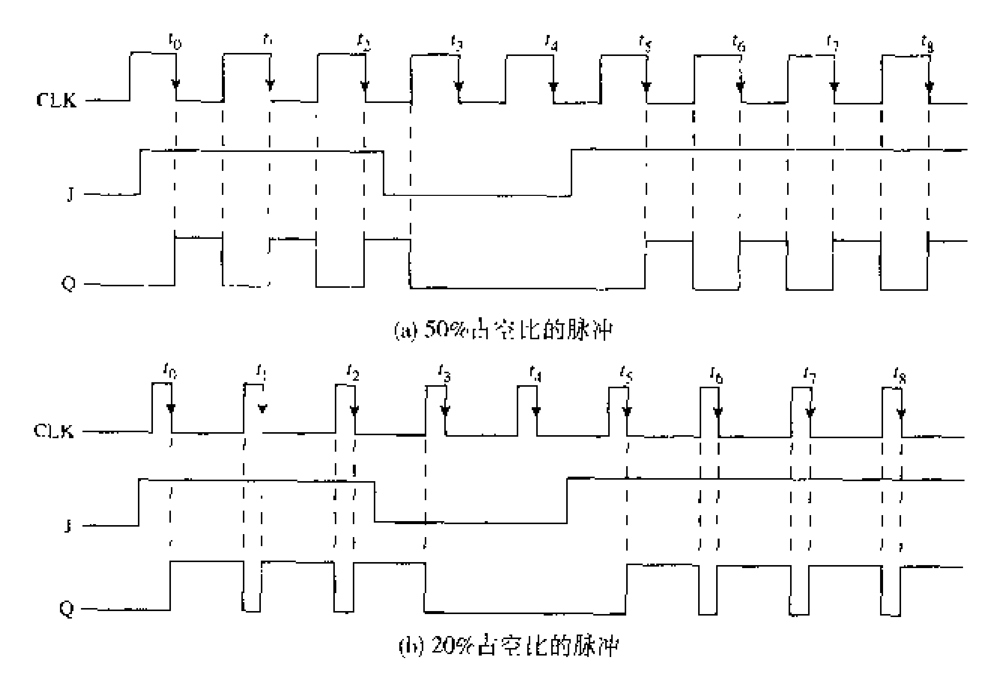


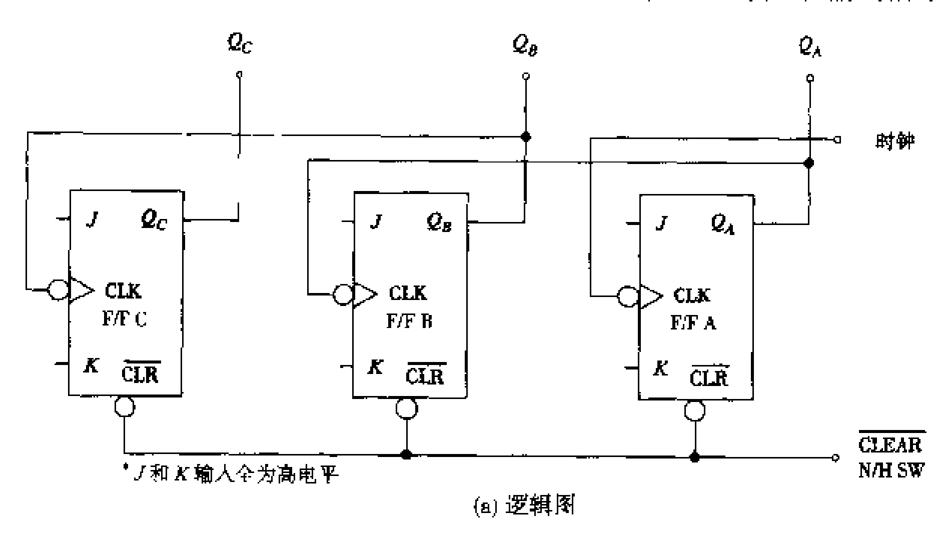
图6.65 时钟脉冲发生器

6.7.4 计数器

计数器在数字电路中用来计数和/或分频。

基本的二进制计数器如图6.66(a)所示。每个触发器的J和K输入都连接高电平。当输入端同步时，这种输入方式将使该触发器处于TOGGLE运行模式。前面讲到的D触发器和J-K触发器的分析显示，当它们工作在TOGGLE模式时，则变为二分频电路。每当其中一个下降沿触发的触发器接收到NGT时，就会进行翻转（1变为0或0变为1）。

图6.66(b)所示的是该计数器输出Q_A，Q_B和Q_C的波形。在t_0时刻，该计数器的初始状态为CLEAR。从输出Q_A的波形可以看出，它在输入时钟脉冲的每个NGT时刻都会翻转 该输出信号的频率为$f_{in}/2$



(a) 逻辑图

图6.66 二进制计数器

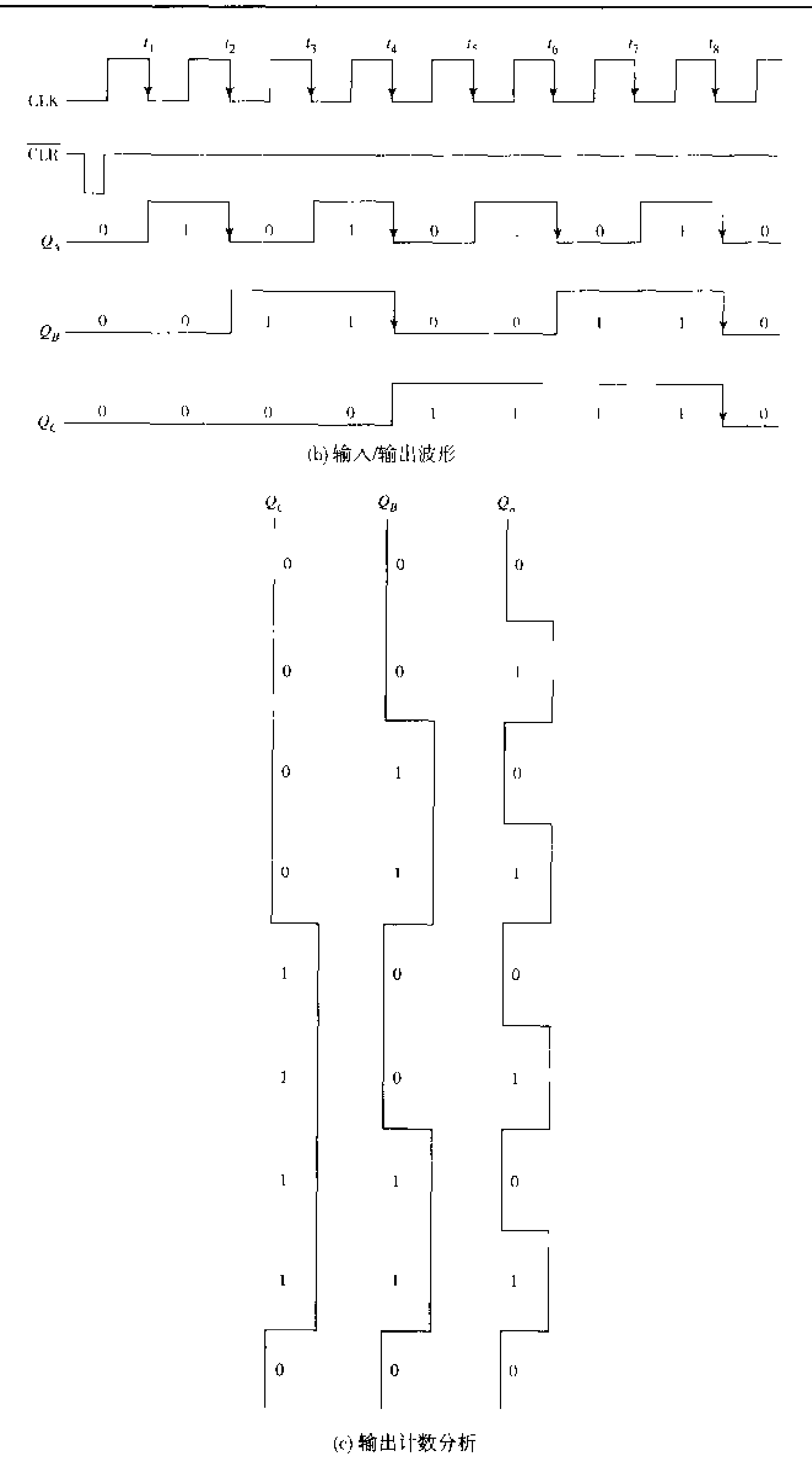


图6.66（续） 二进制计数器

输出 Q_A 与触发器 B 的时钟输入端相连，该输入的 NGT 将使触发器 B 翻转。注意，在图 6.66(b) 中，输出 Q_B 的频率是输出 Q_A 频率的一半。由于原始的时钟频率经过两次二分频，所以输出 Q_B 的频率为 $f_{in}/4$。输出 Q_B 作为触发器 C 的时钟，Q_C 将 Q_B 二分频，所以 Q_C 的频率为 $f_{in}/8$。

t_8 时刻，清零三个触发器并返回到零计数。只要时钟脉冲加到该电路上，前面的过程就会再次循环。

将图 6.66(b) 中 Q 的波形旋转 90°，如图 6.66(c) 所示，这样可以很清楚地看出该计数器的二进制计数过程。Q_A 是 LSB，Q_C 是 MSB。

该计数器产生的顺序加计数（000, 001, 010, 011, 100, 101, 110, 111）显示出该计数器产生了包括零状态在内的八种状态。计数器状态的最大数称为它的模，一般缩写为 MOD。

标准计数器的 MOD 能够通过 2^n 确定，此处 n 是计数器中触发器的个数。因为没有将零计数值作为一个计数，所以计数器的最大计数值等于 MOD − 1。

计数器的 MSB 的分频能力等于其 MOD 值。图 6.66(a) 所示的电路是一个 MOD 8 计数器，其最大计数值为 7。其分频能力如图 6.66(b) 所示。8 个输入时钟脉冲等于输出 Q_C 的一个完整的周期（$f_{in}/8$）。

有许多种 IC 封装的计数器，可进行加 / 减计数。典型的计数器的 MOD 值为 MOD 5，MOD 6，MOD 8，MOD 10，MOD 12 和 MOD 16。任何一种 MOD 计数器都可以通过将多个计数器级联而实现。计数器的工作过程在第 7 章中将进行详细阐述。

6.7 节复习题

A. 触发器是＿＿＿＿＿。
   (1) 时序逻辑电路
   (2) 组合逻辑电路

B. 定义寄存器。

C. 如果图 6.62 所示的检测器被清零，经过两次时钟驱动，输入到第一个触发器的信号 J 变为逻辑 0，然后再经过两次时钟驱动，它的输出是什么？

D. 计数器状态的最大数称为＿＿＿＿＿。

E. 包含 4 个触发器的二进制计数器的最大计数是多少？

6.8　触发器故障诊断

要点

阐述将触发器的电路故障进行隔离所需的基本步骤。

图 6.67 所示是单个触发器，该触发器工作在 TOGGLE 模式。如果怀疑该触发器电路有问题，那么故障诊断的第一步就是检查 V_{CC} 和接地线。如果一个芯片没有连接到电源公共地线和热插拔的总线上，则该芯片永远无法正常工作。由于触发器是连接成 TOGGLE 模式的，所以该芯片的大多数引脚都接在高电平上。检查了电源引脚后，检查 J，K，$\overline{PRE}$ 和 $\overline{CLR}$ 引脚，保证它们都处于高电平。

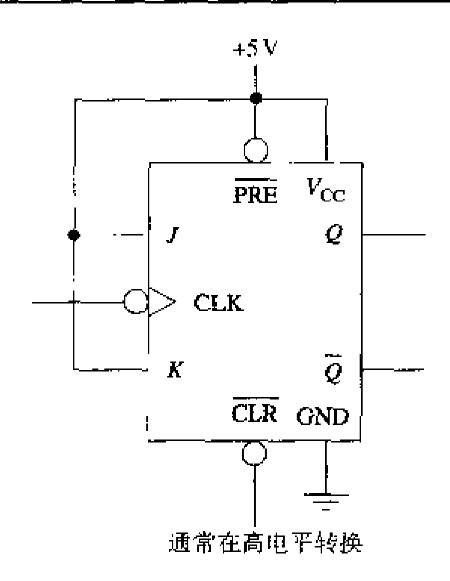


图 6.67 J-K 触发器：TOGGLE 模式

使用逻辑脉冲发生器作为该触发器的时钟源，同时使用逻辑探针检查输出Q。每当脉冲发生器产生一个时钟脉冲时，逻辑探针就能在该触发器的输出端检测到一次翻转操作。

就故障诊断而言，图6.68所示的右移寄存器是一个相对简单的电路。首先，检查V_{CC}、接地线和$\overline{CLR}$，以保证它们都处于正常的电平。如果该电路是用如图所示的分立触发器构成的，则将这些触发器清零，然后在一个时钟脉冲到来时，将逻辑1装入该寄存器。在每个时钟脉冲之后检查该寄存器，保证不断将数据装入寄存器并向右移动。改变输入数据（动态运行）的正常操作中，使用示波器监视Q_D串行数据输出。

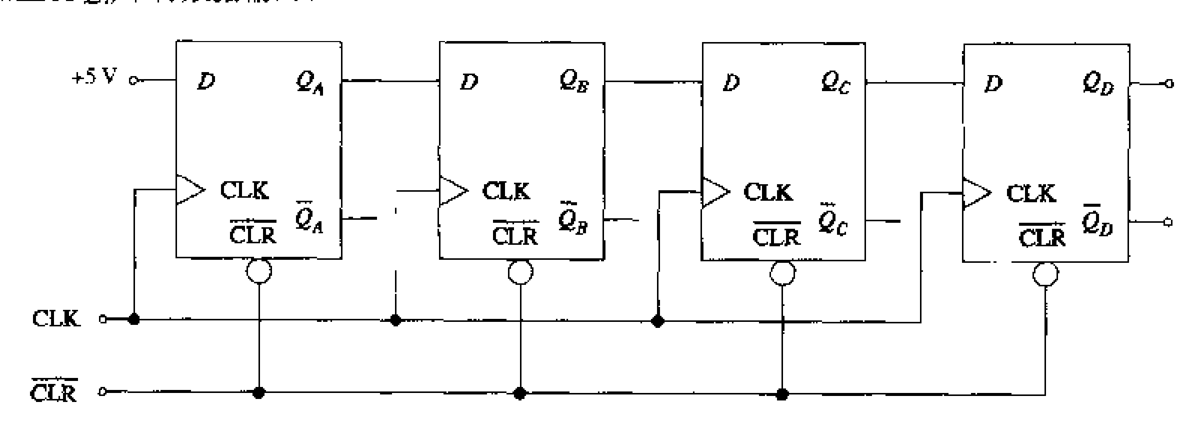


图 6.68 对移位寄存器的故障诊断

在对该电路进行故障诊断时，有几点必须牢记。如果将任何一个触发器的输入线CLK断开，该触发器的状态就不能改变，这将使寄存器中的数据停止移动。如果这时输出Q和输入D之间的某一条线断开，则数据流也会停止运动。但是，如果某个输出Q和数据输入之间的连接断开，则下一个触发器的输入将悬空。如果该触发器是TTL类型的，则当时钟信号驱动时，该触发器将进行置位。如果触发器C和D之间的连线断开，则在触发器清零之后，第一个时钟脉冲将使这些触发器的输出变为1001。

图 6.69 所示的计数器是另一个可以用来讲解故障诊断的相对简单的例子。可以利用前面的描述方法，在静态条件下检查该电路，也可以使用示波器对该电路进行故障诊断。将加到该计数器的时钟信号连接到示波器的一个垂直输入端上。然后，在相对该时钟信号通道的另一个通道上分别监视每一个触发器的输出。

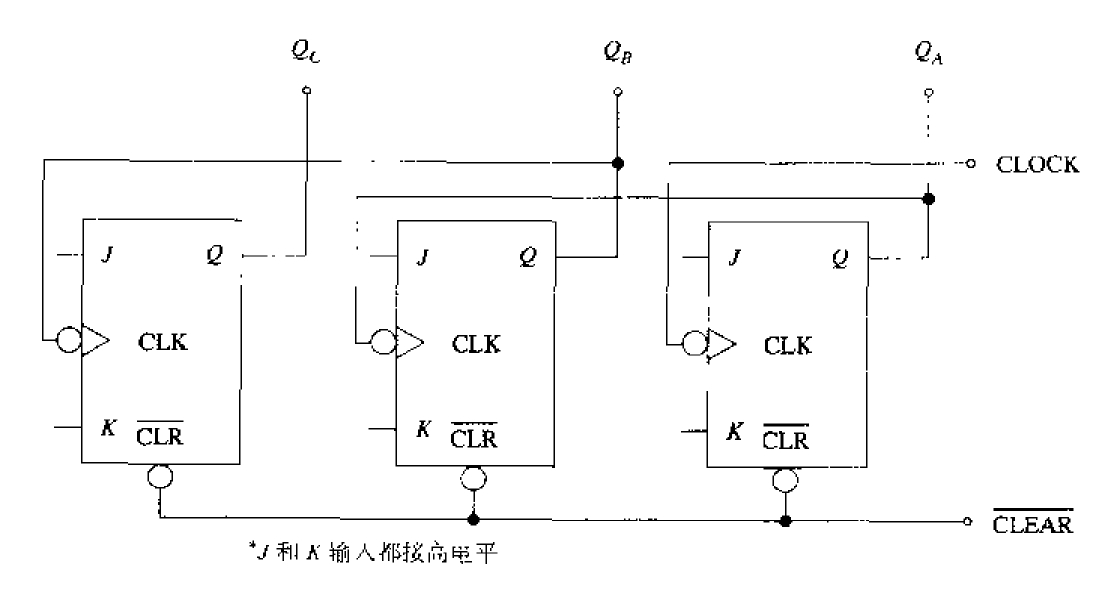


图 6.69　对二进制计数器进行故障诊断

输出 Q_A 的频率为 $f_{in}/2$，Q_B 的频率为 $f_{in}/4$，Q_C 的频率为 $f_{in}/8$。在示波器屏幕上看见的时钟信号和输出信号的波形应该和图 6.66(b)所示的波形相同。

如果在初步检查之后，该计数器还是不能正常工作，则可能其中一个触发器失效了。前面的初步检查已经可以保证 V_{CC} 和接地是正常的，而且控制输入（J 和 K）以及 $\overline{CLR}$ 输入也都是高电平。如果该触发器是正常的，则逻辑脉冲发生器将使其处于翻转状态。

还有一种可能性存在，即输出 Q 接负载。该负载可能是一个译码逻辑门、译码器或是实验室环境中的 LED。如果该触发器的静态检查是正常的，那么断开负载。有可能 LED 电流过大，使得该触发器的输出信号不足以作为下一个触发器的时钟驱动。

在由触发器构成的寄存器或计数器电路中，隔离故障的基本步骤为：

1. 检查该电路的 V_{CC} 和接地线。
2. 保证每一个触发器的正常供电（V_{CC} 和接地线）。
3. 通过检查输入数据、输入到触发器的时钟信号及输出等方法来隔离触发器的故障。
4. 如果怀疑某一个触发器，则检查其异步输入以确认它是否是无效的。
5. 通过断开触发器和负载的连接以隔离该触发器及其负载。
6. 如果怀疑电路板上的一条线，则将一个逻辑探针放在该线路的一端，另一个逻辑探针放在线路的另一端。如果线路没有断开，则逻辑探针应该响应脉冲发生器的输出。
7. 如果该触发器失效，就更换它；如果是电路板上的线路断开了，就接上该线路。

6.8 节复习题

A. 检查运行不正常的触发器的第一步应该是_________。

(1) V_{CC} 和接地

(2) PRE 和 CLR

(3) J 和 K

B. 逻辑脉冲发生器能作为触发器的时钟源。

(1) 对

(2) 错

C. 工作在TOGGLE模式的触发器输出的频率应该是时钟输入频率的________分频。

(1) 2

(2) 4

(3) 8

(4) 16

D. 检查了电源、接地线、数据输入、PRE和$\overline{\text{CLR}}$以后，应该将一个错误输出的触发器的负载断开，以保证它不会造成故障

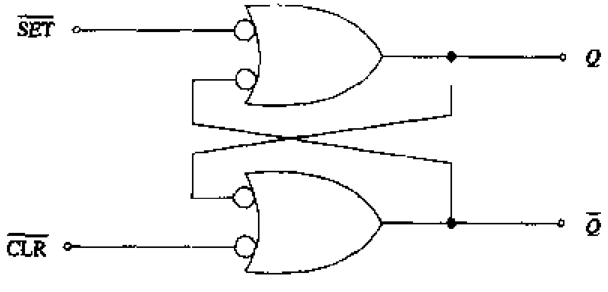
(1) 对

(2) 错

本章小结

将图6.70中的每个图与其下一个图进行比较，可以看出一个很自然的演变过程。每个图中都包含了图6.70(a)所示的基本锁存器。图6.70(b)所示的门限S-C锁存器在第一个锁存器上添加了控制门，这样可以得到同步输入。这种门限锁存器的INVALID状态可以用图6.70(c)所示的D锁存器来克服。图6.70(d)所示的D触发器采用了时间精确的边沿触发方式。最后，图6.70(e)所示的J-K触发器使用能够提供TOGGLE运行模式的反馈方法而完全克服了INVALID状态。所有时序逻辑电路的输出不仅取决于其当前的输入，而且还与加上该输入时电路所处的状态有关。

当Q为高电平时，锁存器或触发器处于SET状态。当Q为低电平时，处于CLEAR状态。图6.70(a)中的低电平有效锁存器是利用交叉耦合的与非门设计的。假设这些输入是互补的，当$\overline{\text{SET}}$输入有效时，锁存器将置位。当$\overline{\text{CLR}}$有效时，锁存器将清零。当两个输入都无效时，由于两个输入都没有要求锁存器响应，所以锁存器处于保持状态。如果两个输入都有效，那么当输入返回到静止状态时，该锁存器的输出状态是不可预测的，这种状态称为INVALID状态。这些情况都显示在状态表中。



$\overline{S}$	$\overline{C}$	Q	$\overline{Q}$
0	1	1	0
1	0	0	1
1	1	NC	NC
0	0	INVALID	

(a) 低电平有效锁存器

图6.70 触发器的发展

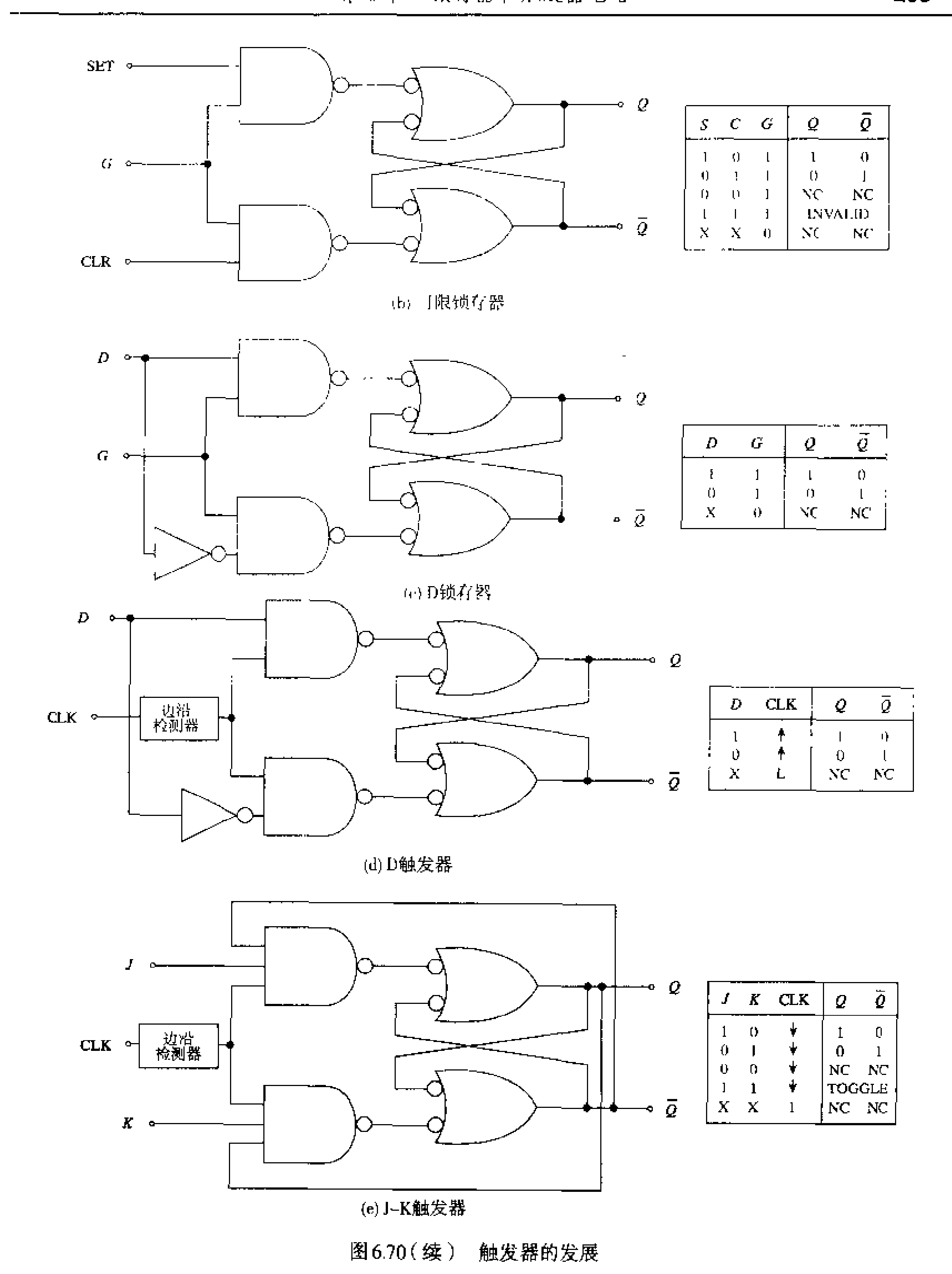


图6.70（续）　触发器的发展

高电平有效的锁存器能够利用交叉耦合的或非门来实现。因为高电平有效锁存器和低电平有效锁存器的输出都是立即响应它们输入端的变化，所以它们都是异步工作的。

图6.70(b)所示的是一个门限锁存器，它就是在图6.70(a)所示的低电平有效的锁存器的前端加上了一个控制门电路。在这个门限锁存器中，逻辑门G输入用于使能或禁止这个输入控制门，该操作确定何时该锁存器能够响应输入SET和CLR，因此，门限锁存器是异步的。状态表总结了该锁存器的运行情况。当使能该电路，且其两个输入都有效时，这种类型的电路仍然存在INVALID输出状态。

这种INVALID状态是不希望出现的，可以用图6.70(c)所示的D锁存器来克服。由于存在反相器，所以，要想使这个D锁存器的低电平有效部分的两个输入都有效是不可能的。如状态表所示，当G为低电平时，可以得到RETAIN状态（无变化－NC）。在该锁存器中，当使能电路时，Q将随着D变化。

触发器是边沿触发的；锁存器是脉冲触发的。在D锁存器的输入端加上边沿检测电路，可以构成如图6.70(d)所示的D触发器。D触发器的运行与D锁存器的工作过程很相似，如状态表所示，惟一的区别是只在一个非常短的时间内使能该触发器中的控制门。这是由边沿检测器的作用造成的。该触发器只在有效时钟转换时才响应其输入信号。换句话说，Q在时钟脉冲的PGT（或NGT）时才随D变化。

另一个触发器的变化是如图6.70(e)所示的J-K触发器。这个电路有两个输入，但是因为Q和$\bar{Q}$连接到输入控制门上，所以该电路不存在INVALID输出状态。该电路使用TOGGLE运行模式取代了不希望出现的INVALID输出状态。该触发器的运行情况总结在其状态表中。如果输入J和K互补，则在有效时钟转换时，Q将随着J变化，$\bar{Q}$将随着K变化。

J-K主从触发器包含了两个级联的J-K触发器。该电路是脉冲触发的。当时钟为高电平时，将数据装入主触发器。当输入时钟变为低电平时，将数据传送到从触发器。尽管该触发器是脉冲触发的，但是该触发器的功能实质上与下降沿触发的触发器是相同的。

如果J-K主从触发器中的主触发器有一个边沿检测电路，则该触发器称为具有数据封锁能力的触发器。在标准的主从触发器中，不允许在时钟仍然为高电平时改变输入J和K，但是数据封锁能力却允许这么做。

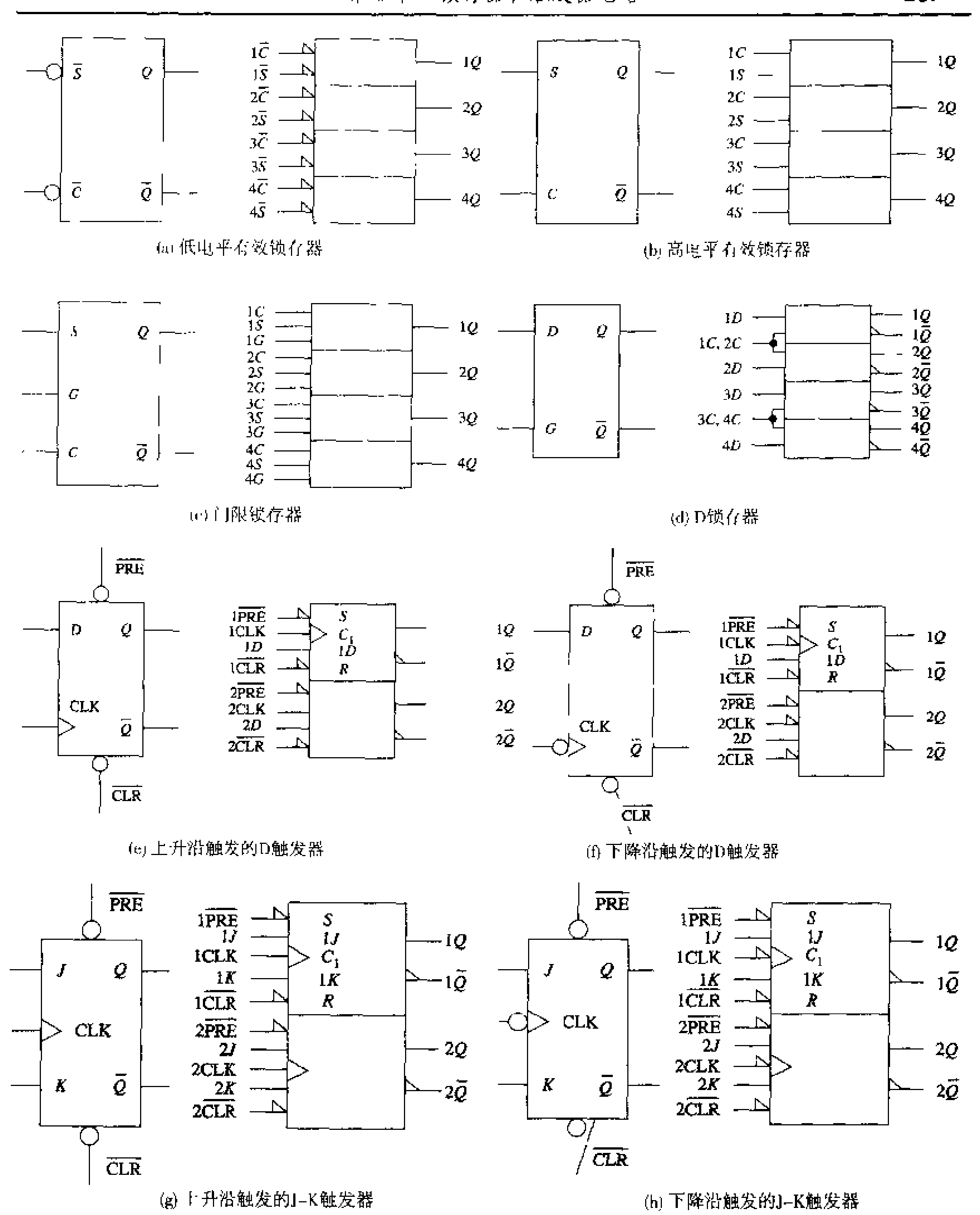
这些锁存器和触发器的标准逻辑符号和ANSI/IEEE逻辑符号中的绝大多数都显示在本章的图6.71中。能够识别这些符号并将它们与对应的显示其运行情况的状态表联系在一起是非常重要的。

所有在时钟输入端含有动态输入指示符的触发器符号都是边沿触发的。没有这种指示符的逻辑符号就是脉冲（电平）触发的。当异步输入（$\overline{\text{PRE}}$和$\overline{\text{CLR}}$）中的一个被置有效时，该输入将优先操作。

触发器用于数字电路的数值应用中。串行移位数据、控制时钟信号和二进制计数在6.7节中进行了阐述。在本书的其他章节中，还会出现更多的触发器应用。

对含有触发器的电路进行故障诊断的主要先决条件是，技术人员必须知道当该电路正常工作时，其工作状态是什么情况。故障诊断、隔离故障点以及修理电路的能力，来自识别图6.71所示逻辑符号的能力和完成每个符号对应的状态表的能力。驱动和检查触发器状态的逻辑脉冲发生器和逻辑探针的正确使用常常有助于隔离故障。

在市场上可以买到很多不同类型的锁存器和触发器。本章没有介绍其他类型锁存器和触发器的工作情况。但是，利用本章学到的知识，就可以学会使用任何一本数据手册，并分析基本触发器的各种工作状态。尽管还存在带有与门输入、J-$\bar{\text{K}}$输入以及其他特性的触发器，但是在掌握基本的触发器概念后，对这些特性的分析相对就要简单一些。



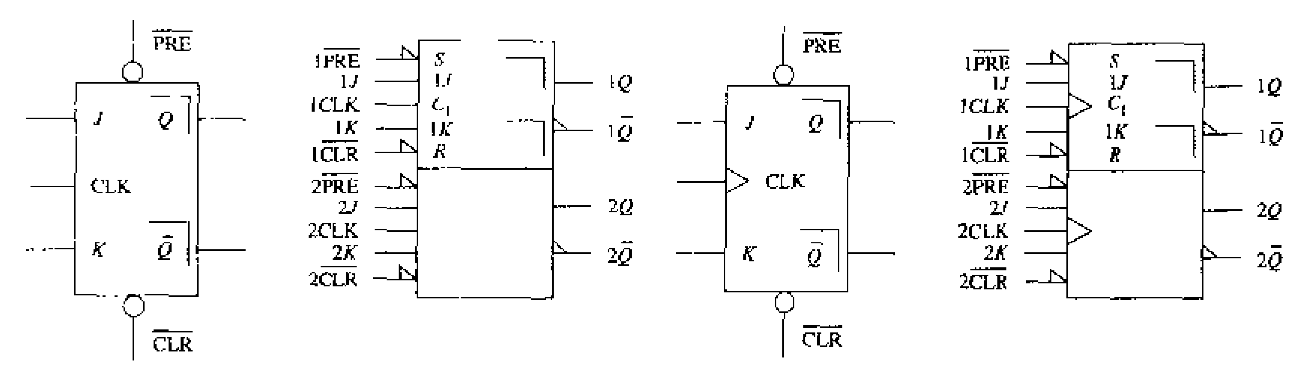
(a) 低电平有效锁存器　(b) 高电平有效锁存器

(c) 门限锁存器　(d) D锁存器

(e) 上升沿触发的D触发器　(f) 下降沿触发的D触发器

(g) 上升沿触发的J-K触发器　(h) 下降沿触发的J-K触发器

图 6.71　锁存器/触发器符号



(i) J-K主从触发器

(j) 带有数据封锁的J-K主从触发器

图6.71（续） 锁存器/触发器符号

习题

6.1 节

1. 图6.72所示的锁存器是一个________ 有效的锁存器。
   (a) 低电平
   (b) 高电平

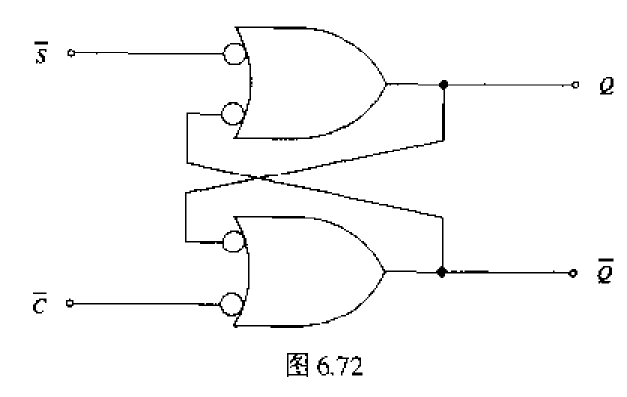


图6.72

2. 当 $Q=1$，$\bar{Q}=0$ 时，图6.72所示锁存器的状态是什么？
3. 为了将图6.72所示锁存器置于CLEAR状态，必须在该锁存器的输入端 $\bar{S}$ 和 $\bar{C}$ 上加哪一种逻辑电平？
4. 定义“置有效”。
5. 为了将图6.72所示锁存器置于SET状态，该锁存器上的哪一个输入必须是有效的？
6. 当 $\bar{S}=1$，$\bar{C}=1$ 时，图6.72所示锁存器的状态或运行模式是什么？
7. 当 $\bar{S}=0$，$\bar{C}=0$（图6.72）时，Q 和 $\bar{Q}$ 的电平是什么？
8. 当 $\bar{S}=0$，$\bar{C}=0$ 时，图6.72所示锁存器的状态的名称是什么？
9. CLEAR状态的另一个名称是什么？
10. 一个锁存器可以存储多少位数据？
11. 当锁存器处于CLEAR状态时，锁存器（输出 Q）中存储的是什么数据位？

CT 12. 利用图6.73所示的输入 $\bar{S}$ 和 $\bar{C}$，画出图6.72所示锁存器的输出 Q 和 $\bar{Q}$？

6.2 节

13. 图6.74所示的锁存器是________有效的。

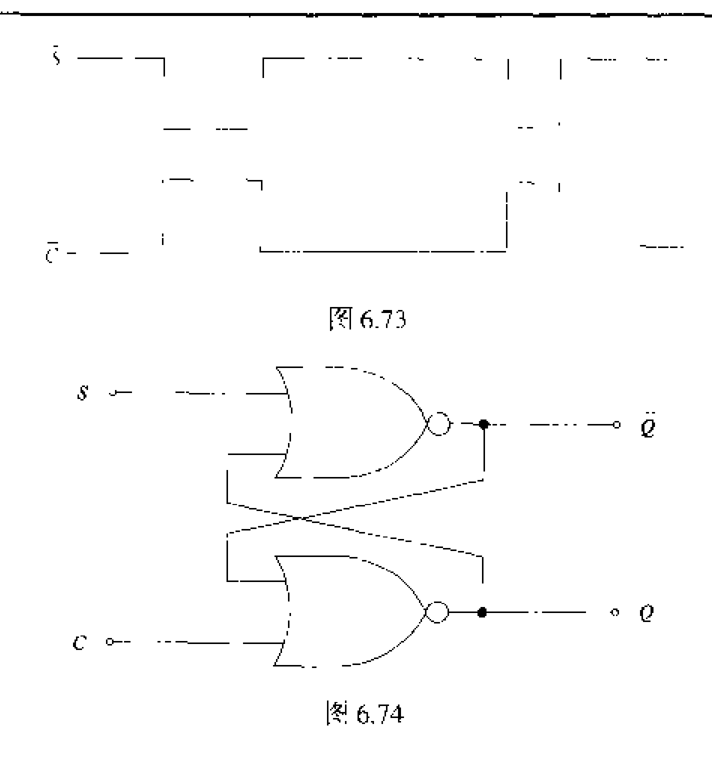


图 6.73

图 6.74

14. 当 $Q=0$，$Q=1$ 时，图 6.74 所示锁存器的状态是什么？
15. 为了将图 6.74 所示锁存器置于 CLEAR 状态，必须在该锁存器的输入端 S 和 C 上加哪一种逻辑电平？
16. 为了将图 6.74 所示锁存器置于 SET 状态，该锁存器上的哪一个输入必须是有效的？
17. 当 $S=0$，$C=0$ 时，图 6.74 所示锁存器的状态或运行模式是什么？
18. 如果图 6.74 所示锁存器的两个输入都有效，该锁存器的状态或运行模式是什么？

CT　19. 利用图 6.75 所示的输入 S 和 C，画出图 6.74 所示锁存器的输出 Q 和 $\bar{Q}$？

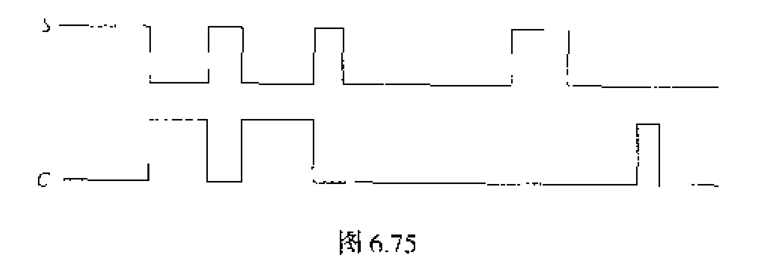


图 6.75

6.3 节

20. 图 6.76 所示的门限 S-C 锁存器是一个________输入有效电路。

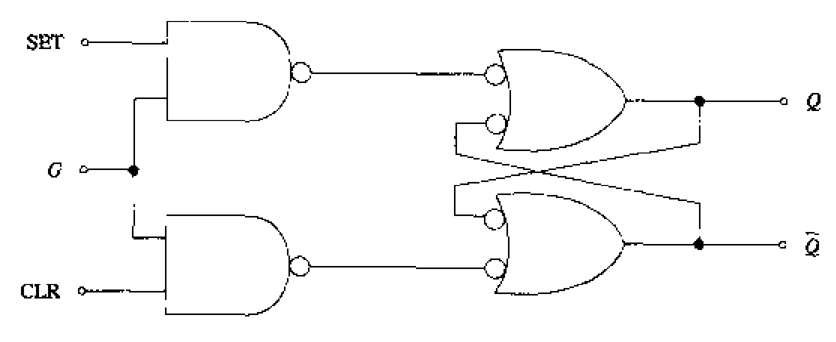


图 6.76

21. 为了将图6.76所示的锁存器置于SET状态，必须在该锁存器的输入端加哪一种逻辑电平？
$S=$ ________，$C=$ ________，$G=$ ________。

22. 为了将图6.76所示的锁存器置于CLEAR状态，必须在该锁存器的输入端加哪一种逻辑电平？
$S=$ ________，$C=$ ________，$G=$ ________。

23. 为了将图6.76所示的锁存器置于HOLD运行模式，必须在该锁存器的输入端加哪一种逻辑电平？写出两种不同的方法。
$S=$ ________，$C=$ ________，$G=$ ________；
$S=$ ________，$C=$ ________，$G=$ ________。

24. 图6.77所示的逻辑符号表示一个________。

25. 当 $D=1$、$C=1$ 时，图6.77所示的锁存器的输出 Q 是什么？

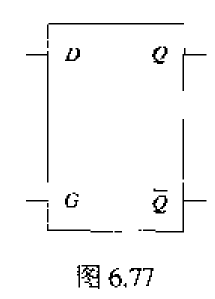


图 6.77

CT 26. 利用图6.78所示的输入 D 和 G，画出图6.77所示锁存器的输出 Q 和 $\bar{Q}$。假定在波形分析开始时，该电路处于CLEAR状态

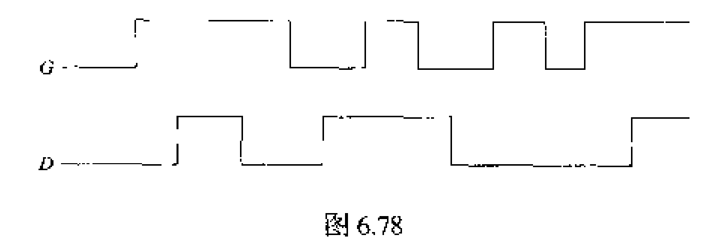


图 6.78

6.4 节

27. 图6.79中的逻辑符号表示一个________。

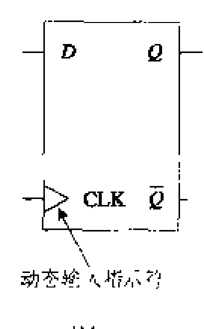


图 6.79

28. 图6.79中的动态输入指示符表示该触发器是________。

CT　29. 利用图6.80所示的输入，画出图6.79所示触发器的输出Q。假定在波形分析开始时，该电路处于RESET状态。

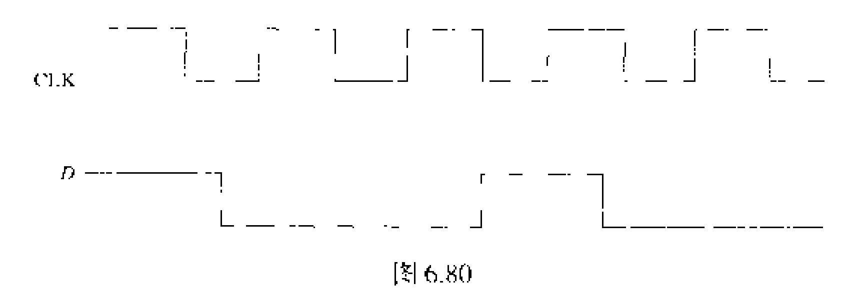


图6.80

30. 定义触发器的建立时间。

31. 图6.81中的逻辑符号表示一个________。

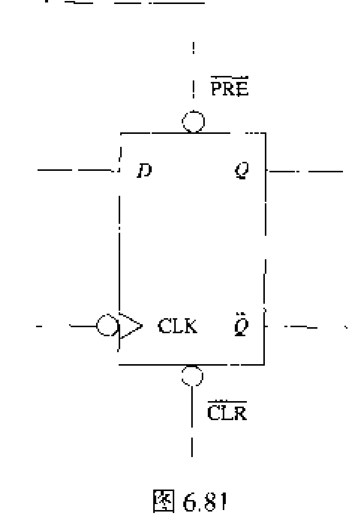


图6.81

32. 利用图6.82所示的输入，画出图6.81所示触发器的输出Q。假定在波形分析开始时，该电路处于RESET状态，而且$\overline{PRE}$和$\overline{CLR}$都接高电平。

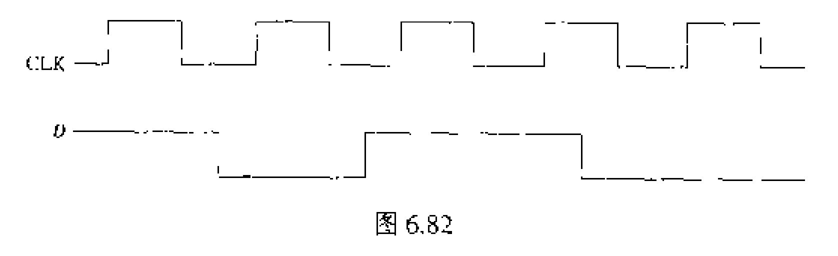


图6.82

CT　33. 利用图6.83所示的输入，画出图6.81所示触发器的输出Q。

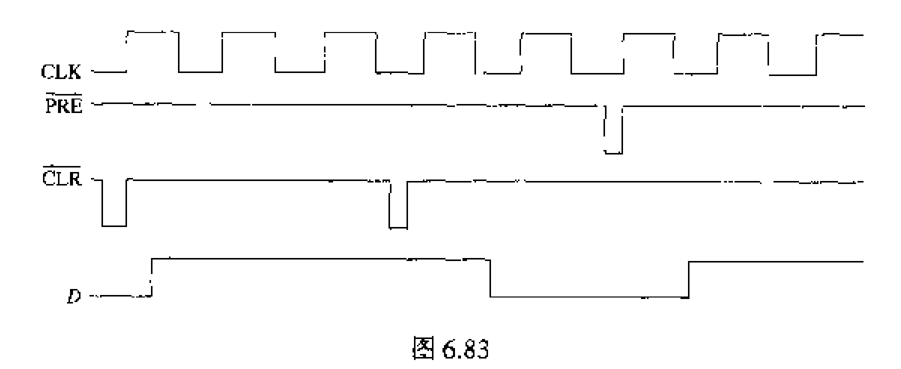


图6.83

34. 画出图 6.84 所示触发器的输出 Q。

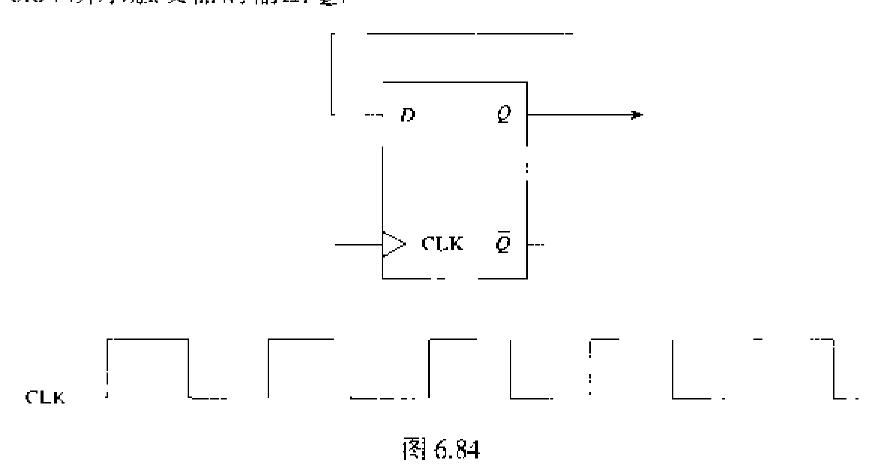
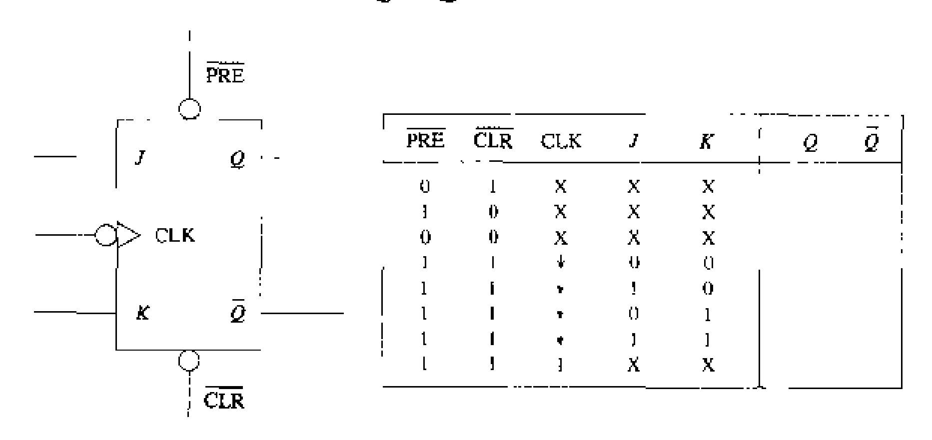


图 6.84

6.5 节

35. 完成图 6.85 所示状态表 I 的输出 Q 和 $\overline{Q}$。



$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	J	K	Q	$\overline{Q}$
0	1	X	X	X		
1	0	X	X	X		
0	0	X	X	X		
1	1	↓	0	0		
1	1	↓	1	0		
1	1	↓	0	1		
1	1	↓	1	1		
1	1	1	X	X		

图 6.85

CT 36. 利用图 6.86 所示的输入，画出图 6.85 所示触发器的输出 Q。

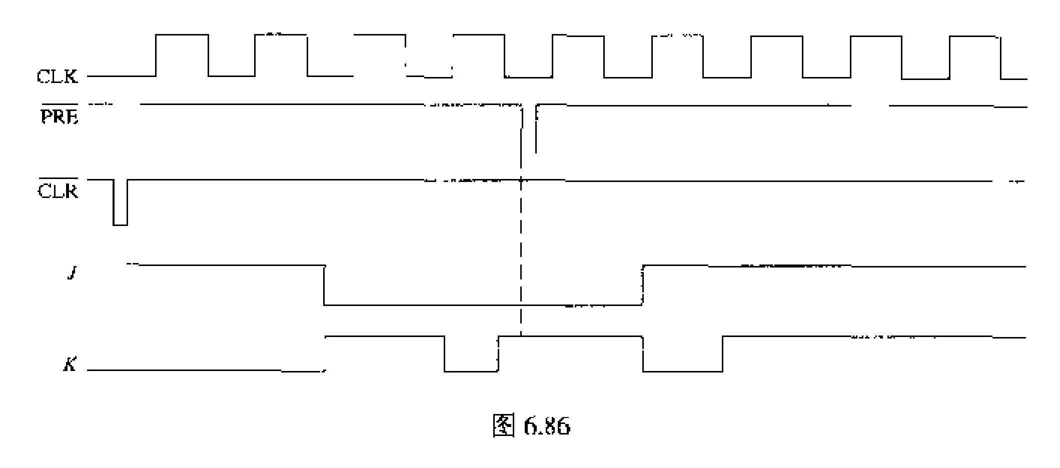


图 6.86

37. 利用图 6.87 所示的输入，画出图 6.87 所示触发器的输出 Q。

38. 假设图 6.87 中的触发器是下降沿触发的，重复 37 题中的问题。

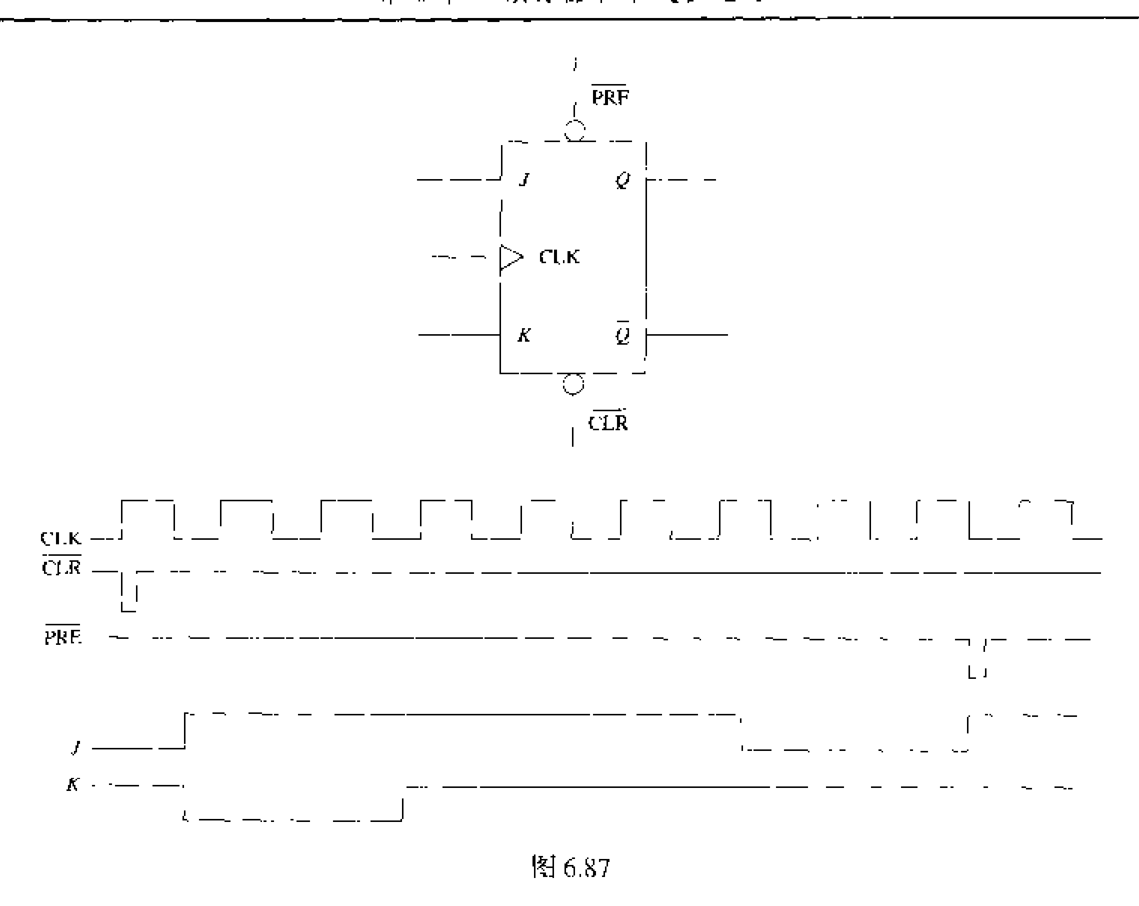


图 6.87

6.6 节

39. 画出用于表示带有两个异步输入、上升沿触发的J-K主从触发器的标准逻辑符号。

CT　40. 利用图6.88所示的输入，画出上升沿触发的J-K主从触发器的输出Q和$\overline{Q}$。

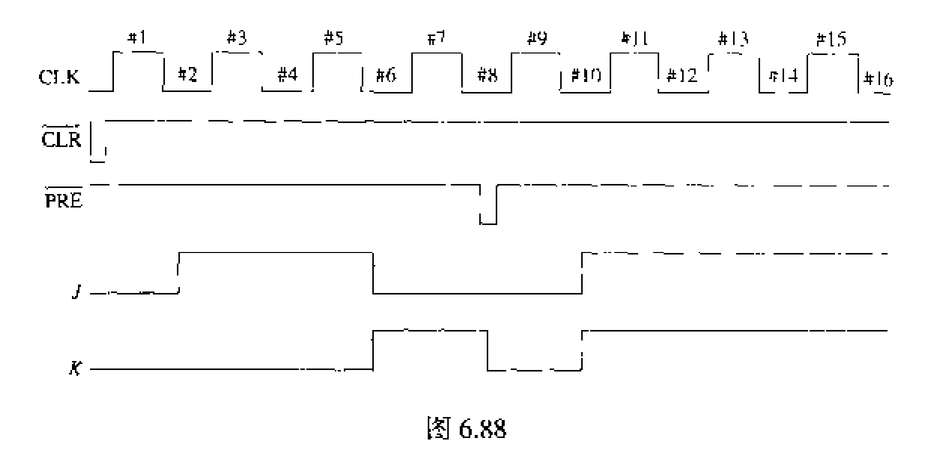


图 6.88

6.7 节

41. 确定图6.89所示电路在6个时钟脉冲之后的输出Q_A-Q_F。画出输出波形图。

42. 图6.90所示电路的MOD是多少?

43. 图6.90所示电路的最大计数值是多少?

CT　44. 如果在第一个触发器的输出Q_A和下一个触发器的时钟输入之间存在断点，图6.90中所示电路的输出是什么?

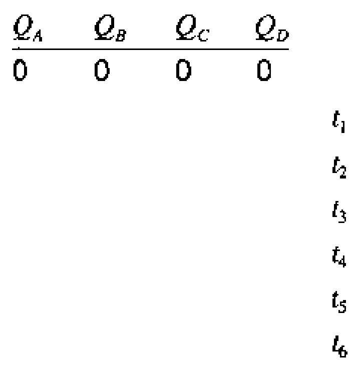
45. 如果输入线$\overline{CLR}$短路接地，图6.90所示电路的输出将是什么?

图 6.89

*J 和 K 输入都接高电平

图 6.90

CT 46. 如果断开触发器 C 的 K 输入引脚，图 6.91 中所示电路的输出将是什么？



Q_A	Q_B	Q_C	Q_D	
0	0	0	0	
				t_1
				t_2
				t_3
				t_4
				t_5
				t_6

图 6.91

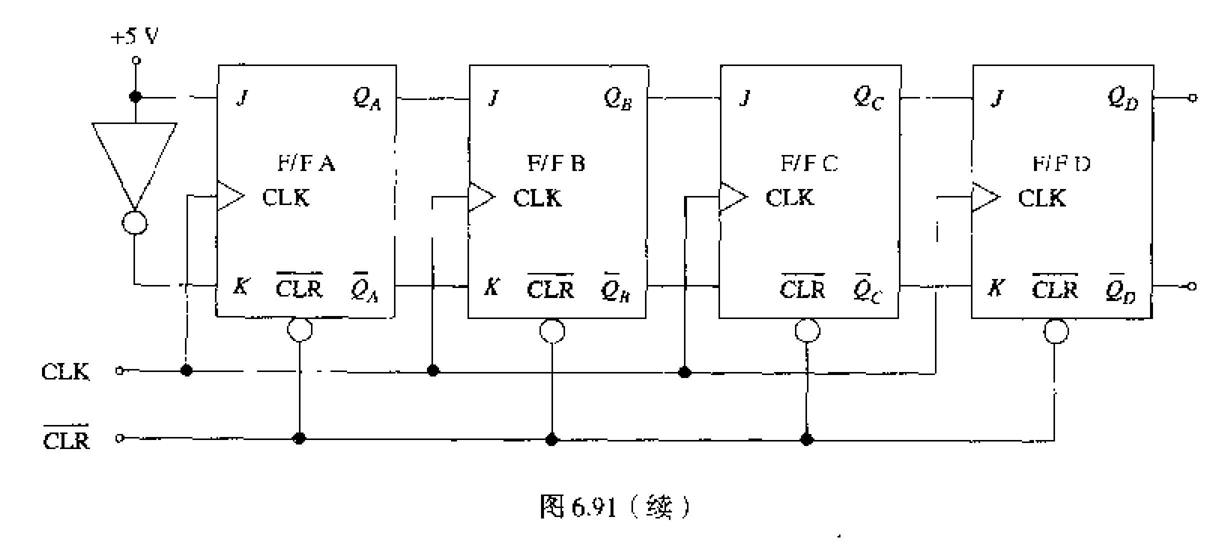


图6.91（续）

CT　47. 如果断开触发器C的时钟输入，图6.91中所示电路的输出将是什么？

Q_A	Q_B	Q_C	Q_D
0	0	0	0

t_1

t_2

t_3

t_4

48. 当$A=1$，$B=0$，$C=0$，CLEAR = 0时，图6.92所示的锁存器的状态是什么？

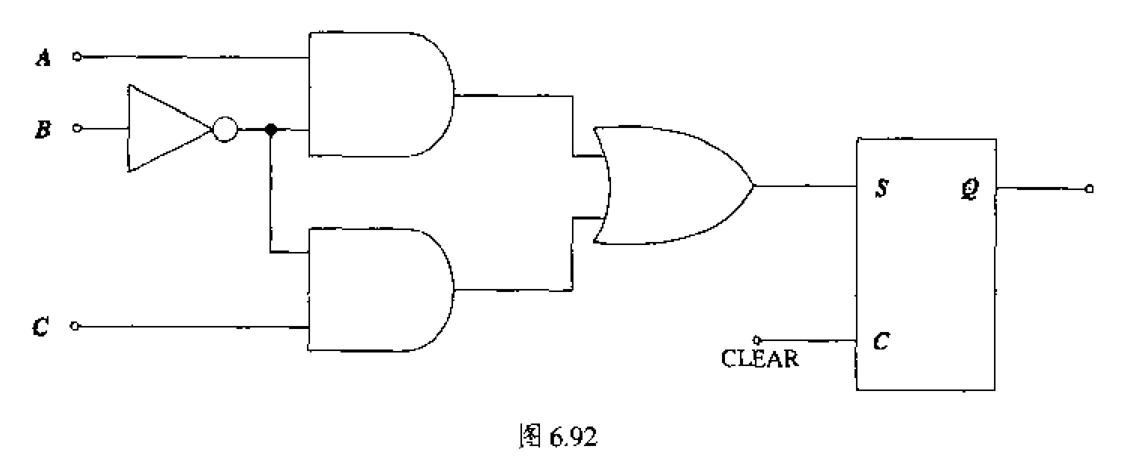


图6.92

49. 当$A=0$，$B=1$，$C=1$，CLEAR = 0时，图6.92所示的锁存器的状态是什么？

第7章 计 数 器

重要术语

Asynchronous Counter 异步计数
Asynchronous Preloading 异步预置
Bi-Quinary 二–五进制
Common-Control Block 公共控制模块
Counter 计数器
Decade Counter 十进制计数器
Decrement 递减
Dependency Notation 相关标志
Divide-by-n Counter n分频计数器
Hybrid Counter 混合计数器
Increment 递增
Johnson Counter 约翰逊计数器
Look-Ahead Carry 超前进位
Modulus(MOD) 模（MOD）
Ring Counter 环形计数器
Ripple Counter 脉动计数器
Synchronous Counter 同步计数器
Truncate 截位

本章要点

1. 定义基本的计数器术语。
2. 识别加计数器或减计数器的逻辑图或逻辑符号，并判断它是异步计数器还是同步计数器。
3. 给出计数器的逻辑图，计算模及其输出端的分频频率。
4. 设计特定模的异步计数器。
5. 比较异步计数器和同步计数器，了解它们的优点和局限性。
6. 识别并确定移位寄存器计数器的模。
7. 给出计数器的逻辑图和故障特征，通过隔离故障对电路进行故障诊断。
8. 设计同步计数器（选修）。

概述

数字计数器是产生特定的二进制计数序列的电路。这个序列的一部分是由输入时钟脉冲控制的，并且只要一直有时钟脉冲就会不停重复。在数字系统中计数器主要用于两个方面：计数和分频。

第6章介绍过触发器，它是所有时序逻辑电路的基础。本章对6.7节提到的基本二进制计数器进行更详细深入的分析。

单个触发器可以构成二分频电路，而二分频电路则可以组成所有计数器。在将触发器内部几个与非门连接并输入时钟脉冲时，一个计数系统就产生了。计数器常用于计数或分频，用于产生较低的频率。这些计数器可以是加计数器，或是减计数器。有时计数器还用于产生某个数据作为有效电平来控制逻辑电路。

在计算机中，通常对晶振输出的频率进行分频，从而得到计算机各部分所需的频率。例如，我们用某些时控电路对晶振频率分频，以产生实际的系统时钟频率，而这个频率常常被进一步分频，以得到更低的频率，作为其他设备的时钟脉冲。有时这些较低的输出频率要驱动频率更低的外围设备。

在计算机中也可以使用计数器对存储地址顺序访问，或是产生每日时钟控制系统的日历。另外，计数器还用于频率合成设备和模/数、数/模转换。

本章将介绍两种基本的计数器：异步计数器和同步计数器。异步计数器在结构和设计上比同步计数器更简单、更容易，但它局限于使用缓慢的时钟脉冲。异步计数器也会产生尖顶脉冲从而导致错误计数。同步计数器在很大程度上克服了这两项不足之处。混合计数器则既是异步计数器又是同步计数器。

7.1 异步计数器

要点

1. 识别加和/或减异步计数器。
2. 定义模、异步、递增和递减，并计算异步计数器的模值和最大计数值。
3. 判断 X 个时钟脉冲后加或减异步计数器的计数输出。

7.1.1 由NGT触发的触发器构成的模8加计数器

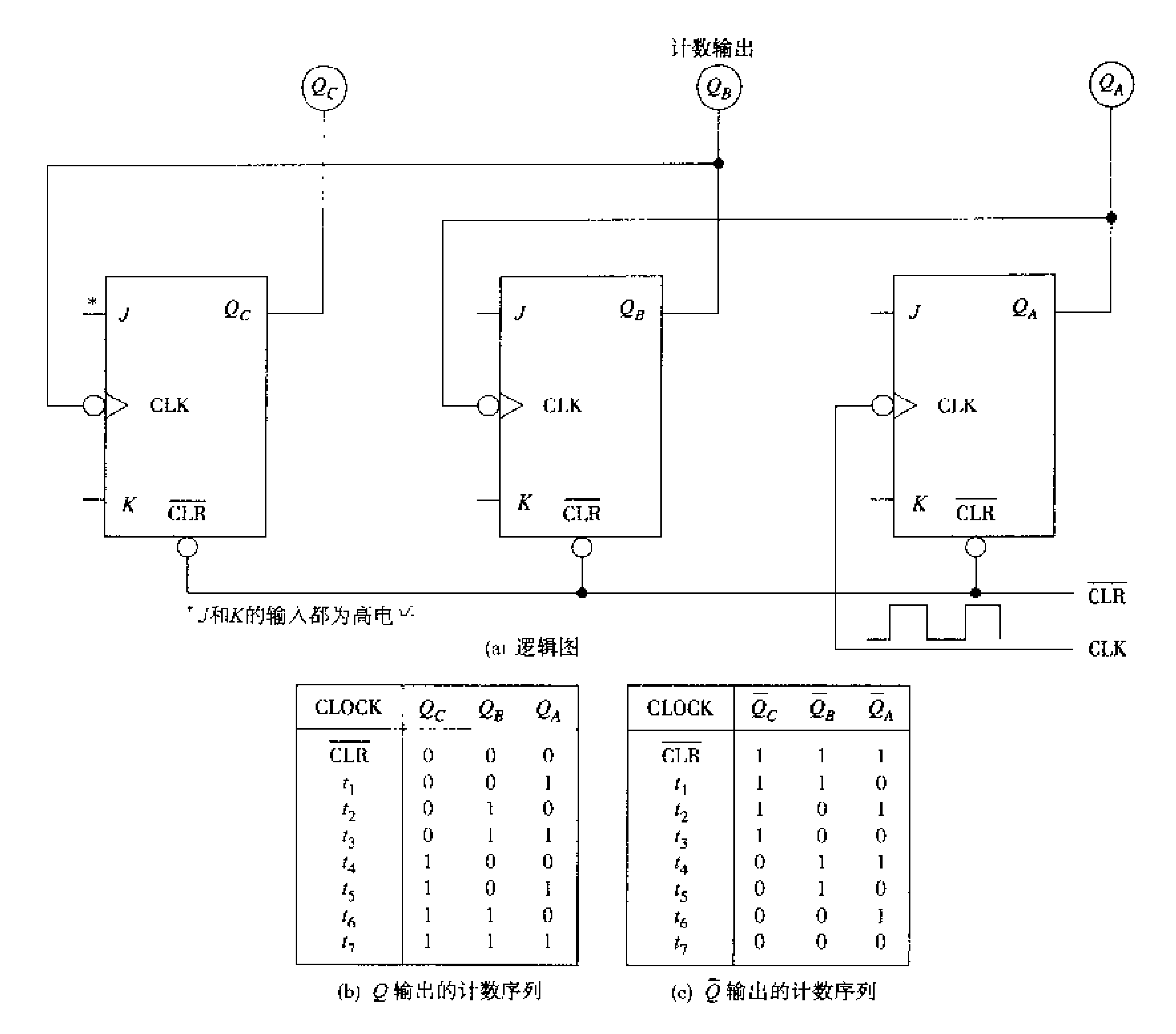
图7.1(a)为模8异步加计数器的逻辑电路图。以前"模"的定义是"计数器顺序计数的最大状态（条件）个数"。该电路的模是2的 n 次幂，其中 n 为触发器的个数。这里 $2^n = 2^3 = 8$，模为8。

图7.1(b)为计数器的输出状态。我们从计数器复位（RESET）状态开始分析输出数据。在计数器的 $\overline{CLR}$ 输入端接一个平时处于高电平的开关，并且立刻将该输入端置有效，以使计数器复位输出000。至于计数器输出波形分析则留给读者自行完成，这里就不再重复了。如果在完成与图7.1(b)相对应的计数序列波形时有不明白之处，那么在继续学习前，请先复习6.7节。注意，只有当CLK端输入的时钟脉冲出现下降沿（NGT）时，图7.1(a)中的触发器才会发生翻转。

如图所示，Q_C，Q_B 和 Q_A 为输出端。其中 Q_A 为最低有效位（LSB），Q_C 为最高有效位（MSB）。有些书上用数字代替字母标识输出端。例如，Q_0 为最低有效位，下标最大的代表最高有效位。在4位计数器中输出端为 Q_3，Q_2，Q_1 和 Q_0，其中 Q_3 为最高有效位。本书中的计数序列是通过电路的 Q 输出来控制的，从而将有关解释和问题标准化。计数器的 $\overline{Q}$ 输出如图7.1(c)所示，为了简要分析问题，这种方式只使用了一次。当电路的 Q 输出是加法计数时，$\overline{Q}$ 输出是减法计数。

在本章第一节，为了有助于理解，我们规定最低位在右边，最高位在左边。但是，这并不适用于所有的数据表，有时最高位反而在右边。在本章后面介绍的多种计数器中，有一部分计数器最低位就在左边。由于工厂并没有将计数器的逻辑图标准化，所以书中的计数器逻辑图标准化毫无意义，也没有这个必要。

如图7.1(a)所示，该计数器在输入3个时钟脉冲之后输出什么？如果读者不能确定计数输出的控制端，那么将很难回答这个问题。如果初始数据未知，也将无法回答这个问题。如果文中没有特别提及，那么对于加计数器，该初始数据应为 $000_{(2)}$。这样上面问题的答案就是 $011_{(2)}$。但是，如果求输出端 Q 的输出数据，问题就困难多了。控制数据从 Q 端输出的另一个原因是，大多数IC计数器中输出数据的引脚仅有 Q 端。



(a) 逻辑图

CLOCK	Q_C	Q_B	Q_A
$\overline{CLR}$	0	0	0
t_1	0	0	1
t_2	0	1	0
t_3	0	1	1
t_4	1	0	0
t_5	1	0	1
t_6	1	1	0
t_7	1	1	1

(b) Q 输出的计数序列

CLOCK	$\overline{Q}_C$	$\overline{Q}_B$	$\overline{Q}_A$
$\overline{CLR}$	1	1	1
t_1	1	1	0
t_2	1	0	1
t_3	1	0	0
t_4	0	1	1
t_5	0	1	0
t_6	0	0	1
t_7	0	0	0

(c) $\overline{Q}$ 输出的计数序列

图 7.1　由 NGT 触发的触发器构成的模 8 异步加计数器

这里的“异步”表示“不是同时发生的”。该计数器的时钟脉冲仅从触发器 A 输入。值得注意的是，所有的触发器都以翻转（TOGGLE）运行模式相连接。触发器 B 的时钟输入端与触发器 A 的输出端相连。触发器 A 的传输延迟使触发器 B 的时钟输入稍稍滞后于触发器 A 的时钟输入。因为触发器B的时钟输入发生了延迟，所以它的输出在响应输入时的延迟更大了。这个延迟在到达触发器 C 后继续有所增加。这种不断增加的延迟造成计数器的脉动效应，因此这种异步计数器也常称为脉动计数器。我们将展开讨论异步计数器的优点和缺点。

7.1.2　由 PGT 触发的触发器构成的模 8 加计数器

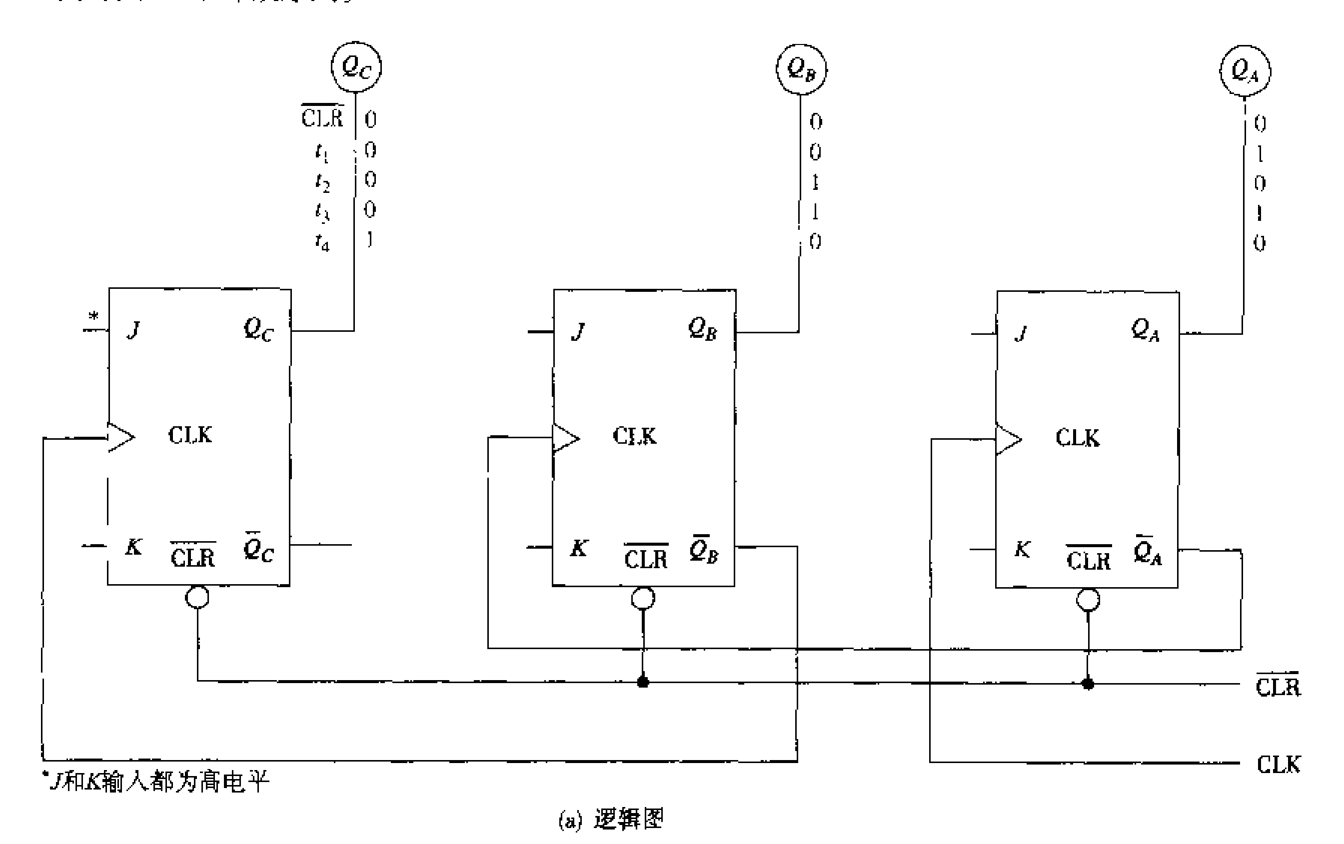
另一种模 8 异步加计数器如图 7.2 所示。该计数器与前面讨论的计数器有两点不同。一是触发器 B 和 C 的 CLK 输入与触发器 A 和 B 的 $\overline{Q}$ 输出相连，而前面介绍的计数器的 Q 输出都作为下一级触发器的时钟。二是该计数器中的触发器都是 PGT 触发的。

该计数器的计数序列与图7.1(a)和图7.1(b)所示的计数器的计数序列相同。该计数器的第一组4个时钟脉冲标在图7.2(a)中触发器的上面，这样有助于下面的分析。首先该计数器异步清零

- t_1：在CLK脉冲的PGT到来时触发器A触发，Q_A输出为高电平，但是$\bar{Q}_A$输出从1触发变为0，如图7.2(b)所示。这将在触发器B的CLK输入产生一个NGT。该结果不是触发器B的作用，因为B是一个下降沿触发的触发器。触发器C的输出没有改变，因为在t_1时刻没有接收PGT，而是计数为001。即使不写出计数输出中的下标2，也将说明这些计数器的输出都是二进制数。
- t_2：在t_2时钟脉冲的PGT，触发器A的Q输出又被触发，这将在$\bar{Q}_A$产生一个PGT，从而使触发器B触发；Q_B产生的NGT使触发器C不变化，此时计数为010。
- t_3：此时触发器A又被触发为高电平。因为$\bar{Q}_A$产生了一个NGT，所以其他的电路都没有变化，计数为011。
- t_4：触发器A的Q输出翻转为低电平，在$\bar{Q}_A$产生PGT，这将使触发器B的Q输出翻转为低电平，从而在$\bar{Q}_B$产生PGT，这将使翻转器C触发为高电平，此时计数为100。

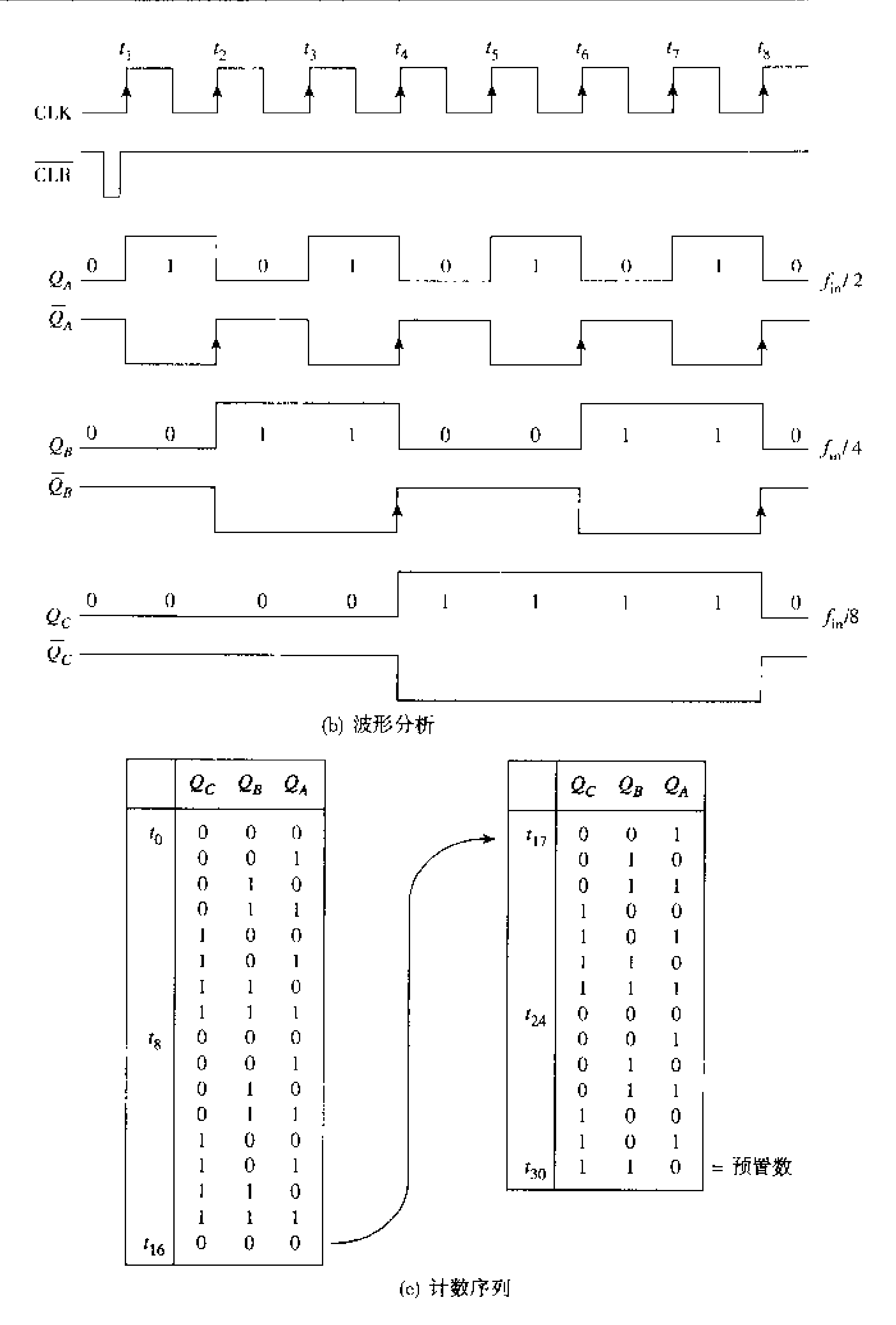
时钟输入t_5，t_6和t_7使计数器依次递增为101，110和111。递增指的是计数值的增加。该顺序加计数器的波形如图7.2(b)所示。

时钟脉冲t_8到来时将触发触发器A，并在其他两个触发器的时钟输入产生PGT，这将使计数器回到000_2。二进制计数器每两个时钟脉冲重复计数，即该计数器每经过8个时钟脉冲回到000，从而准备下一个计数序列。



(a) 逻辑图

图7.2　由PGT触发的触发器构成的模8异步加计数器



(b) 波形分析

	Q_C	Q_B	Q_A
t_0	0	0	0
	0	0	1
	0	1	0
	0	1	1
	1	0	0
	1	0	1
	1	1	0
	1	1	1
t_8	0	0	0
	0	0	1
	0	1	0
	0	1	1
	1	0	0
	1	0	1
	1	1	0
	1	1	1
t_{16}	0	0	0

	Q_C	Q_B	Q_A	
t_{17}	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	1	0	1	
	1	1	0	
	1	1	1	
t_{24}	0	0	0	
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	1	0	1	
t_{30}	1	1	0	= 预置数

(c) 计数序列

图7.2（续） 由PGT触发的触发器构成的模8异步加计数器

该电路的模为8，它从000计数到$111_{(2)}$，有8个不同的状态。最大值$111_{(2)}$的序列波形如图所示，该值等于MOD－1。连续不断地输入时钟脉冲后，Q端输出的波形如图7.2(b)所示。在每个有效的时钟转换后以最上边的输出波形（Q_A）为LSB垂直读出计数值。

图7.2(b)中的波形也显示了这个计数器的占空比为50%。当允许这个计数器全模（full－MOD）输出时，这种输出是正确的。波形显示输出Q_A的频率为输入时钟脉冲频率除以2。输出Q_B的频率为输出Q_A的频率再除以2，即$f_{in}/4$。最高位输出Q_C的频率为输出Q_B的频率再除以2，即$f_{in}/8$。输入时钟的频率除以最高位输出的频率往往等于模值。二进制计数器通常称为n分频计数器，就是因为每经过n个输入时钟脉冲，它们就可以产生一个完整的输出数据序列。

在输入的时钟脉冲数已知的情况下，仍然不能立即判断出计数器的输出数据。如果要判断在输入30个时钟脉冲后，如图7.2(a)所示的模8加计数器的输出是什么？可以确信计数器的结果将如图7.2(c)所示：每经过8个时钟脉冲，计数器返回输出000。因此，利用下面的公式可以在已知输入时钟脉冲个数的情况下推导出计数器当前的输出数据：

当前计数值＝总的输入CLK个数/MOD

30/8＝3余**6**

余数6是输入30个时钟脉冲后计数器的输出数据。商3则可以忽略，因为它代表的是在这个期间计数器重复了3个完整的输出序列。

如果用计算器计算该公式，那么结果应该是3.75。因为其中0.75是指8个时钟脉冲计数循环完成了75%，所以0.75必须乘以模值才能得到计数器的输出数据。

当前计数值＝30/8＝3.75
＝3.75 × 8＝**6**

现在让我们再来计算模16的计数器经过100个时钟脉冲后的输出情况。

当前计数值＝100/16＝6.25
＝6.25 × 16＝**4**

7.1.3 由D触发器构成的模8加计数器

图7.3是一个由D触发器构成的模8异步计数器。将该电路与图7.2所示的计数器相比较。注意，将D触发器的输出端$\bar{Q}$与输入端D相连时，D触发器就可以进行翻转了。

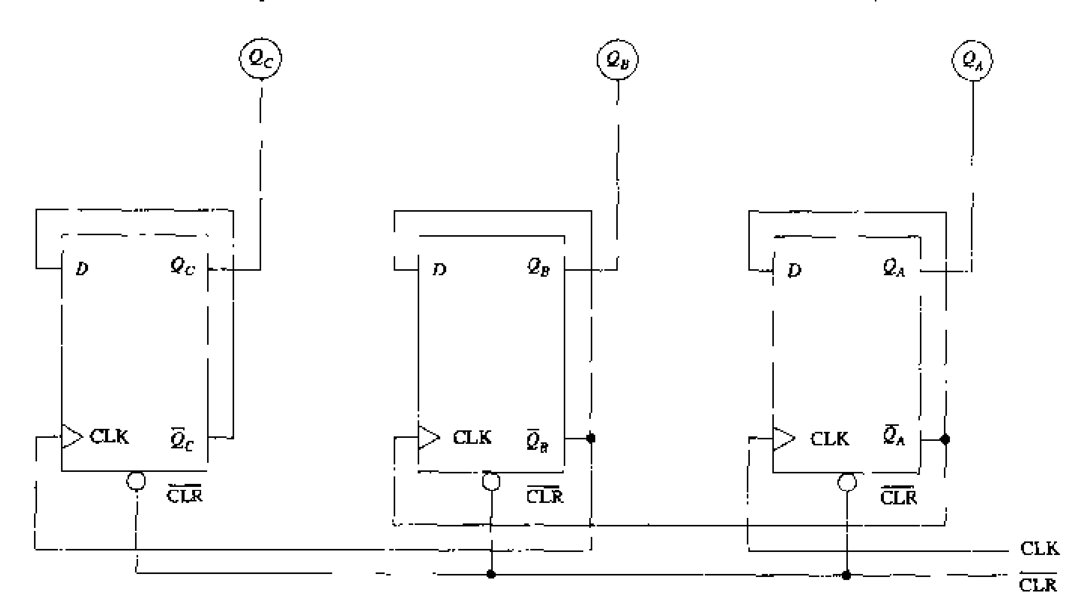


图7.3 由D触发器构成的模8异步加计数器

7.1.4 模 16 加计数器

图 7.4 为模 16 异步加计数器，其输出波形如图 7.4(b)所示。由模（$2^n = 2^4 = 16$）可知该计数器的最大计数值为 15（$1111_{(2)}$）。虽然在波形中没有显示 CLR 的输入情况，但仍然可以假设计数序列开始时处于清零（CLEAR）状态。以后除非有特殊说明，否则所有加计数器序列的初始状态都为该状态。

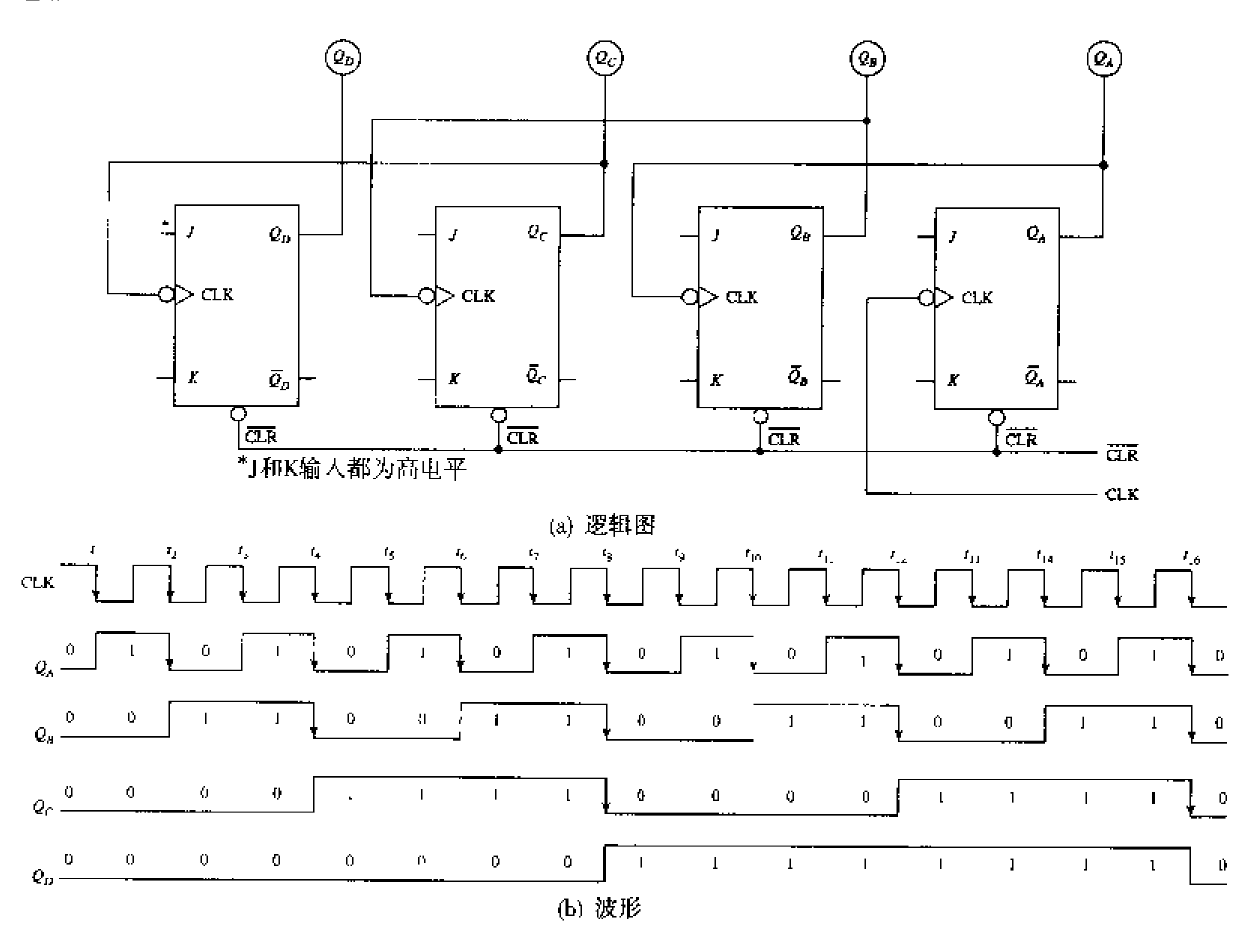


图 7.4 模 16 异步加计数器

7.1.5 模 32 加计数器

如果要求读者设计一个模 32 的异步加计数器，应该如何做呢？模 32 加计数器需要 5 个 J-K 触发器级联起来，就像上例模 16 计数器那样。因为 $2^n = 2^5 = 32$，所以这个计数器的最大输出数为 31（$11111_{(2)}$）。如果一个触发器的 Q 输出作为下一个触发器的时钟脉冲，那么该电路可以由下降沿触发的触发器组成。如果一个触发器的 $\bar{Q}$ 输出作为下一个触发器的时钟，那么该电路可以由上升沿触发的触发器组成。

图 7.5 所示的方框图说明了模 32 计数器的分频因数。每增加一个触发器则分频因数加倍，即任何一个输出端的分频因数等于 2 的该输出端位数加 1 次方。例如，Q_C 输出端的位数为 2（注意 Q_A 输出端的位数为 0，对应 2^0，那么 $Q_C = 2^{2+1} = 2^3 = 8$。

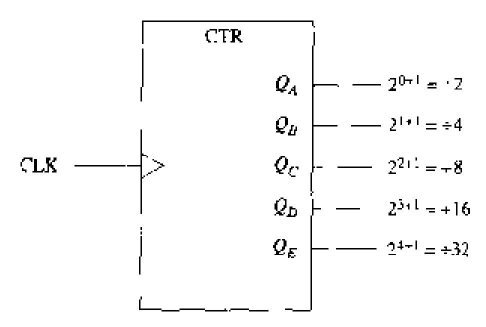
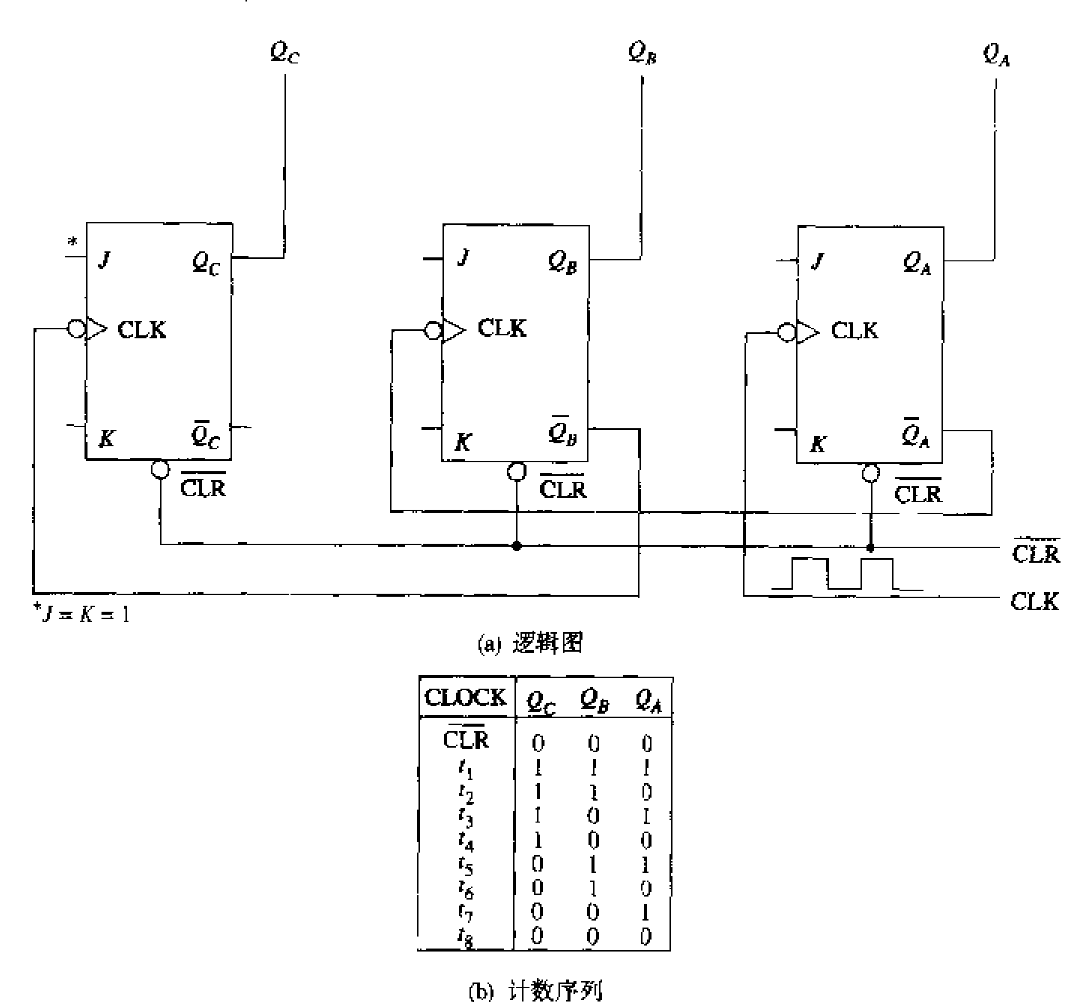


图 7.5 计数器的分频因数图

7.1.6 模 8 减计数器

图 7.6 为模 8 异步减计数器的逻辑图及其计数序列 Q 输出的序列从 000（CLEAR 状态）开始。

在时钟输入的下降沿，触发器 A 翻转为 SET 状态。因为 $\bar{Q}_A$ 是在其时钟输入从高电平变为低电平时翻转的，所以它产生了一个 NGT，将触发器 B 也翻转为 SET 状态。同理，$\bar{Q}_B$ 也是在由高电平变为低电平时翻转的，并且也产生了一个 NGT，将触发器 C 翻转为 SET 状态。这样，第一个时钟脉冲使计数器的二进制输出为 111。



(a) 逻辑图

CLOCK	Q_C	Q_B	Q_A
$\overline{CLR}$	0	0	0
t_1	1	1	1
t_2	1	1	0
t_3	1	0	1
t_4	1	0	0
t_5	0	1	1
t_6	0	1	0
t_7	0	0	1
t_8	0	0	0

(b) 计数序列

图 7.6 由 NGT 触发的触发器构成的模 8 异步减计数器

通过分析计数器的输出序列可以看出，在每个成功的时钟脉冲的下降沿，计数器的输出向下依次递减。当第8个时钟脉冲到来时，计数器的输出减到最后的计数值000，然后准备进行下一个循环。

图7.7是由上升沿触发的触发器构成的减计数器. 除使用的触发器类型不同，还应注意一点结构上的不同之处、即输出Q_A和Q_B分别触发器B和C的时钟脉冲. 在本节中有两种不同的模8减计数器和两种不同的模8加计数器. 不用死记硬背，我们可以通过以下几步来判断计数器的情况：

1. 确定模为2^n
2. 将计数器清零，再输入一个时钟脉冲. 如果计数器输出为1（$\cdots001_{(2)}$），那么这个计数器为加计数器；如果计数器输出为最大数（全为高电平输出$\cdots111_{(2)}$），那么它就为减计数器.

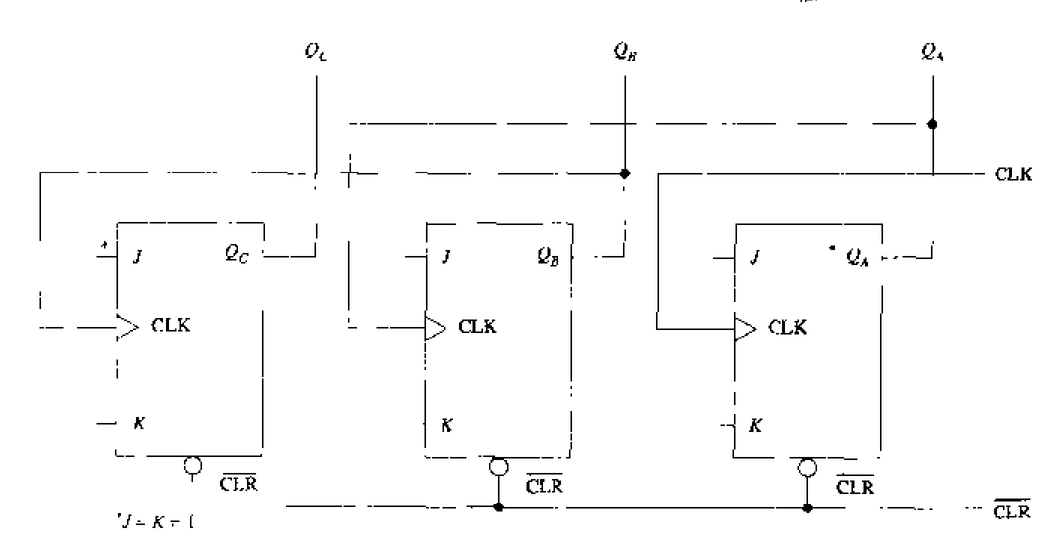


图7.7 由PGT触发的触发器构成的模8异步减计数器

从以前讨论的结果可以很清楚地看出，使用NGT触发的触发器构成的计数器和用PGT触发的触发器构成的计数器的输出不同. 实际上，如果在实现中出现错误，有可能会使加计数器变为减计数器，反之亦然.

如何判断某个特定模值的计数器所需触发器的个数呢？我们在第2章学习过，某个特定模值对应的二进制数的位数等于log MOD / log 2 。因为在计数器中，二进制数的一位就对应着一个触发器，所以此公式也可以计算某个特定模值的计数器所需的触发器个数。

触发器的个数 = log MOD / log 2

如果希望得到一个较小的计数值或较低的频率分段，就要截去全模／全程（满）计数器的某些输出。我们将在下一节对该问题进行讨论。

7.1 节复习题

A. 计数器的模值等于它所输出的最大值。

(1) 对

(2) 错

B. 一个全程计数器的模值等于2的n次方，其中n为计数器中触发器的个数。

(1) 对

(2) 错

C. 计数器的最高有效位（MSB）通常定义为Q_0或Q_A

(1) 对

(2) 错

D. 在本章中，“异步”的意思是“在同一时间发生”。

(1) 对

(2) 错

E. 异步计数器中存在附加的传输延迟

(1) 对

(2) 错

F. 异步计数器也经常称为脉动计数器。

(1) 对

(2) 错

G. 计数器的MSB的分频因数总是等于它的最大输出数。

(1) 对

(2) 错

H. 依次递增的计数器是指计数值________1

(1) 加

(2) 减

I. 组成一个模64的异步计数器需要几个触发器？

J. 模16加计数器在155个时钟脉冲之后输出值为多少？

7.2 异步截位计数器

要点

1. 明确判断出异步截位加计数器的模值和计数最大值。
2. 能够判断出异步截位加计数器的输出频率。
3. 给出特定的模值，设计出对应的异步加计数器电路。

7.1节介绍的模8和模16计数器均为全模计数器。这些计数器的模值恰好等于2的整数次方，其中这个整数为该计数器中触发器的个数，模可以表示为2^n。

使计数器的模值（分频因数）小于2的整数次方常常也很重要。当一个计数器的模小于其全模值时，它就是截位计数器。“截位”可定义为“缩短或是好像被截断”或是“突然终止”。这两种解释很适合描述计数器的模值减少的情况，所以我们把这种计数器定义为截位计数器。

7.2.1 模5加计数器

图7.1和图7.2所示的逻辑图是前面我们介绍过的模8异步加计数器。图7.8(a)所示的逻辑图显示了如何调整模8加计数器，从而改变它的模值。

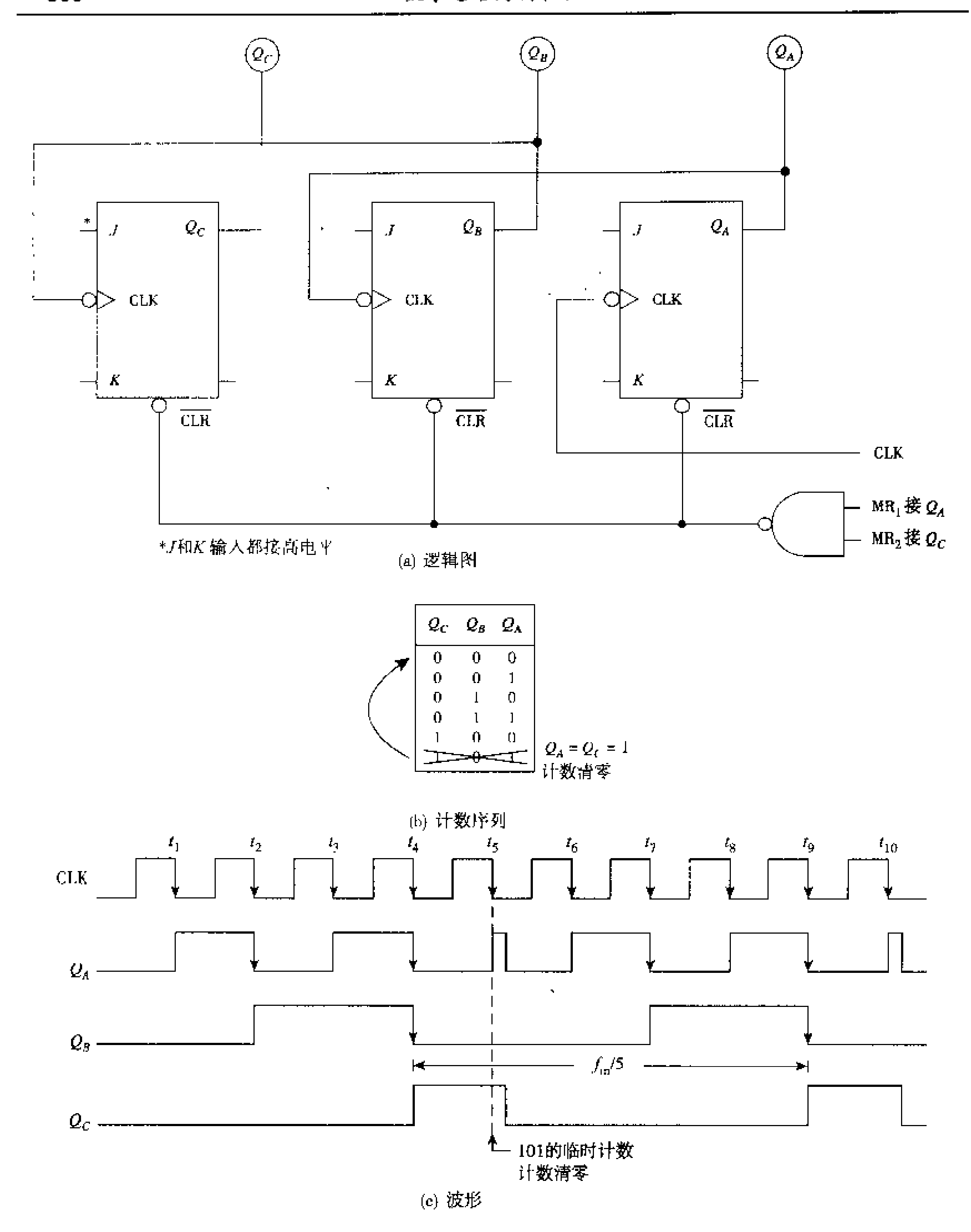


图 7.8 由 NGT 触发的触发器构成的模 5 异步加计数器

这个电路有一个进行截位的与非门，该与非门的输出代替了通常的高电平开关，从而与每一个触发器的 $\overline{CLR}$ 输入端相连。与非门的控制端为 MR_1 和 MR_2（Master Reset）。该电路的其余部分与图 7.1 所示的模 8 加计数器的相同。

在图7.8(a)中，主复位输入（MR_1和MR_2）与触发器的输出端Q_A和Q_C相连接。只有当Q_A和Q_C输出均为高电平时，与非门的输出才有效（低电平）。通过图7.8(b)可知，只有当输出序列为101时才会出现这种情况（$Q_A=Q_C=1$）。实际上这个数据虽然出现，但是当与非门的输出有效时，该计数序列马上变为000。数据101的持续时间很短，该时间为与非门的传输延迟时间与触发器回到CLEAR状态的时间之和。

这个计数器有5个状态，最大输出数为4（$100_{(2)}$）。二进制数$101_{(2)}$的延迟时间太短，因此不予考虑。图7.8(c)中的波形显示了最高位输出Q_C的频率为5分频，这样更进一步证明了计数器最高位的分频因数等于它的模值的结论。并且因为该计数器不再计数到$111_{(2)}$，而是到它的某个输出数据便被截位了，所以Q_C端的输出信号的占空比不是50%。

模5计数器在计数到$101_{(2)}$时，在Q_A输出端产生一个尖顶脉冲，并且使Q_C输出延迟x ns。虽然在LED中看不到这个计数值，但是当异步计数器译码时，传输延迟产生的尖顶脉冲仍可导致许多问题。译码器是必需的，因为有时需要将计数器的输出转换为输出，以激励另一个电路。译码器可以检测特殊的计数序列，并使这个数据有效。我们将在7.8节中介绍译码电路。

模5计数器的截位规律非常简单。截位对于异步计数器就是"将要求的模值中的高电平位接入截位电路"。这样，数据<u>101</u>中的Q_A和Q_C位恰好均为高电平。

另外，当设计特定模值的计数器时要注意一个规律：所需的触发器的个数n必须使2的n次方大于或等于希望得到的模值（$2^n \geq$希望得到的模值）。

模5计数器也可以用PGT触发的触发器组成，如图7.9所示。这里$\bar{Q}$输出作为触发器B和C的异步CLK输入，触发器的输出端Q_A和Q_C仍与MR输入连接。我们同样可以发现计数器的输出端仍然是各个触发器的Q端。下面的设计问题是利用异步截位加计数器的知识来解决的。

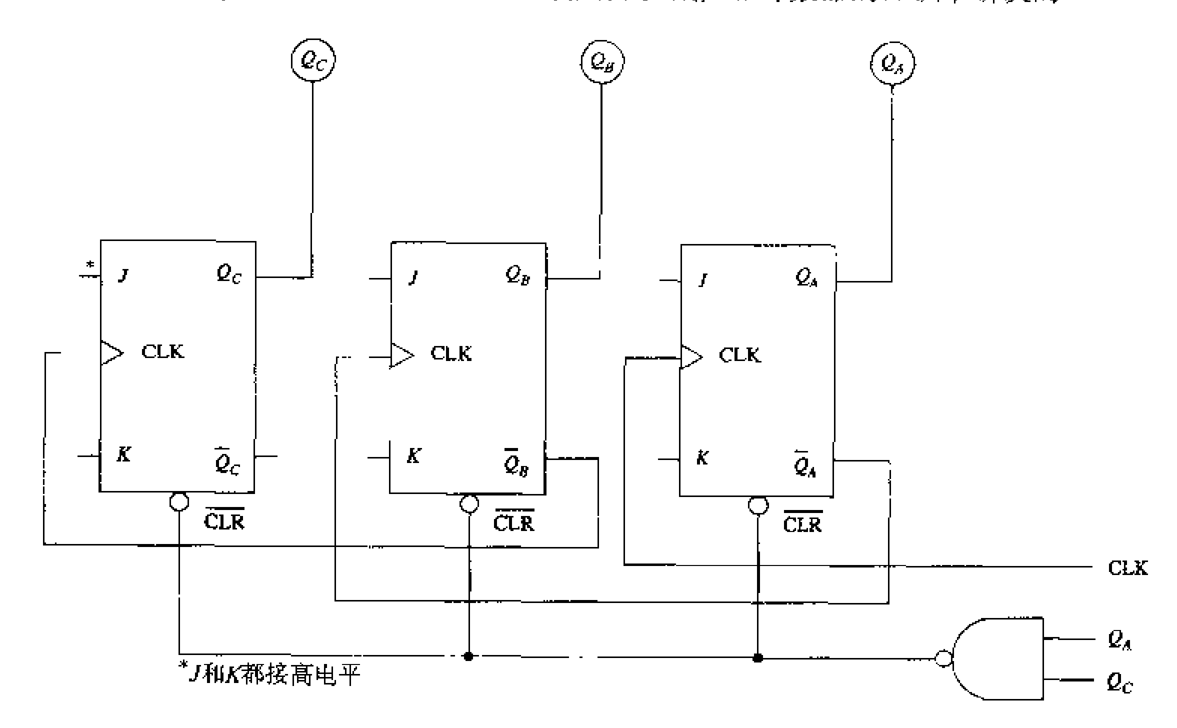


图7.9 由PGT触发的触发器构成的模5异步加计数器

7.2.2 模24加计数器

这个问题是利用NGT触发的J-K触发器设计模24异步加计数器。第一步是确定需要多少个触发器。因为4个触发器只能实现模16计数器，所以需要5个触发器。这是利用前面介绍的内容来确定的。设需要n个触发器，则n应该为：

$$n = \log 24 \div \log 2$$
$$= 1.38\cdots \div 0.301\cdots$$
$$= \mathbf{4.585}$$

这里的模值为24。

答案表明需要4个以上的触发器。当然，我们要取下一个较大的数。因为$2^5 = 32$，所以5个触发器可以构成模32计数器。因为这个计数器的模比我们所要达到的模值大，因此可以对其进行截位。

第二步是判断计数器的哪些输出端与截位电路相连。因此要判断我们所要达到的模值在计数器的哪些输出端为高电平。24的二进制数为11000，所以Q_D和Q_E位必须与截位电路相连，从而使计数器在计数到23（$10111_{(2)}$）后复位。

实现电路如图7.10所示。该设计题也可以用PGT触发的J-K触发器来实现，这就需要将触发器的Q_B到Q_F的CLK输入分别与前一个触发器的Q输出端相连。用来截位的与非门仍然与Q_D和Q_E相连。

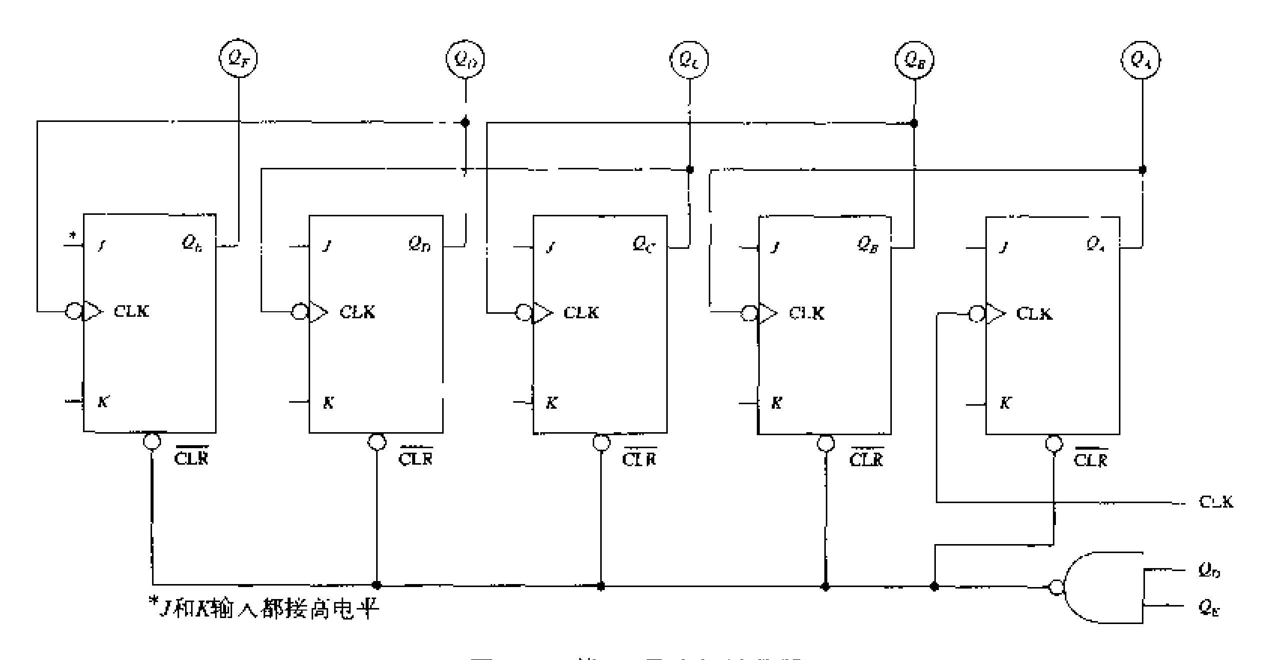
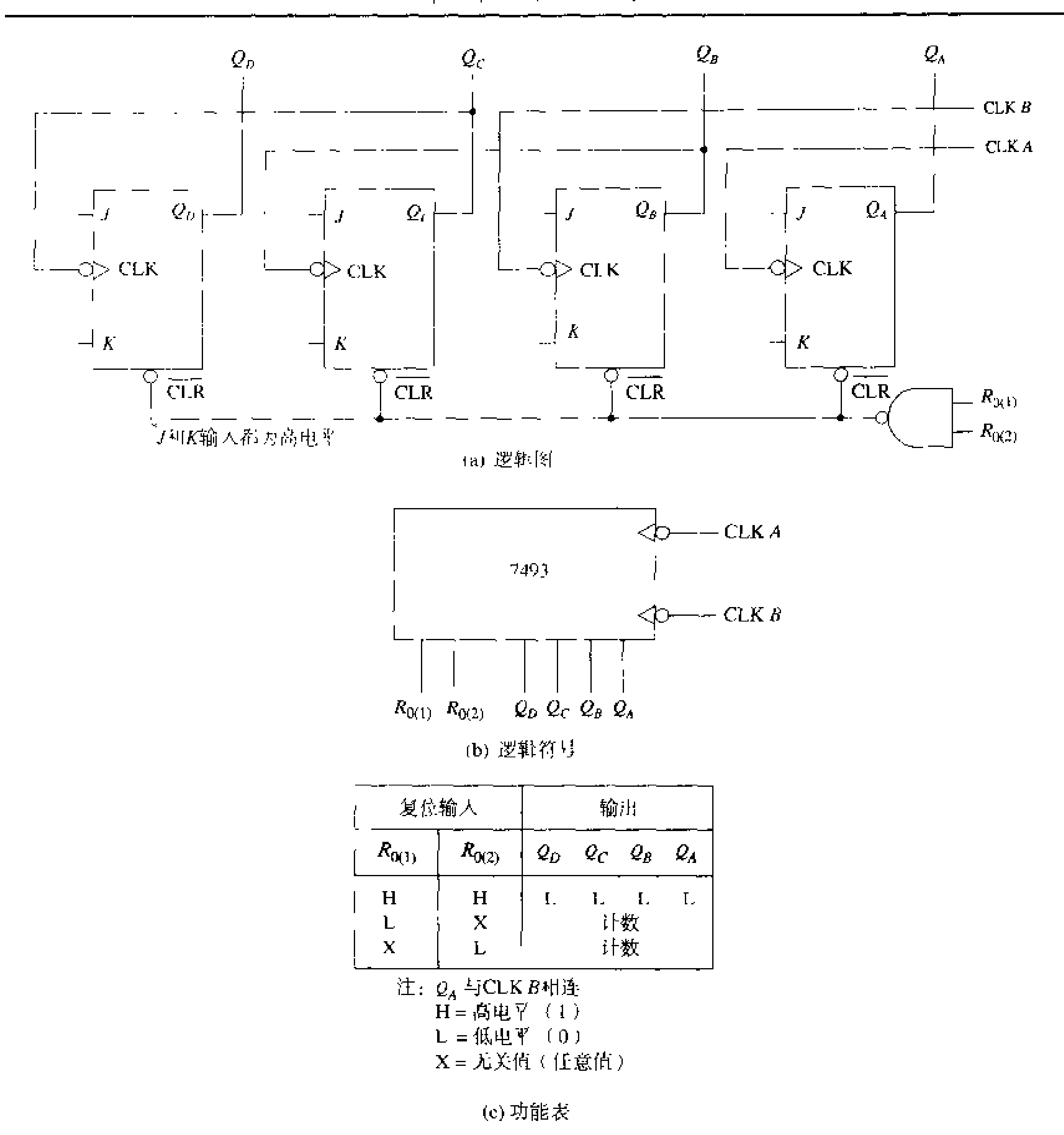


图7.10 模24异步加计数器

7.2.3 异步IC计数器

7493/74LS93

商用14引脚的IC计数器的逻辑图如图7.11(a)所示，其逻辑符号如图7.11(b)所示，功能表如图7.11(c)所示。



(a) 逻辑图

(b) 逻辑符号

复位输入		输出			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	计数			
X	L	计数			

注：Q_A 与CLK B相连
H = 高电平（1）
L = 低电平（0）
X = 无关值（任意值）

(c) 功能表

图 7.11 7493/74LS93 异步 IC 计数器

这个计数器常作为模8或模16加计数器使用。如果从CLK B引脚输入时钟脉冲并将RESET输入端（$R_{0(1)}$和$R_{0(2)}$）接地，那么该计数器可以作为模8加计数器使用。由电路的逻辑图可以看出，在这种情况下没有使用触发器A。因为当计数器从CLK B处输入时钟脉冲时，并没有使用输出端Q_A，所以输出端Q_B变成LSB。

如果从CLK A处输入时钟脉冲并将RESET端接地，那么这个计数器就变成了模16加计数器，这时输出端Q_A与输入端CLK B相连。检查电路发现，在这个计数器内部，触发器A的输出端是惟一的一个没有与下一个触发器相连的输出端。这个计数器具有多个功能，可以作为模8或模16加计数器使用。图7.12分别显示了该计数器为模8或模16时的电路连接情况。7 493计数器可以通过截位构成小于16的不同模值的计数器，利用本节前半部分所讲的截位规律即可实现。

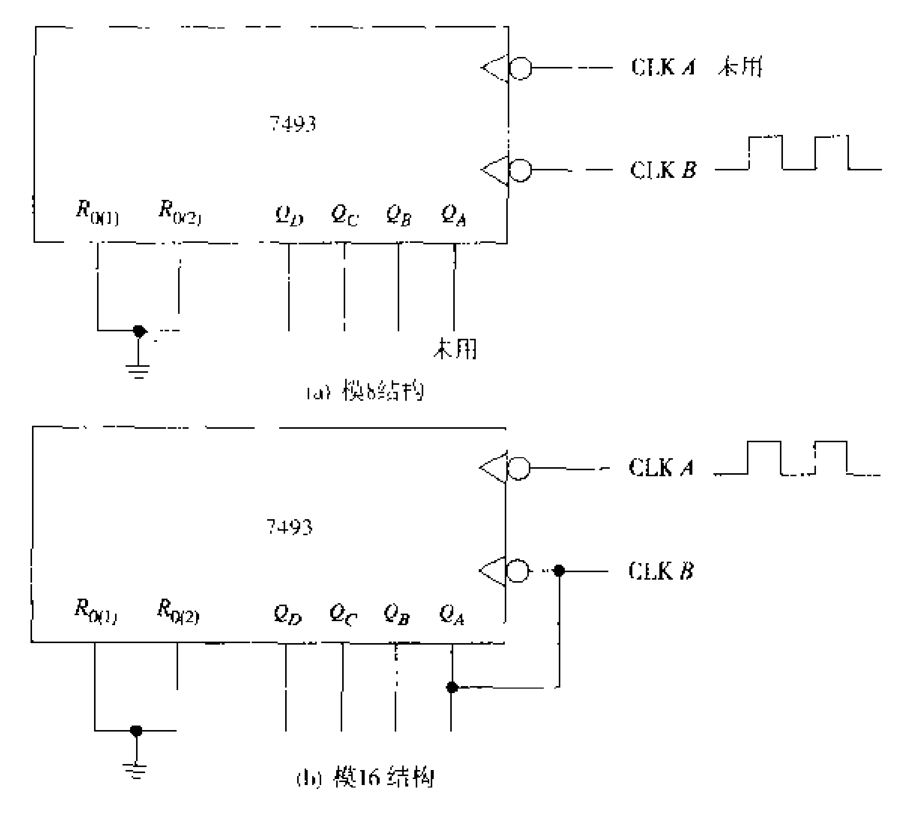


图 7.12 7493/74LS93 计数器

该计数器也可以连接成模6计数器使用，只要把希望得到的模值对应的高电平位与截位电路（$R_{0(1)}$和$R_{0(2)}$）相连即可。首先，要得到所希望的模值，只需要这个IC中的3个触发器。因此，如图7.13(a)所示，该计数器必须由CLK B输入时钟脉冲。这个电路中不需要触发器A。第二，因为输出端Q_A没有使用，所以输出端Q_B为LSB，输出端Q_D为MSB，所以Q_A悬空。所希望的模值对应的二进制数110表明Q_D和Q_C端为高电平，将这两个输出端分别与复位端相连。两个复位端同时输入高电平才能使计数器复位。当计数器计数到$110_{(2)}$时发生这种情况，使计数器立刻复位到$000_{(2)}$。计数器7493从101复位到000，共有六种状态，其中最大输出数据为101。Q_D端的频率为$f_{in}/6$。这个电路的波形如图7.13(b)所示。

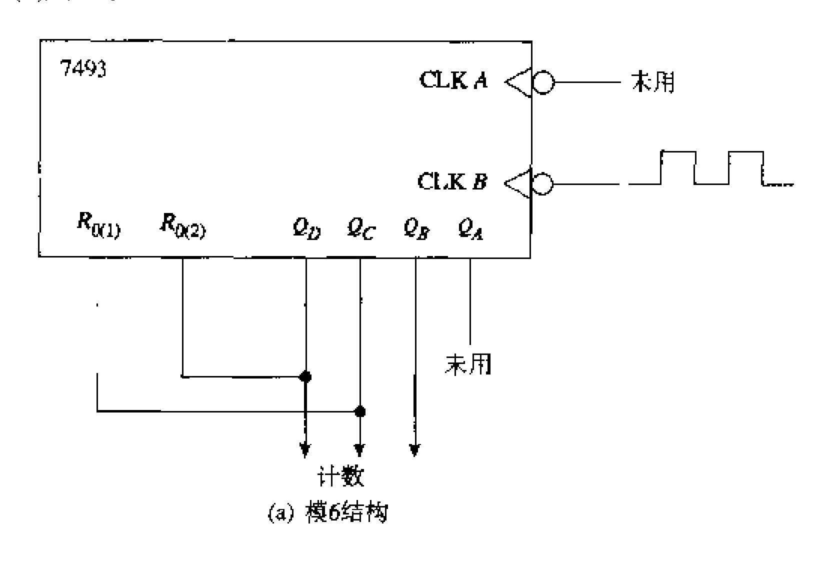


图 7.13 7493/74LS93 计数器

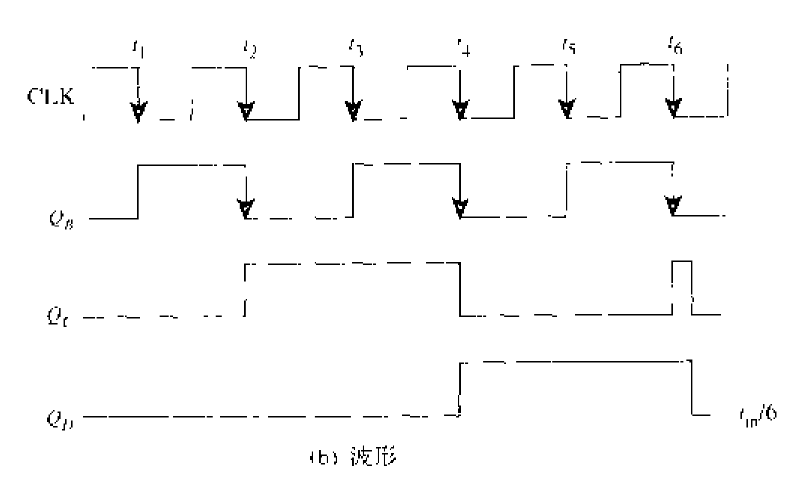


图7.13（续）　7493/74LS93计数器

计数器7493/74LS93连接成模9计数器如图7.14所示。此计数器的时钟脉冲从CLK A端输入，并将Q_A与CLK B连接，Q_A和Q_D分别与两个计数器复位端相连，这时Q_D端的输出频率为$f_{in}/9$

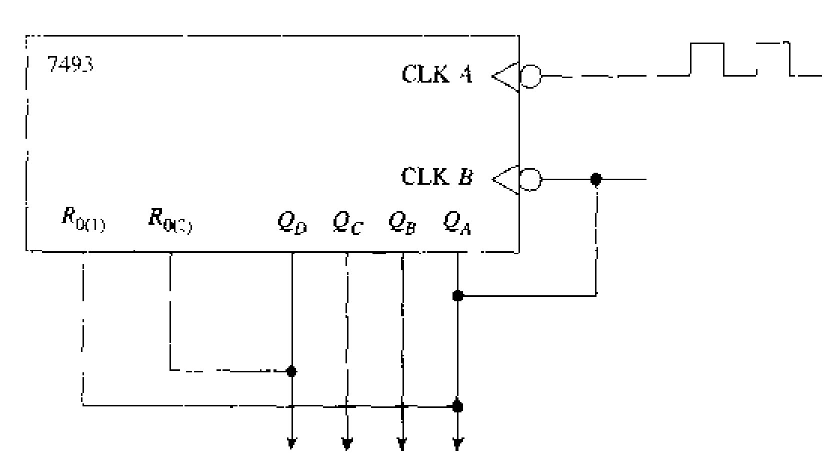


图7.14　7493/74LS93计数器，模9结构

在设计截位异步IC计数器时，应该考虑到另外一个问题。计数器上只有两个复位输入端，我们怎样组成一个模14计数器呢？这个模值（1110）需要三个输出端与复位输入端相连接，简单的解决办法就是遵循截位规律。如图7.15所示，使用一个与门解决问题。当计数到数据14（1110）时将在Q_D，Q_C和Q_B上产生高电平，并立即使计数器复位到0000。这时在计数器输出端先显示出最大数13（1101），然后利用截位电路使计数器复位为0000。

7493/74LS93 ANSI/IEEE 符号

如图7.16所示为该计数器的ANSI/IEEE符号。这个计数器符号包括三个部分。标有CTR的部分说明这是一个计数器，该部分称为公共控制部分。这部分与其他几个部分分开是为了表明其输入端是该计数器电路的公共端，其中R_0（RESET）输入为高电平有效，& 符号表示这两个输入必须同时有效才能使计数器清零。完成清零后，计数器归零，公共控制部分的CT = 0说明了这一点。

ANSI/IEEE 符号的第二个部分标为DIV2，代表计数器中的触发器A。因为只有一个触发器，所以该电路是一个二分频电路。这个时钟输入符号表明时钟为下降沿有效。时钟输入右边紧接着的"+"表明该计数器在每个有效的时钟转换时计数值加1。

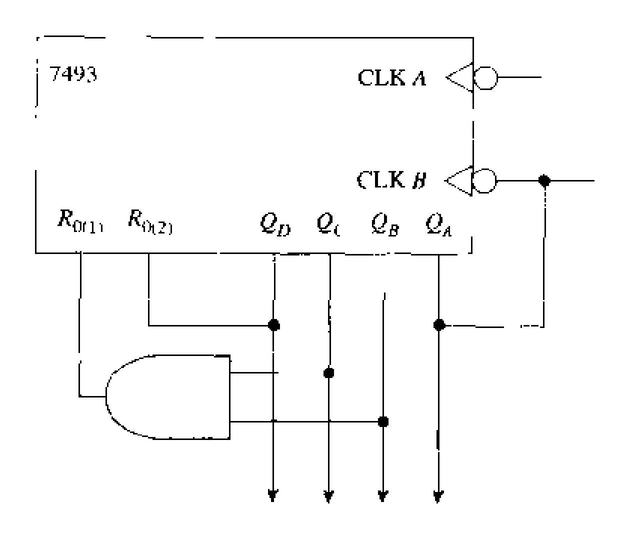


图7.15 7493/74LS93计数器，模14结构

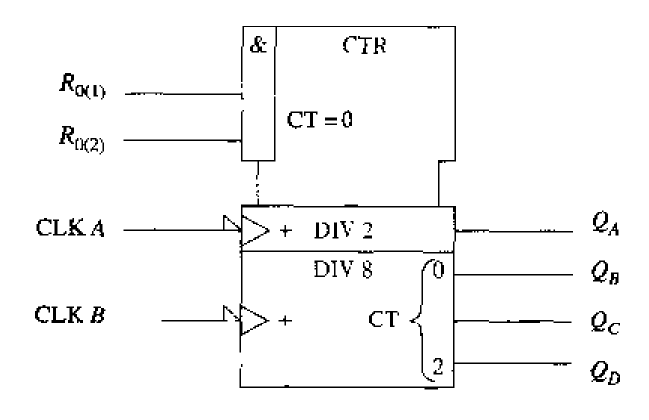


图7.16 7493/74LS93计数器，ANSI/IEEE 符号

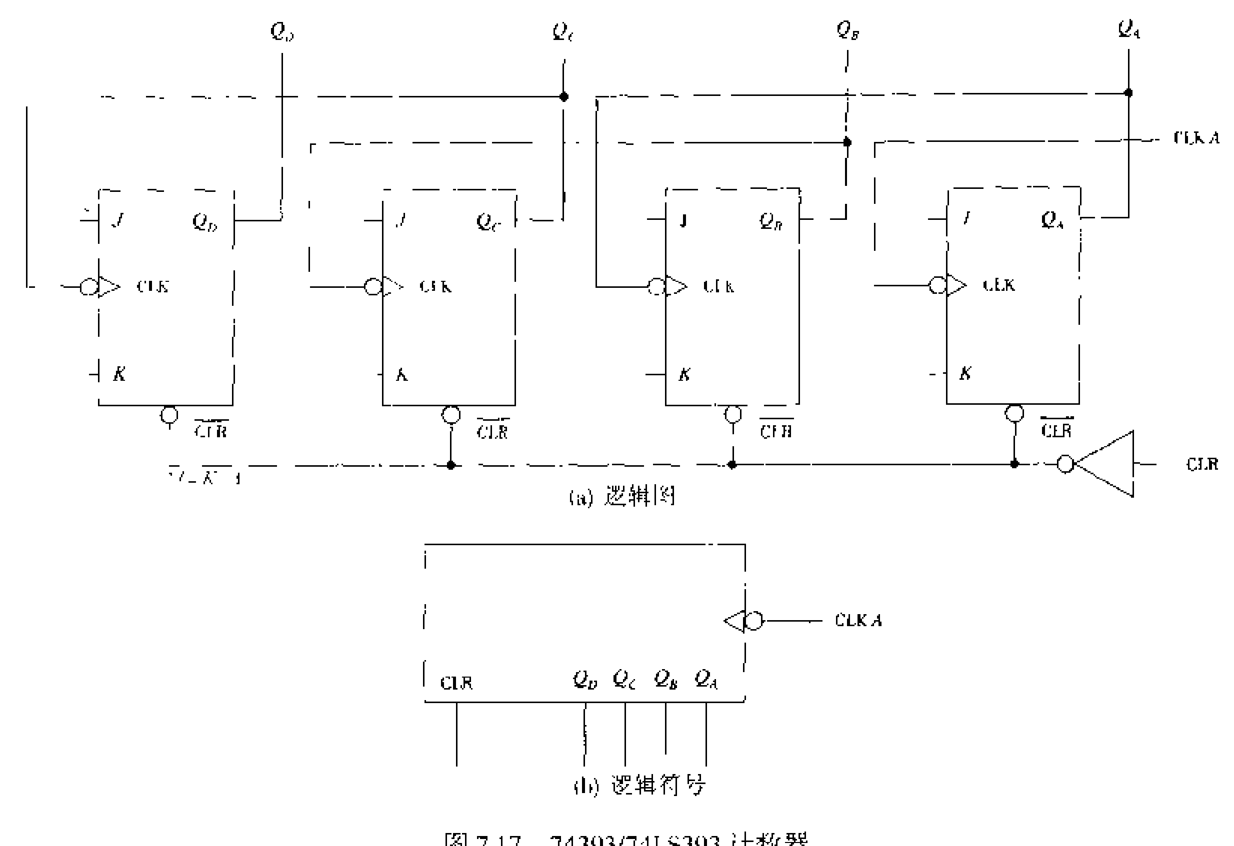
第二个部分标为DIV8，代表计数器中的触发器B，C和D。二进制0和2标在计数器DIV8部分，输出端Q_B到Q_D所标的0和2分别代表2^0到2^2。

74293/74LS293

74293/74LS293与7493/74LS93计数器一样，都比较常用，是14引脚的异步IC计数器。惟一的不同是引脚排列次序。

74393/74LS393

图7.17(a)和(b)是74393/74LS393逻辑图和符号。在16引脚的IC封装中，有双4位二进制计数器，包含8个主从触发器，分别构成两个独立的模16计数器。图中只显示了一个计数器。将这个计数器的逻辑符号与图7.18中的模8/模16 7493计数器的逻辑符号相比，有两个主要区别。图7.17中的74393/74LS393逻辑图和符号显示出这部分计数器只有一个时钟输入，并且内部所有的触发器都是异步串联的，所以在74393内部不具有模8计数器7493的功能结构。另一个不同是计数器内部只有一个高电平有效的清零输入端。



(a) 逻辑图

(b) 逻辑符号

图 7.17　74393/74LS393 计数器

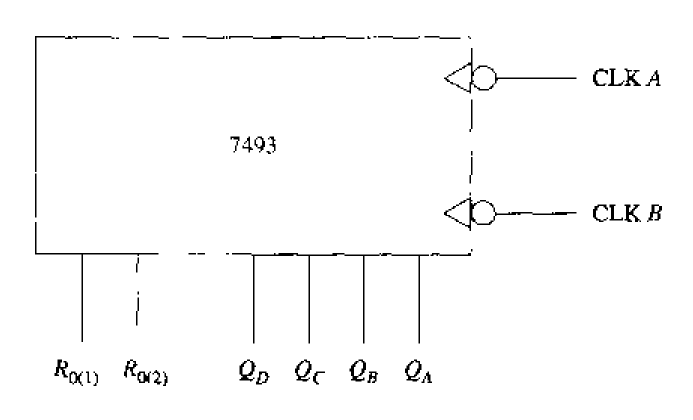


图 7.18　7493 异步 IC 计数器的逻辑符号

7.2.4　计数器的级联

众所周知，计数器中每次触发器翻转时，输出的频率就是其输入频率的一半。如模 16 的计数器输出频率为：$Q_A = f_{in}/2$，$Q_B = f_{in}/4$，$Q_C = f_{in}/8$，$Q_D = f_{in}/16$。

图 7.19 显示了 74393 中的两部分：双 4 位二进制计数器。计数器的这两部分通过将第一个计数器的 MSB 输出端与第二个计数器的时钟输入端相连的方式级联起来。

图中显示第二个计数器的MSB输出端的频率为$f_{in}/256$，第二个计数器的输入时钟频率为$f_{in}/16$，Q_A输出端的频率为$f_{in}/32$，它还与触发器 B 相连，使Q_B端输出频率为$f_{in}/64$。同理，Q_C端的频率为$f_{in}/128$，Q_D端的频率为$f_{in}/256$。级联计数器产生的模值等于其分别的模值之积。所以图 7.19 中的电路的模值为：MOD16 × MOD16 = MOD 256。

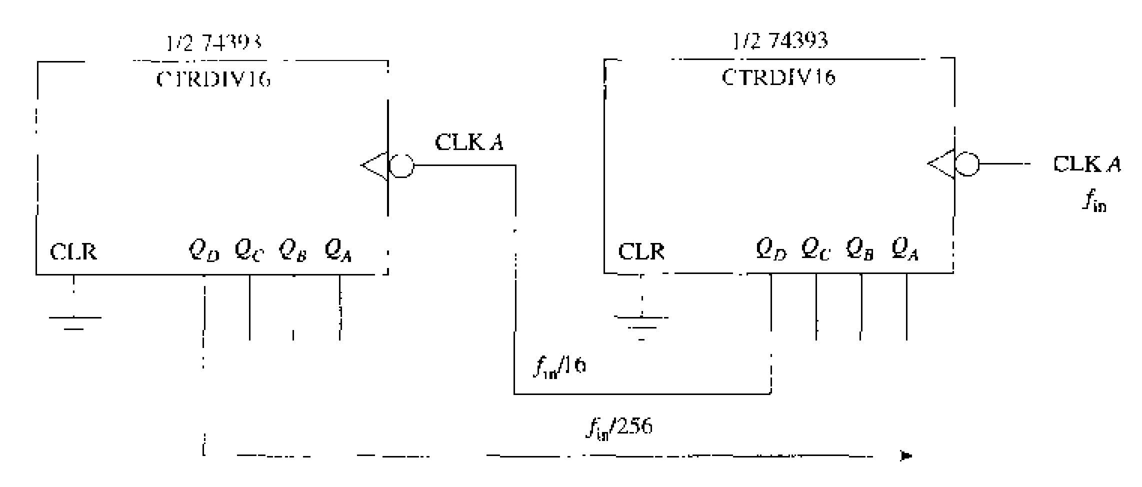
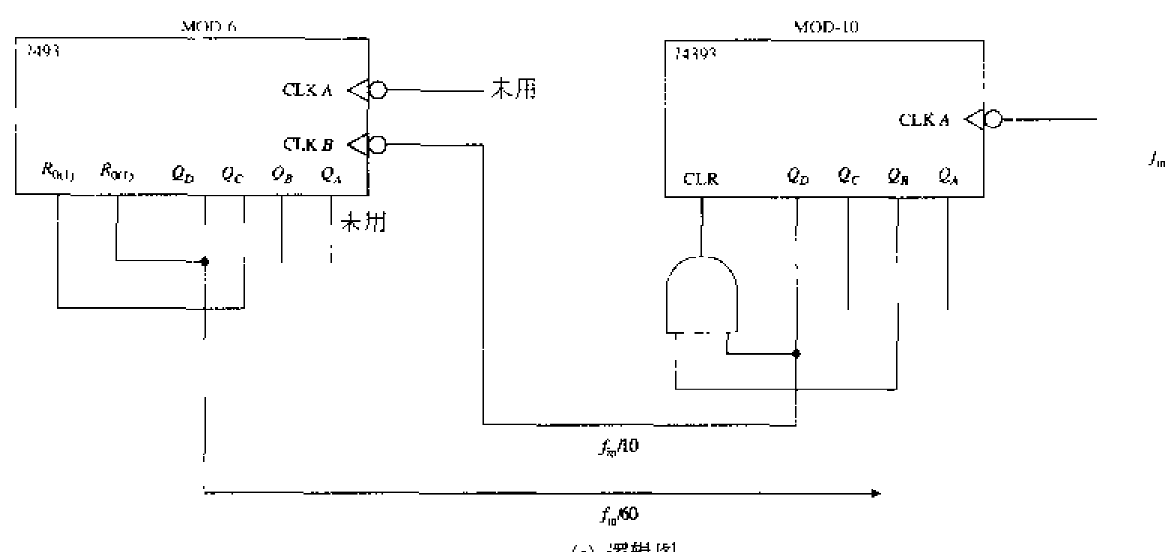


图7.19 模256计数器

图7.20(a)中的电路的模为60。这个电路由一个模为10的74393和一个模为6的7493组成。因为模6计数器的输出端Q_D的频率为$f_{in}/60$，所以该电路常作为60分频电路使用。

图7.20(b)所示的为模10计数器。每到10个时钟脉冲就将计数器复位一次。74393每次复位时t_{10}时刻都在Q_D端产生一个下降沿送入7493，使其计数加1。每当74393从1001复位到0000时，计数器7493就循环加1，这个循环重复6次，在t_{60}时刻，计数器全部清零，重新开始计数。



(a) 逻辑图

	Q_D	Q_C	Q_B	Q_A
t_0	0	0	0	0
t_1	0	0	0	1
t_2	0	0	1	0
t_3	0	0	1	1
t_4	0	1	0	0
t_5	0	1	0	1
t_6	0	1	1	0
t_7	0	1	1	1
t_8	1	0	0	0
t_9	1	0	0	1
t_{10}	0	0	0	0

(b) 模10计数序列

图7.20 模60计数器

7.2.5 异步计数器的优/缺点

异步计数器的设计相对比较容易，并且其电路比同步计数器简单。但是异步计数器有一个固有的缺点，就是附加的传输延迟。图7.21清楚地示例了这个问题。图中所示为典型的模8异步计数器波形。附加的传输延迟产生了瞬时误码。当对计数器的输出进行译码时，这是一个普遍存在的问题，这些误码存在于数字的暂态中。

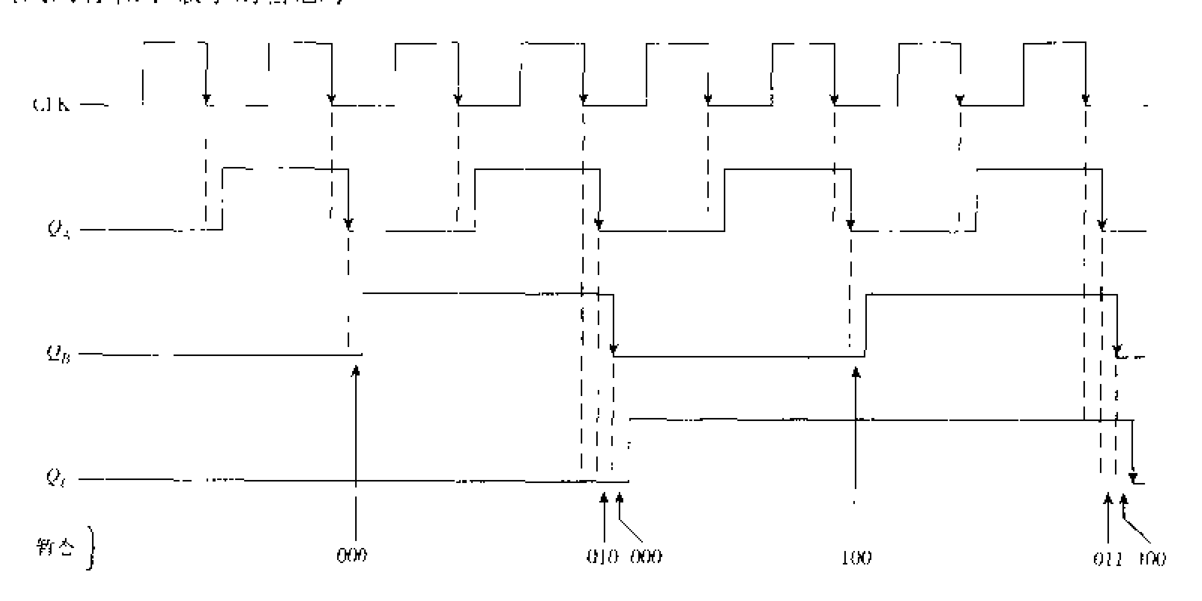


图7.21 异步计数器的暂态输出波形

图7.22所示的电路是带一个译码输出的模8异步加计数器。将$\bar{Q}_A$，$\bar{Q}_B$和$\bar{Q}_C$相与（AND），则可对数据000进行译码。当$Q_A = Q_B = Q_C = 0$时，$\bar{Q}_A = \bar{Q}_B = \bar{Q}_C = 1$。因此，当出现数据000时，与门输出为高电平。输出其他数据的时候，与门输出均为低电平。

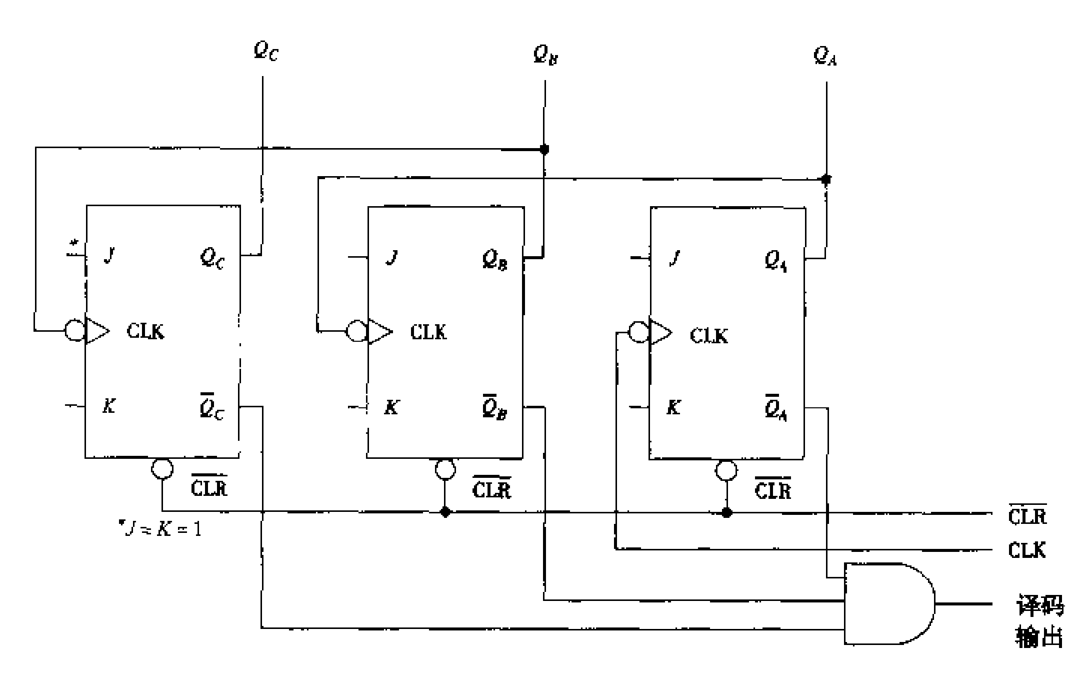
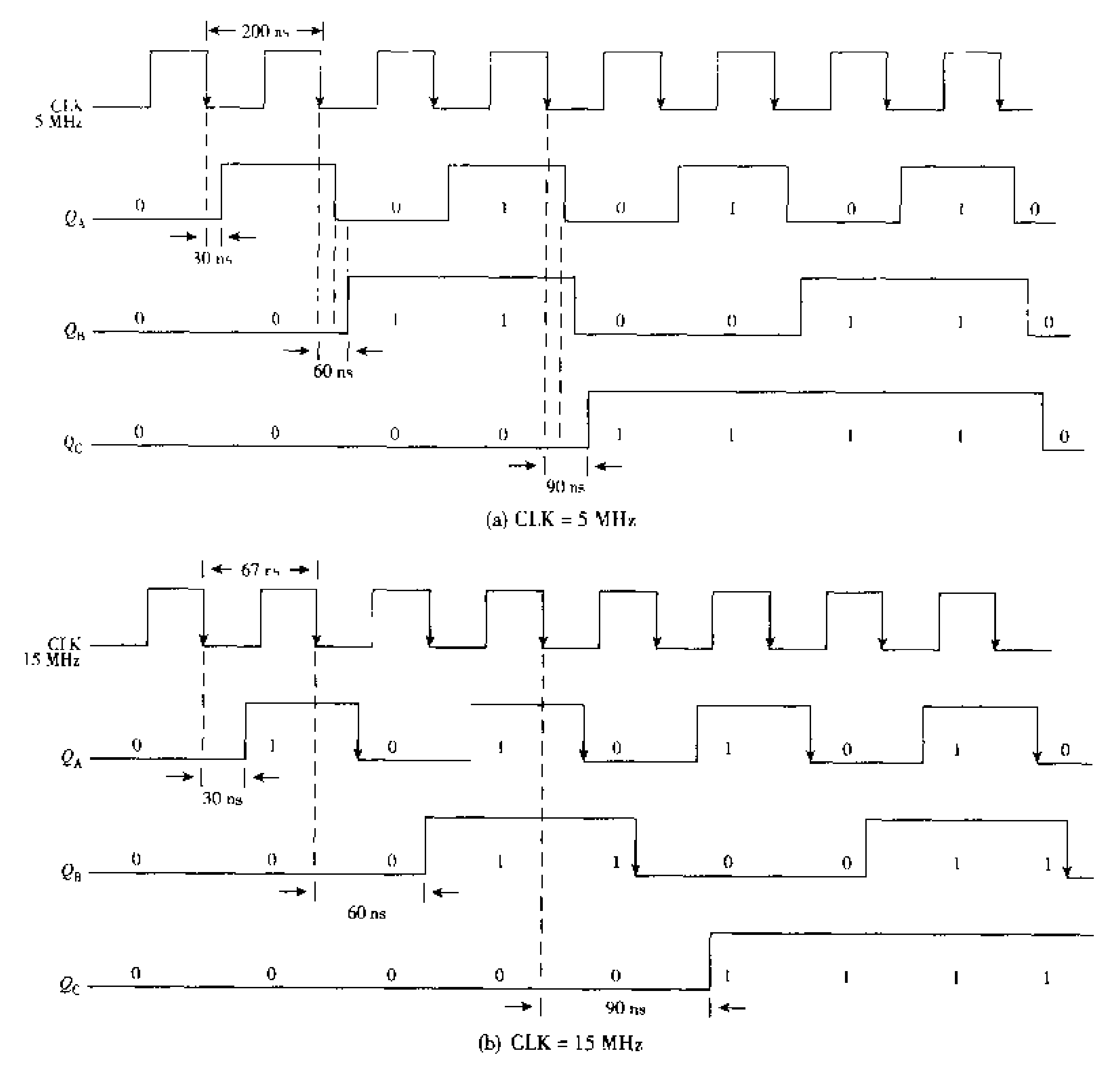


图7.22 对000数据进行译码的模8异步加计数器

真正的问题是，译码电路会接收到瞬时误码，并产生有效输出，从而导致译码出错。在7.8节中我们将解决这个问题。

另一个问题是附加的传输延迟使这种计数器的时钟频率相当有限。图7.23(a)的波形是将图7.21所示的波形加注了时间和时钟频率。本例的计数器中各个触发器的传输延迟为30 ns。这个波形中的输入时钟脉冲频率为5 MHz。数据一般都很正常，瞬时误码例外，不过这可以通过正确的译码电路解决。



(a) CLK = 5 MHz

(b) CLK = 15 MHz

图7.23 模8异步加计数器的波形

图7.23(b)中波形的输入时钟脉冲频率为15 MHz。计数器中各个触发器的传输延迟同样为30 ns。对这个波形进行分析，发现在前8个输入时钟内存在下列数据：000，001，000，011，010，101，100，111，110。这些不再是瞬时误码，而是全程错码。

计数无序的问题源于输入时钟频率，图7.23(b)中的时钟频率太高。在设计计数器时，必须计算异步计数器最高一级的时钟频率。一旦算出时钟频率，就不能超过这个最大值，如图7.23(b)所示。

对于异步计数器，最大时钟频率通过下列公式计算得来：

$f_{max} = 1/n(t_p)$

这里 n = 触发器的个数

t_p = 每个触发器的延迟时间

通过前面的分析，已知模8计数器中每个触发器的延迟时间为30 ns，所以它的最大时钟频率为11.1 MHz

$f_{max} = 1/3(30\ \text{ns}) = 1/90\ \text{ns} = \mathbf{11.1\ MHz}$

通常，低于 f_{max} 的频率会产生瞬时误码，这在异步计数器中很常见，而高于 f_{max} 的频率则会产生错码

7.2 节复习题

A. 定义"截位"。

B. 解释截位的规律。

C. 组成模100的异步加计数器需用多少个触发器?

D. 模7截位加计数器的最大输出数据为________。

E. 当计数器的输出数据必须变为一个信号，使后续电路产生某些活动时需要译码器。

(1) 对

(2) 错

F. 在组成模13计数器时，哪几个输出位需要接入截位电路?

G. 由模10和模12计数器级联成的电路的模为多少?

H. 对于由延迟时间为25 ns的触发器组成的模16异步计数器，计算其 f_{max} 为多少?

阶段性小结（7.1节～7.2节）

异步计数器可以通过将触发器的时钟输入端（除了LSB触发器）与前一个触发器的输出端相连而确定，这些计数器通常是指脉动计数器。

计数器的模值是它的最大状态数。在计数器没有截位时，它的模值等于2的 n 次方，n 为计数器中触发器的个数。

计数器的输出就是每个触发器的 Q 输出端。Q_A 或 Q_0 是计数器的LSB输出端。一般来说，计数器的MSB输出端的分频因数等于它的模值。

加计数器在清零后输入一个时钟脉冲时计数到 $1_{(10)}$。减计数器在清零后输入一个时钟脉冲时输出全为高电平（最大计数值）。

计数器可以通过截位产生小于2的整数次方的模值，也就是通过逻辑门利用所要达到的模值将计数器清零。当起到截位作用的与非门输出低电平时，主复位输入（$R_{0(1)}$ 和 $R_{0(2)}$）将所有的触发器异步清零。

对于异步计数器，截位规律就是"将要求的模值中为高电平的位接入截位电路"。

要实现一个计数器，所需的触发器的个数 n 必须使2的 n 次方大于或等于希望得到的模值。如果2的 n 次方比所要达到的模值大，那么必须对这个计数器进行截位。

计数器级联产生的模值等于其分别的模值之积。例如，三个模10计数器级联可组成模1000计数器。

异步计数器的设计和组成都很简单。可是，它们的传输延迟会导致如下问题：产生瞬时误码影响了译码输出；当输入时钟频率过高时会产生错码。

阶段性练习（7.1节～7.2节）

1. 加计数器的模值通常等于它的最大输出数。
   a. 对
   b. 错
2. 图7.24所示为一个________计数器。
   a. 加
   b. 减

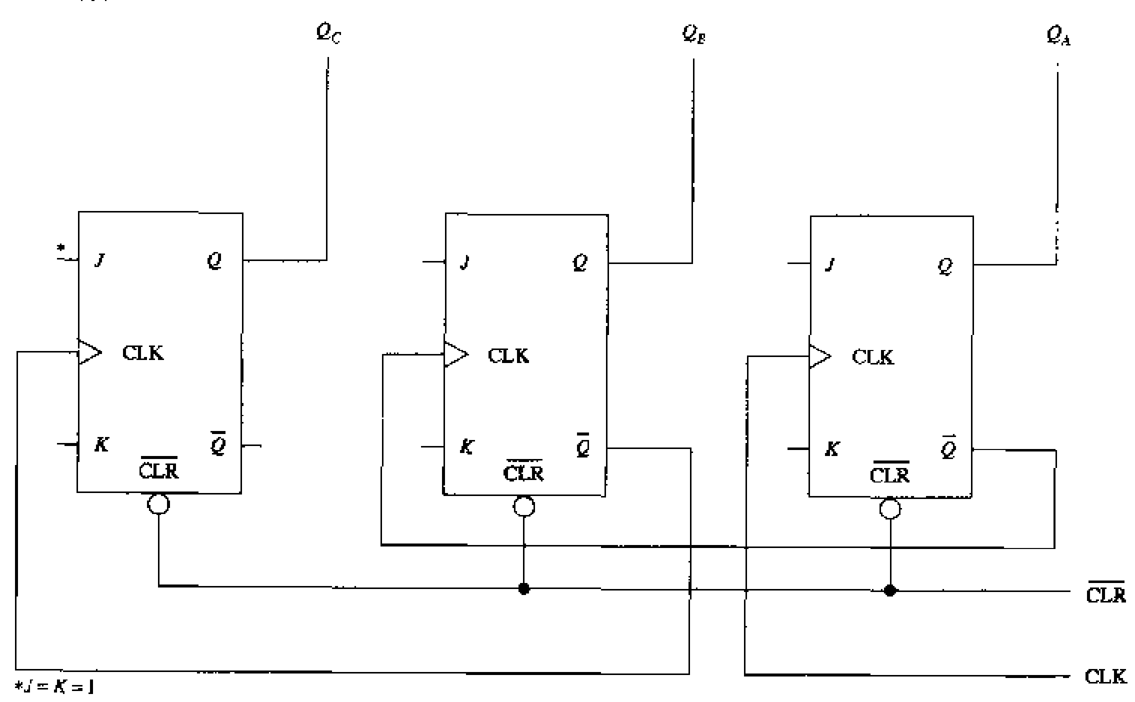


图7.24

3. 图7.24所示为一个模________计数器。
   a. 2
   b. 4
   c. 6
   d. 8
4. 使计数器递减的意思是使计数器的输出值________。
   a. 增加
   b. 减少

5. 图7.25所示为一个________计数器。

a. 加

b. 减

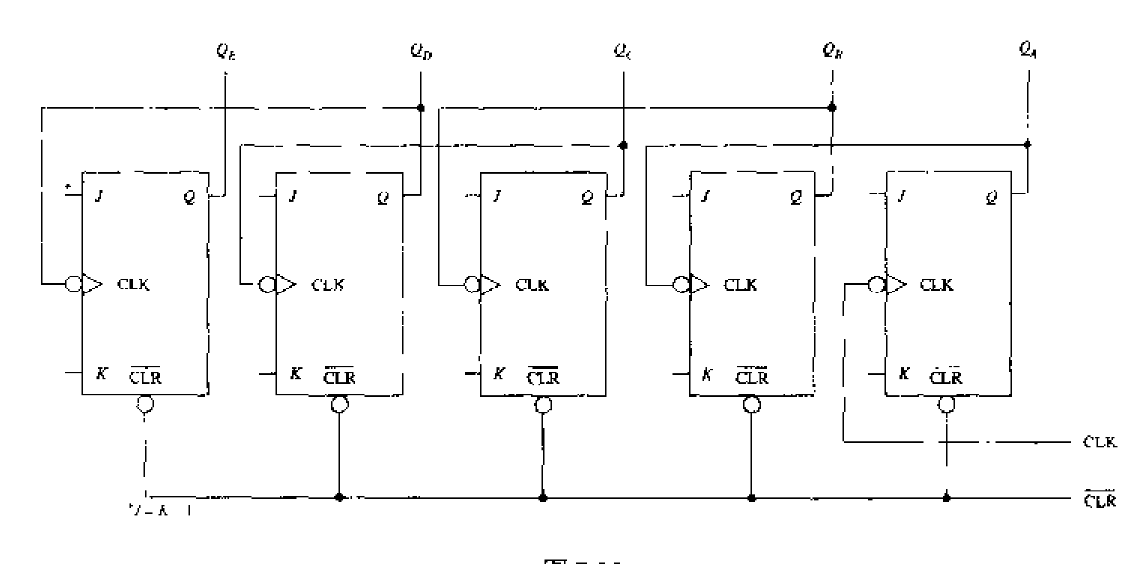


图7.25

6. 图7.25所示的计数器的模为________。

a. 8　　c. 32

b. 16　　d. 64

7. 图7.25所示的计数器的最大输出值为________。

a. 7　　c. 16

b. 32　　d. 8

8. 图7.25所示的计数器的输出端Q_D的频率为f_{in}/________。

a. 64　　c. 16

b. 32　　d. 18

9. 图7.25所示的计数器在经历100时钟脉冲后电路的输出值为多少?

a. 4　　c. 12

b. 8　　d. 16

10. 图7.25所示的计数器的最大时钟频率为多少?假设触发器延迟时间为25 ns。

a. 4 MHz　　c. 20 MHz

b. 8 MHz　　d. 40 MHz

11. 图7.26所示的计数器是模________异步计数器。

a. 5　　c. 7

b. 6　　d. 8

12. 要组成一个模65异步计数器需要多少个触发器?

a. 5　　c. 7

b. 6　　d. 8

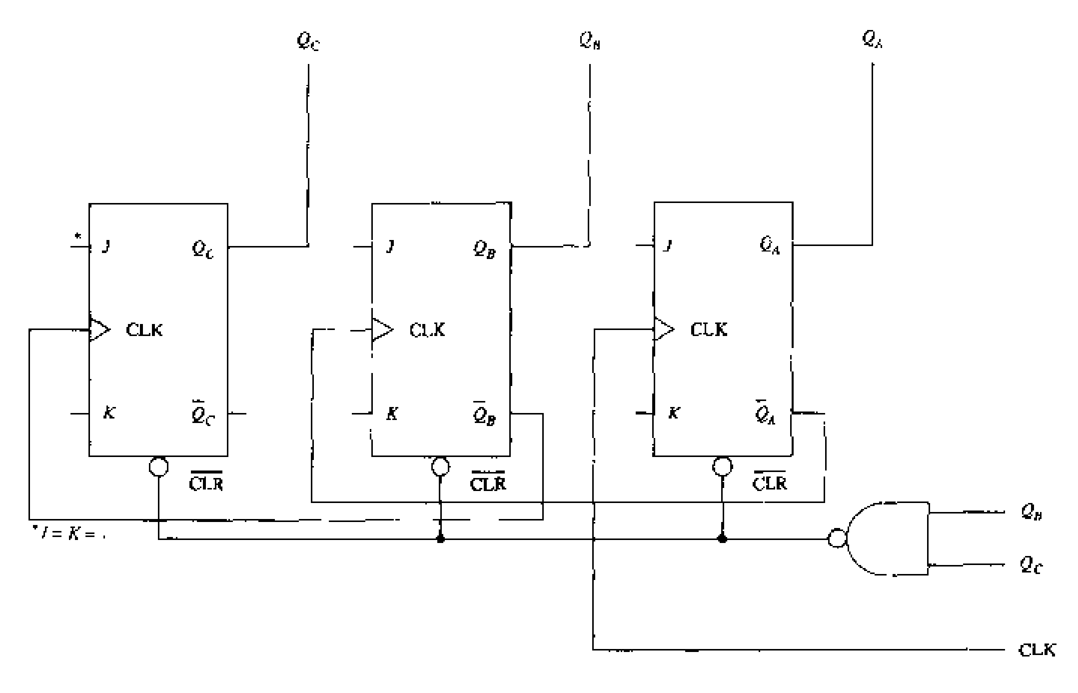


图 7.26

13. 图 7.27 所示的 7493 IC 的模为多少?

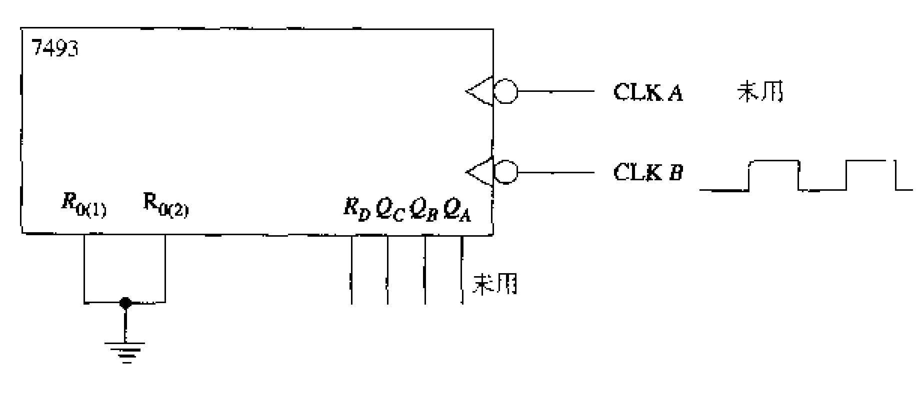


图 7.27

14. 图 7.28 所示的 7493 IC 最大输出数为多少?

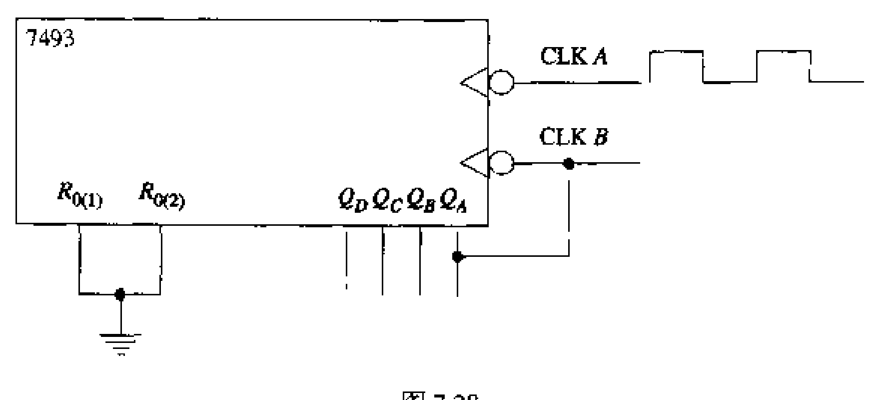


图 7.28

15. 图 7.29 所示的 ANSI/IEEE 符号包含三个部分，最上边部分（标有 CTR）是:

a. 触发器 A

b. 公共控制部分

c. 一般性质部分

d. 相关标志部分

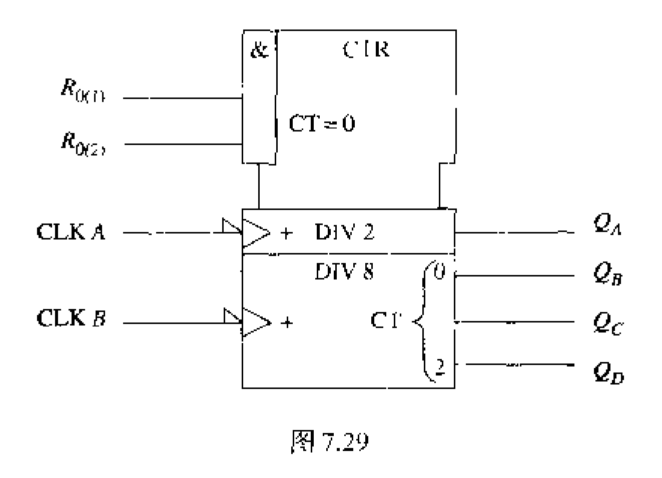


图 7.29

16. 图 7.30 所示的电路的模为多少?

a. 12

b. 36

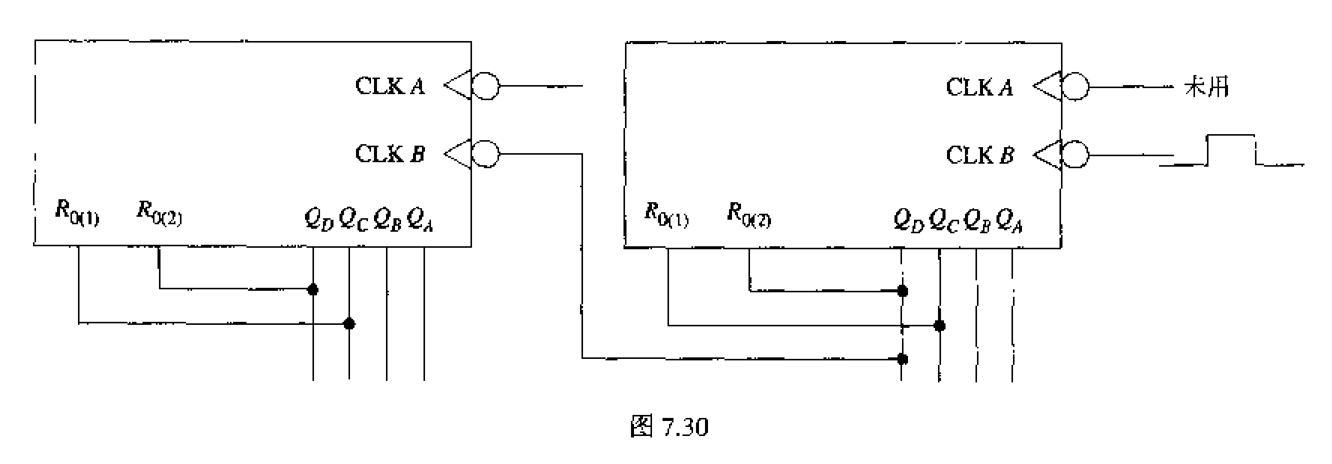


图 7.30

7.3 同步计数器

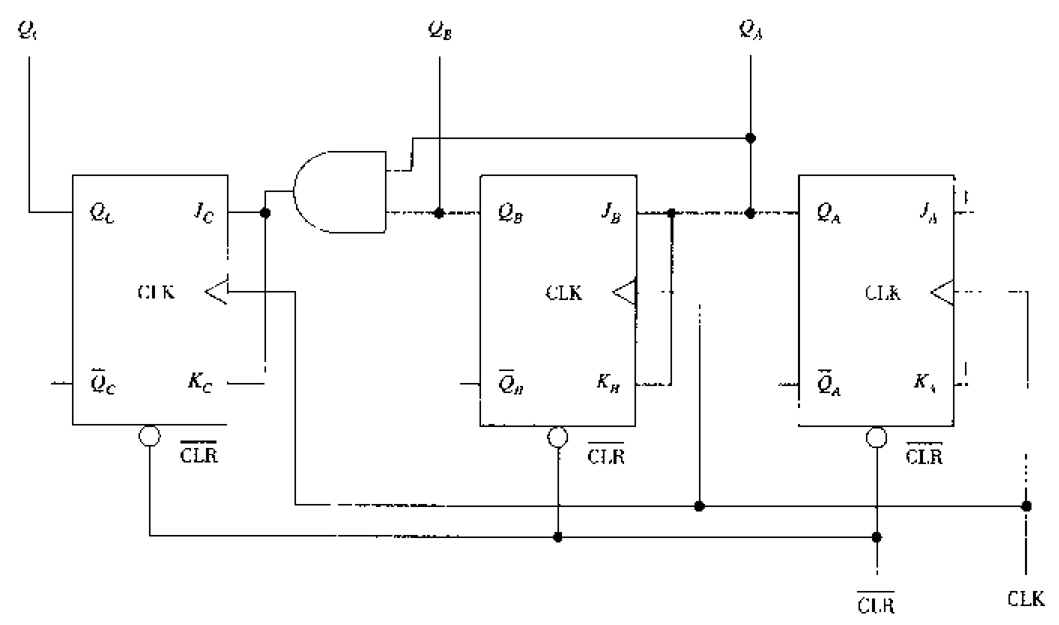
要点

1. 定义并能判断加/减同步计数器的模值。
2. 与异步计数器比较，列出同步计数器的优/缺点。

7.3.1 模 8 加计数器

这里“同步”定义为“同时发生”。由图 7.31(a)所示的模 8 同步加计数器可以看出，三个触发器均与一个时钟输入相连。异步计数器的传输延迟在同步计数器中不会发生，因为所有触发器的时钟脉冲同步，这个时钟使得所有的触发器同时改变状态。另一方面，在同步计数器中允许上升沿、

下降沿触发的触发器互换而不影响计数结果。但是，组成计数器的所有触发器必须都是上升沿触发或都是下降沿触发



(a) 逻辑图

CLOCK	Q_C	Q_B	Q_A
CLR	0	0	0
t_1	0	0	1
t_2	0	1	0
t_3	0	1	1
t_4	1	0	0
t_5	1	0	1
t_6	1	1	0
t_7	1	1	1
t_8	0	0	0

(b) 计数序列

图 7.31　模 8 同步加计数器

在这种计数器中，在每一个时钟脉冲的有效转换到来时，通过硬件连接而发生翻转的只有一个触发器，那就是触发器 A，该触发器产生了 LSB，J_A和K_A都与逻辑 1 相连。无论是异步还是同步计数器，LSB 都必须在每个时钟脉冲的有效转换时发生翻转，从而产生奇数、偶数、奇数……的数据。

同步计数器中其余的J–K输入都没有通过硬件连接逻辑1，因为所有触发器的时钟脉冲是同步的。如果都通过硬件连接逻辑 1，那么图 7.31(a)中的计数器将在每个时钟的下降沿一直触发，由000变为 111，再变为 000。

什么时候使触发器正确触发的问题将留给设计者完成，我们不再详细讨论这个问题。现在先来分析图 7.31(a)所示的电路和这个加计数器所需的输出。图 7.31(b)为输出的数据。

输出数据显示了LSB在每个时钟的上升沿翻转，同时也显示了每次LSB（Q_A）是高电平时（经过t_1，t_3，t_5和t_7），Q_B就会在下一个时钟变化时（t_2，t_4，t_6和t_8）也翻转。这是通过将触发器 B 的J–K 输入端与触发器 A 的输出端Q_A相连而完成的。

下一个要考虑的问题在输出数据中清晰可见，这个问题是触发器C何时翻转。输出数据显示它必须在t_4的时钟输入时翻转，并在t_8时再次翻转。这两个时钟输入紧随数据 011 和 111。在这两个

数据中，Q_A和Q_B均为高电平，所以将Q_A和Q_B输出先输入与门，再将与门输出与触发器C的J和K输入端相连。这个与门称为触发控制门。当数据011或111产生时，与门输出为高电平，从而使触发器C的J–K输入端为高电平，并且准备在下一个有效时钟转换时（发生在t_4或t_8）触发翻转。当与门输出为低电平时，$J = K = 0$使触发器C处于RETAIN状态。

同步计数器没有异步计数器中的附加延迟，这是因为所有触发器的时钟脉冲同步。图7.31(a)中的同步计数器的最大时钟频率，受一个触发器的延迟时间和TOGGLE控制与门的延迟时间所控制。

如果图7.31(a)中的触发器产生30 ns的延迟，而且与门产生17 ns的延迟，那么最大时钟频率近似为21 MHz

$$f_{max} = 1/t_p = 1/(30\ \text{ns} + 17\ \text{ns}) = 1/47\ \text{ns} = 21.3\ \text{MHz}$$

这里t_p=一个触发器的延迟时间加上与门的延迟时间。

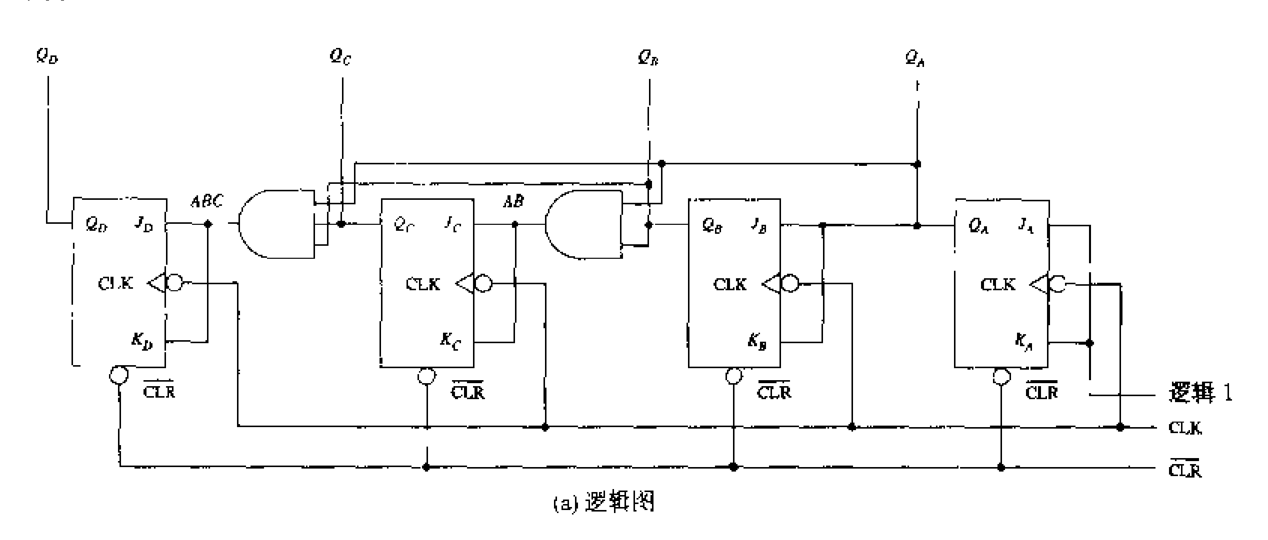
在同样的触发器延迟时间下，同步计数器的最大时钟频率近似等于模8异步计数器的两倍。

使用同样的触发器，模32同步计数器有150 ns的延迟，它的f_{max}为6.67 MHz。前面设计的模32同步计数器的f_{max}为21.3 MHz。当模值增加时，异步计数器的最高位时钟频率反而减少。因为同步计数器没有附加延迟，所以克服了以前例子的局限性。

同步计数器的缺点是需要特殊的控制门才能得到正确的设计，因此增加了电路的复杂性。在设计更复杂的计数器时，这种情况更加明显。

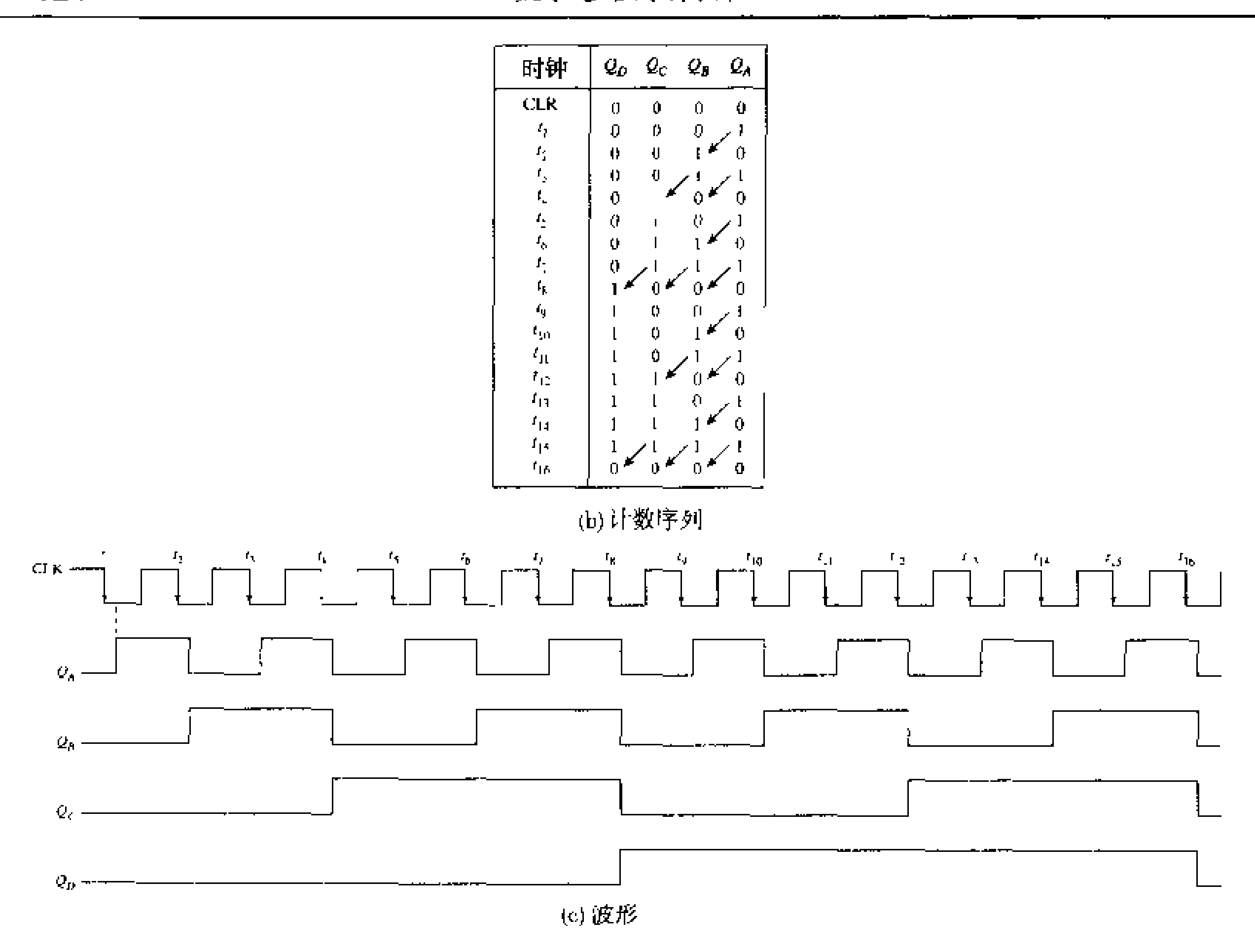
7.3.2 模16加计数器

如图7.32(a)所示为模16同步加计数器。通过图7.32(b)的计数序列，可以很容易地确定TOGGLE控制门。当触发器A和触发器B的输出为高电平时，触发器C一定翻转；并且当触发器A，B和C的输出为高电平时，触发器D一定翻转。这种翻转控制由两个与门实现，如图7.32(a)所示。这个计数器的输出波形如图7.32(c)所示。注意在图中显示了触发器的延迟（t_1），但是这个延迟不是附加的。



(a) 逻辑图

图7.32 模16同步加计数器



时钟	Q_D	Q_C	Q_B	Q_A
CLR	0	0	0	0
t_1	0	0	0	1
t_2	0	0	1	0
t_3	0	0	1	1
t_4	0		0	0
t_5	0	1	0	1
t_6	0	1	1	0
t_7	0	1	1	1
t_8	1	0	0	0
t_9	1	0	0	1
t_{10}	1	0	1	0
t_{11}	1	0	1	1
t_{12}	1	1	0	0
t_{13}	1	1	0	1
t_{14}	1	1	1	0
t_{15}	1	1	1	1
t_{16}	0	0	0	0

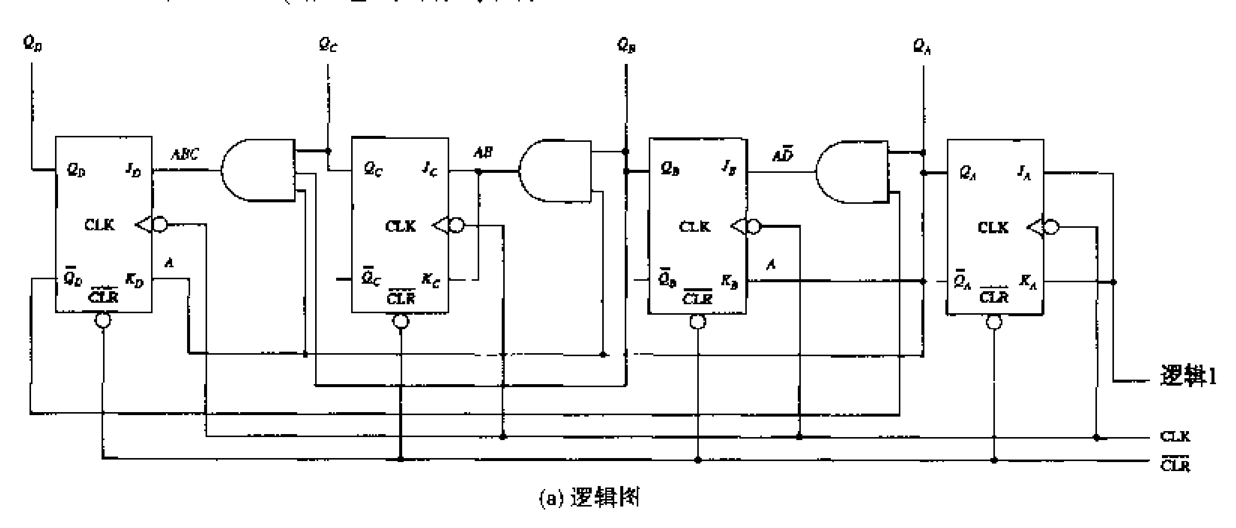
(b) 计数序列

(c) 波形

图 7.32（续） 模 16 同步加计数器

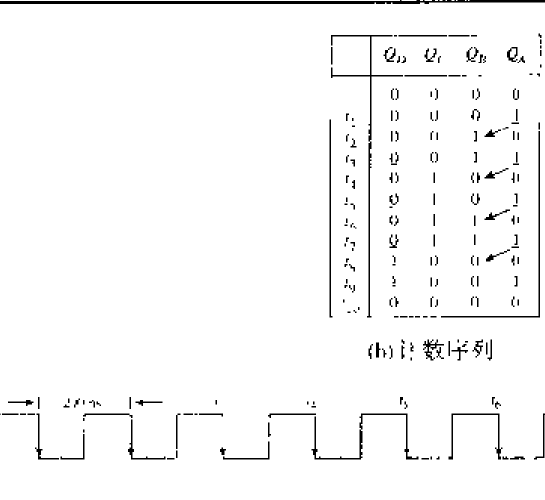
7.3.3 模 10 加计数器

目前应用更广泛的计数器是模 10 加计数器，一般称其为 BCD 计数器或十进制计数器，因为它从 0 计数到 9。这个计数器常用于十进制显示，例如接七段码显示器。如图 7.33(a)所示为模 10 加计数器的逻辑图，图 7.33(b)是它的计数序列。



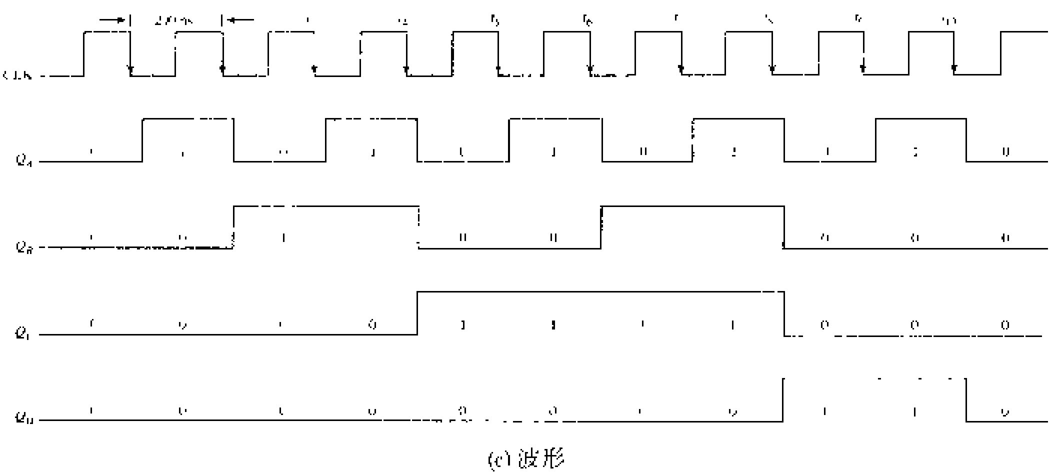
(a) 逻辑图

图 7.33 模 10 同步加计数器



	Q_D	Q_C	Q_B	Q_A
	0	0	0	0
t_1	0	0	0	1
t_2	0	0	1	0
t_3	0	0	1	1
t_4	0	1	0	0
t_5	0	1	0	1
t_6	0	1	1	0
t_7	0	1	1	1
t_8	1	0	0	0
t_9	1	0	0	1
t_{10}	0	0	0	0

(b)计数序列



(c)波形

图7.33（续）　模10同步加计数器

计数序列显示LSB在每个输入时钟脉冲的有效转换时翻转，同时每当Q_A为高电平，Q_D为低电平时（在t_1，t_3，t_5和t_7之后），Q_B就在下一个有效时钟转换时（t_2、t_4，t_6和t_8）翻转。处于翻转状态的触发器B受J_B输入端的与门和与K_B连接的Q_A所控制。

计数序列还显示触发器C只有当$A = B = 1$时才会翻转，这只有在数据0011和0111之后才发生。触发器D在t_8时由低电平翻转为高电平，这是因为Q_A，Q_B和Q_C在t_7脉冲后都为高电平。t_9时刻只有LSB（Q_A）翻转为高电平，在t_9之后因为Q_B和Q_C为低电平，所以与J_D相连的三输入端的与门输出为低电平。但是，因为Q_A先在t_9翻转，使K_D为高电平，所以触发器D将在t_{10}清零。

通过控制J-K输入而产生的计数序列如下：

Q_A是由$J_A = K_A = 1$得到的，并在每个有效的时钟转换时产生翻转过程。

Q_B是由$J_B = A\bar{D}$和$K_B = A$得到的。

Q_C是由$J_C = K_C = AB$得到的，这使Q_C在数据0011和0111之后翻转。

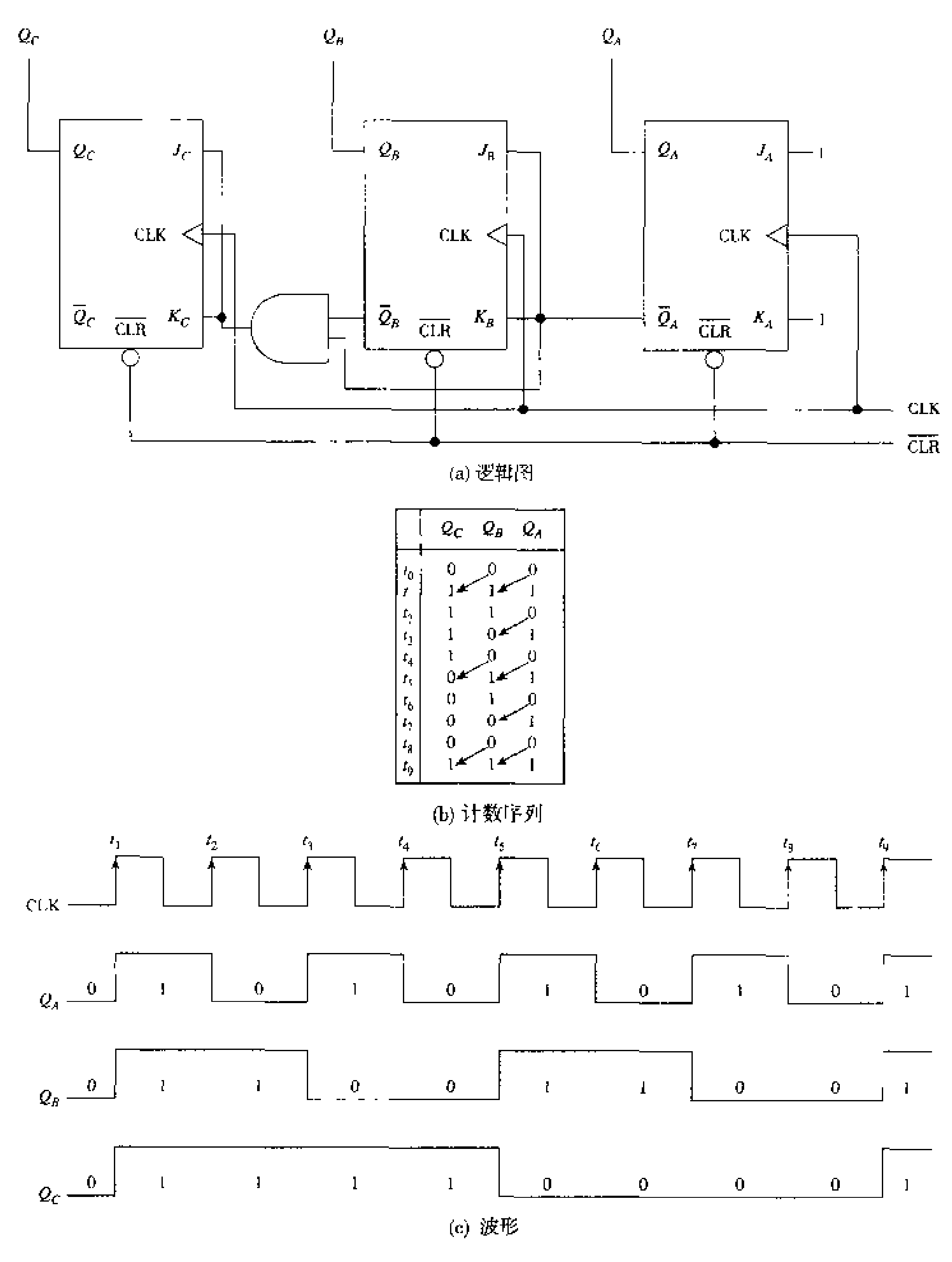
Q_D是当$A = B = C = 1$时翻转为高电平的。t_9有效时钟转换之后Q_A翻转为高电平，一直持续到t_{10}时钟转换的到来，然后又回到低电平。这个过程使触发器D清零。

如图7.33(c)所示为该计数器的波形。在模10异步计数器中，数据1010的持续时间很短，因此在计数器清零之前，在Q_B端产生一个尖顶脉冲。注意，该计数器在t_{10}时没有尖顶脉冲产生，这也是同步计数器的另一个好处。

本节介绍了三种同步加计数器，这些计数器的设计将在7.6节介绍。

7.3.4 模 8 减计数器

图 7.34(a)为模 8 同步减计数器的逻辑图。这个减计数器类似于对应的异步计数器，利用触发器的 $\overline{Q}$ 输出端控制 TOGGLE 操作。



(a) 逻辑图

	Q_C	Q_B	Q_A
t_0	0	0	0
t_1	1	1	1
t_2	1	1	0
t_3	1	0	1
t_4	1	0	0
t_5	0	1	1
t_6	0	1	0
t_7	0	0	1
t_8	0	0	0
t_9	1	1	1

(b) 计数序列

(c) 波形

图 7.34 模 8 同步减计数器

LSB 触发器一直处于 TOGGLE 模式。计数序列由每个触发器的 Q 端输出，如图 7.34(b)所示，该图同时显示每当 LSB（Q_A）为低电平时（t_0，t_2，t_4，t_6 和 t_8 之后），Q_B 都将在下一个时钟转换时翻转，因为 $\overline{Q}_A$ 在这些有效时钟转换期间都是高电平。注意这时 J_B 和 K_B 都必须与 $\overline{Q}_A$ 输出相连。

计数序列说明了触发器C必须在时钟脉冲t_4、t_8和t_0时翻转，这些时钟脉冲的出现紧跟着数据000，100，然后又是000。这些数据表明Q_A和Q_B在这些情况下为低电平，所以将与门和触发器A和B的反相输出端连接。因为$\bar{Q}_A$和$\bar{Q}_B$在t_0，t_4和t_8之后为高电平，所以触发器C在t_1、t_5和t_9处翻转。注意当$J=K=0$时触发器B和C处于RETAIN状态。

图7.34(c)为计数器的波形。输出频率为$Q_A=f_m/2$，$Q_B=f_m/4$，$Q_C=f_m/8$。最大时钟频率计算方法与同步加计数器的相同。

同步加计数器与同步减计数器的惟一不同是利用Q还是$\bar{Q}$来控制翻转。因此利用控制门来构成加/减计数器是一种很简单的方法。这些内容将在7.4节中介绍。

7.3.5 同步计数器的优/缺点

本节讨论同步计数器与异步计数器相比的优/缺点。为了方便，在此将这些特点总结出来。

同步计数器中所有触发器的时钟同步，所以没有附加的传输延迟。异步计数器中的瞬时误码在这里并不存在。另外同步计数器可以产生比同模的异步计数器更高的时钟频率。

同步计数器的设计(7.6节)比异步计数器更复杂。同步计数器需要更多的逻辑门来控制翻转。不过这个问题无须顾虑太多，因为大多数常用的计数器都可利用TTL门或CMOS IC来实现。

7.3节复习题

A. 定义如图7.35所示电路。

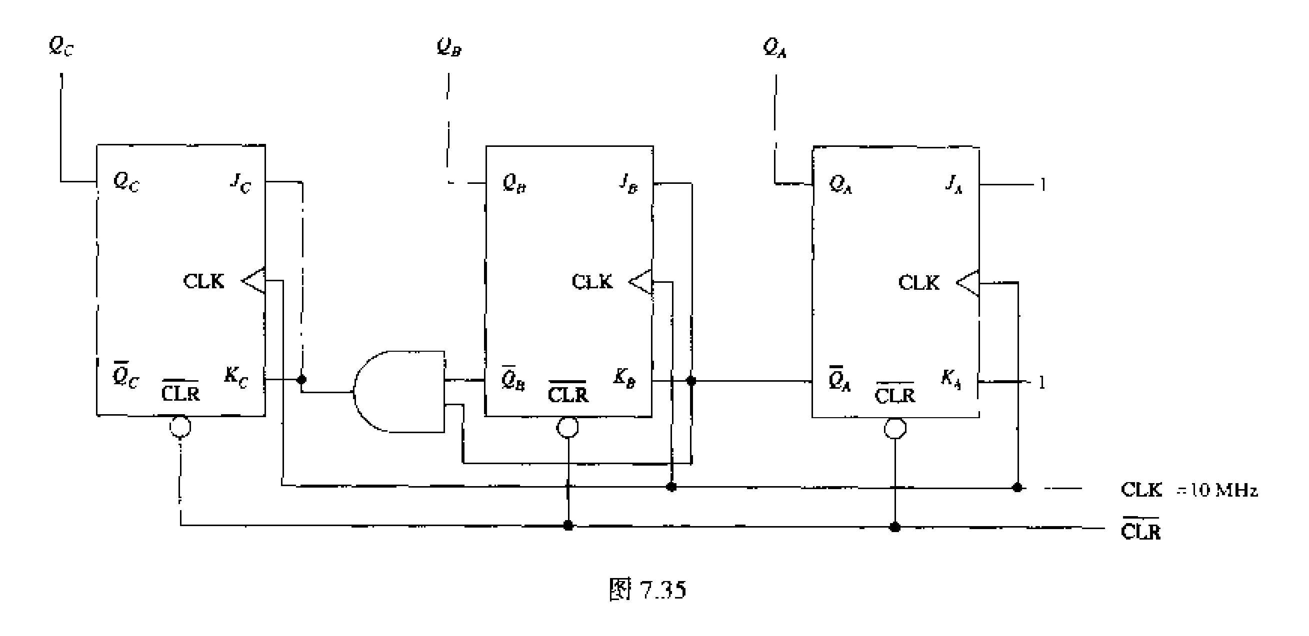


图7.35

B. 3个时钟之后图7.35中电路的计数是多少？

C. 图7.35中的哪一端是计数器的频率输出端？

(1) Q_A

(2) Q_B

(3) Q_C

D. 同步计数器的逻辑图的特征是什么？

E. 对照异步计数器，列出同步计数器的优点。

7.4 同步加/减计数器

要点

定义并判断（加/减）同步计数器的模值和计数序列。

加/减计数器的应用很广泛，因为它们仅仅依靠一个输入控制就能进行增值或是减值。有几种IC加/减计数器非常常用，大多数IC也是可编程的，通过调整当前输入下的计数长度实现短计数。本节讨论一个简单的加/减计数器，可编程加/减计数器的IC形式将在下一节讨论。

先对加/减计数器的内部计数网络进行简介，我们确信读者已经理解了加法和减计数器。模8同步加计数器（图7.36）的计数序列表明：

1. LSB触发器在每个有效时钟转换时一定翻转，可以将J和K接高电平来实现的。
2. 触发器B必须在Q_A为高电平之后的下一个有效时钟转换之后翻转，可以将触发器B的J和K端连接并与Q_A端相连来实现。
3. 触发器C必须在Q_A和Q_B均为高电平之后的下一个有效时钟转换时翻转，可以将Q_A和Q_B输入与与门连接，再将与门的输出与触发器C的J和K输入端相连来实现。

注意，在同步加计数器中一直是使用Q输出端来控制翻转操作的。

	UP			DOWN		
	Q_C	Q_B	Q_A	Q_C	Q_B	Q_A
CLR	0	0	0	0	0	0
t_1	0	0	1	1	1	1
t_2	0	1	0	1	1	0
t_3	0	1	1	1	0	1
t_4	1	0	0	1	0	0
t_5	1	0	1	0	1	1
t_6	1	1	0	0	1	0
t_7	1	1	1	0	0	1
t_8	0	0	0	0	0	0

图7.36 加/减法计数序列

模8同步减计数器的计数序列（图7.36）表明：

1. LSB触发器在每个有效时钟转换时一定翻转，可以将J和K接高电平来实现。
2. 触发器B必须在Q_A为低电平之后的下一个有效时钟转换时翻转，可以将触发器B的J和K端连起来并与$\overline{Q}_A$端相连来实现。
3. 触发器C必须在Q_A和Q_B均为低电平之后的下一个有效时钟转换时翻转，可以将$\overline{Q}_A$和$\overline{Q}_B$输入和与门连接，再将与门的输出和触发器C的J和K端相连来实现。

注意，在同步减计数器中一直是使用$\overline{Q}$输出端来控制翻转操作的。

通过使用一些逻辑门可以将加、减计数器组合到一起。关键是利用Q端还是$\overline{Q}$端来控制触发器的操作。

如图7.37(a)所示为模8同步加/减计数器。这个计数器既可以作为加计数器又可以作为减计数器，因此在本节中只需讨论一个控制电路。将控制输入端标为UP/$\overline{\text{DN}}$，表明当控制端输入高电平时计数器进行加法计数，而输入低电平时计数器进行减法计数。

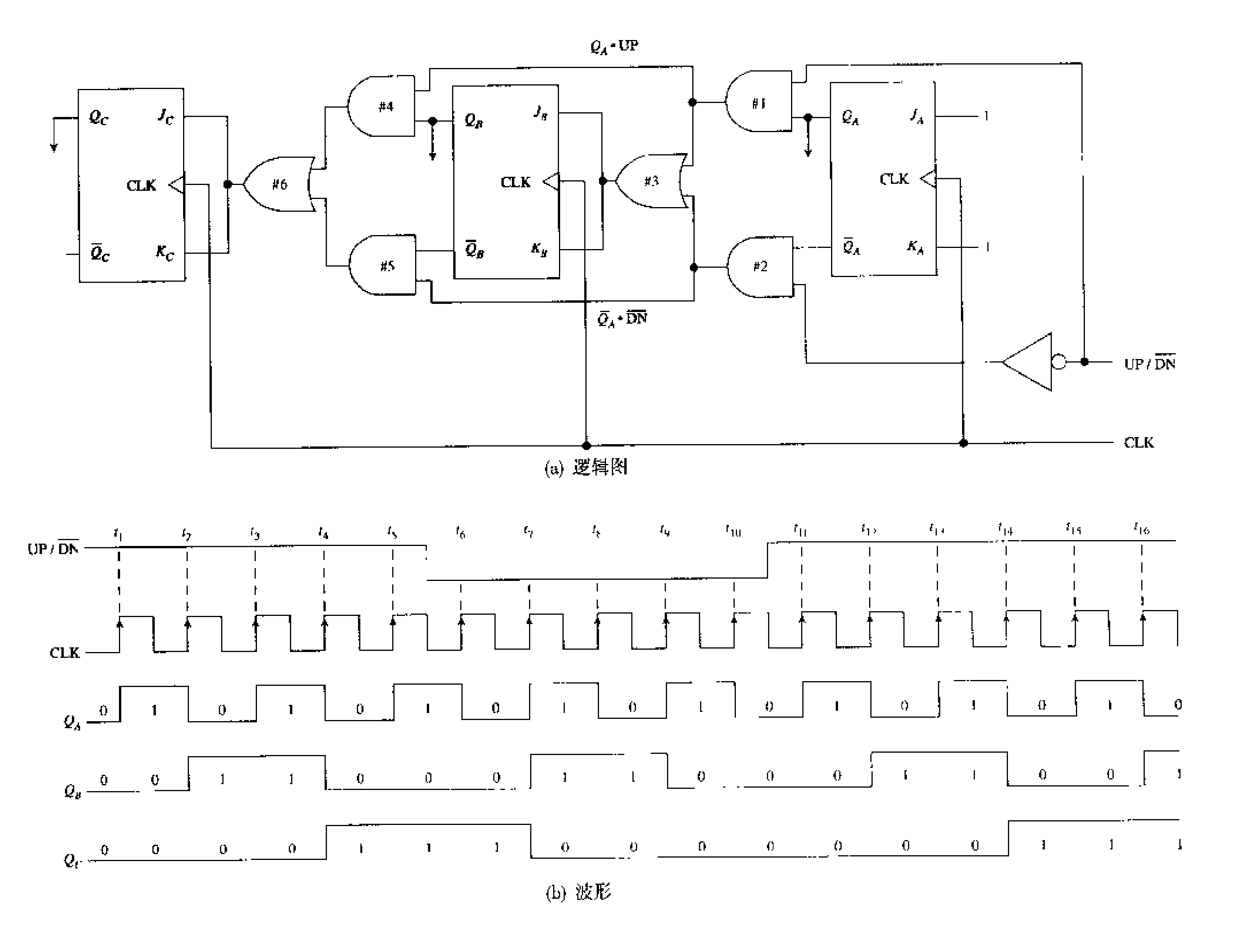


图 7.37 模 8 加/减计数器

当控制端为高电平时（UP），#1控制门工作，禁止#2控制门，#2控制门输出为低电平，使#3或门工作，并禁止#5与门。因为禁止了#2和#5逻辑门，所以触发器A和B的Q输出端未使用。使#1控制门有效，从而允许Q_A输出端与触发器B的J和K端相连。同样也允许Q_A和Q_B与触发器C的J和K端相连，控制该触发器的翻转操作。Q_A和Q_B控制计数器进行加操作。

当控制端为低电平时（DN），#2控制门工作，禁止#1控制门，从而允许利用Q_A和Q_B来控制触发器的翻转操作，结果是进行减法操作。

如果在计数器计数期间输入的控制信号改变了，那么计数序列随之改变，如图7.37(b)所示。计数器开始于清零状态，当UP/$\overline{DN}$ = 1时计数将增加到101，当UP/$\overline{DN}$ = 0时计数将减少到000。如果UP/DN如图中波形所示又恢复为高电平，则计数器再将计数增加到110。

7.4 节复习题

A. 同步减计数器是利用______输出端来控制翻转操作的。

(1) Q

(2) Q

B. 图7.38所示电路的模值为多少？

C. 图7.38所示电路的UP/DN控制输入端为高电平时将进行______计数。

(1) 加

(2) 减

D. 判断图7.38所示电路的最后计数（t_{10}之后），注意状态分析是从清零状态开始的。

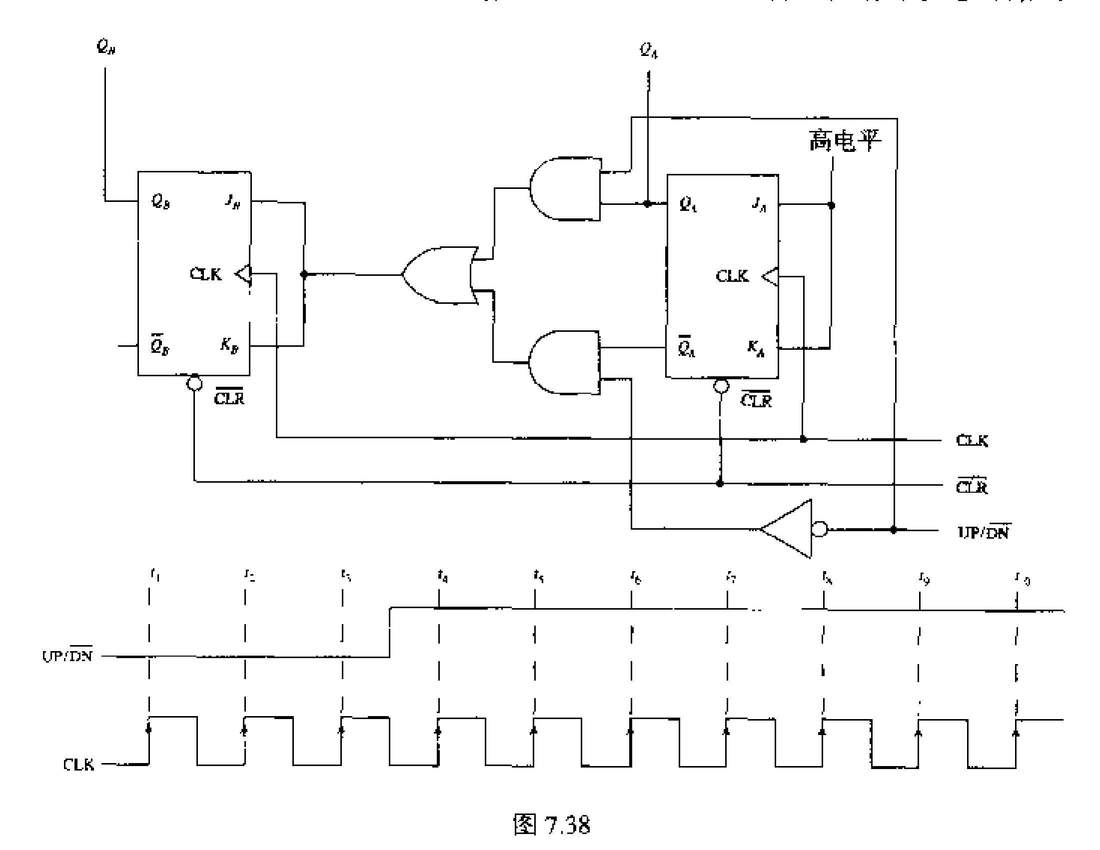


图7.38

7.5 同步可编程计数器

要点

1. 给出同步可编程计数器的逻辑符号或框图和功能表，判断所需的输入，从而正确实现计数方向和特定的模值。
2. 给出数据表和计数要求，当级联两个或更多个计数器IC从而实现所要求的计数时，确定连接方式和预置数据。

可编程计数器由于商用IC的多种多样，使之在数字领域的应用特别广泛。计数器的预置功能使之可以通过编程来实现各种模值的计数。在预置了一个初始值后，普通的加减计数序列由这个预置数开始，继续计数直到循环结束。例如，由3个触发器构成的一个加计数器预置了$011_{(2)}$，那么这个计数器能够计数011、100、101、110和111。但是如果到达最终的计数111后，没有装入初始值011，那么计数器将循环到000。

问题是在到达最终的计数后，要重复装入初始值。相对来说这是一个容易解决的问题。本节介绍了几种IC计数器，首先介绍初始化计数器的基本概念。

7.5.1 可预置的计数器

图7.39所示的是模8同步加计数器。可编程同步加计数器通过与非门可进行异步预置。该计数器的Q输出端为Q_2、Q_1和Q_0。这在实际应用中很常见，几乎任何一本数据手册都是这样命名的。电路的输出仍是来自各个触发器的Q输出端。

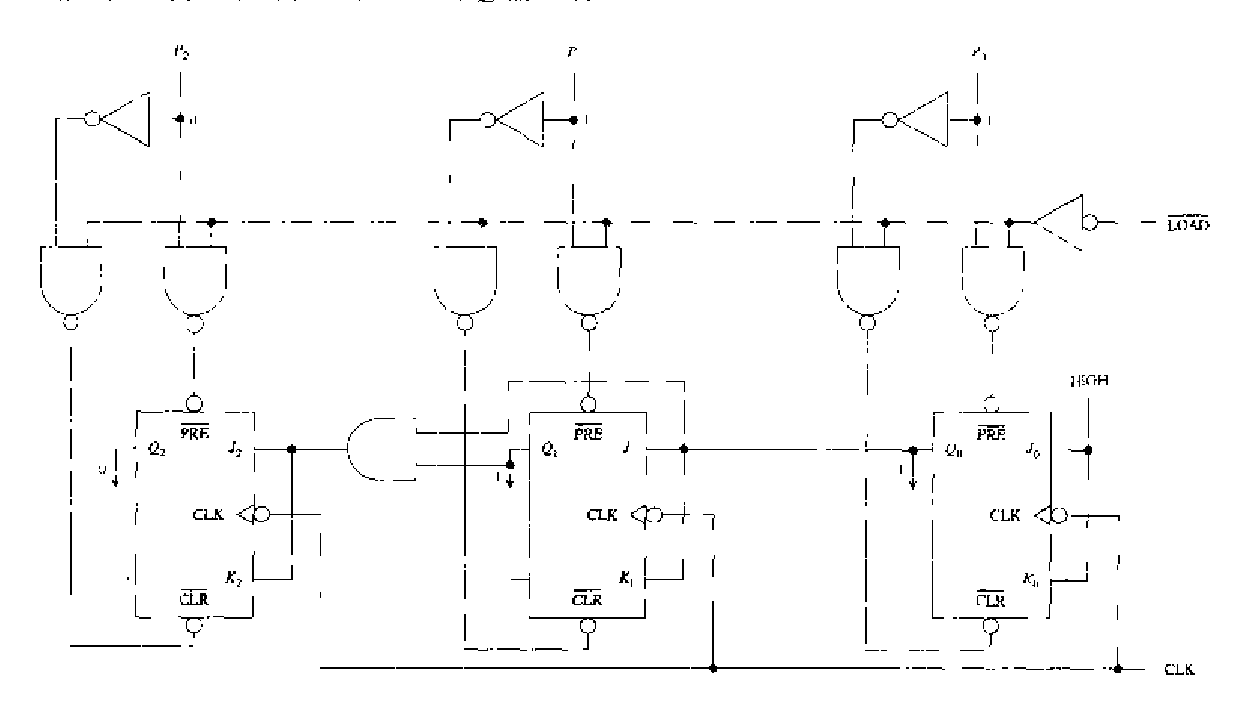


图7.39 MOD 8同步可编程加计数器

当$\overline{LOAD}$输入变为低电平（被置有效）时，图7.39中的与非门工作。该输入激励触发器的异步输入（$\overline{PRE}$或$\overline{CLR}$）并优先于时钟控制。当$\overline{LOAD}$有效时，计数器不能计数。

当LOAD为低电平时（被置有效），如果在预置端输入二进制数据011（$P_2=0$，$P_1=1$，$P_0=1$），则异步装入该数据。

当LOAD＝0时，P_2输入的0使触发器Q_2的PRE输入为1，这对于该输入端是无效输入。0经过非门反相后，与LOAD使能信号一起使与非门输出为0，并将该信号送给触发器Q_2的$\overline{CLR}$端，使该触发器清零，即$Q_2=0$。

当LOAD不变时，P_1输入1，将与非门输出的低电平送到触发器Q_1的PRE端，从而使触发器$Q_1=1$。同时P_1通过非门反相后使与非门的输出保持为高电平，从而使$\overline{CLR}$输入无效。同理，当$P_0=1$时Q_0为1。

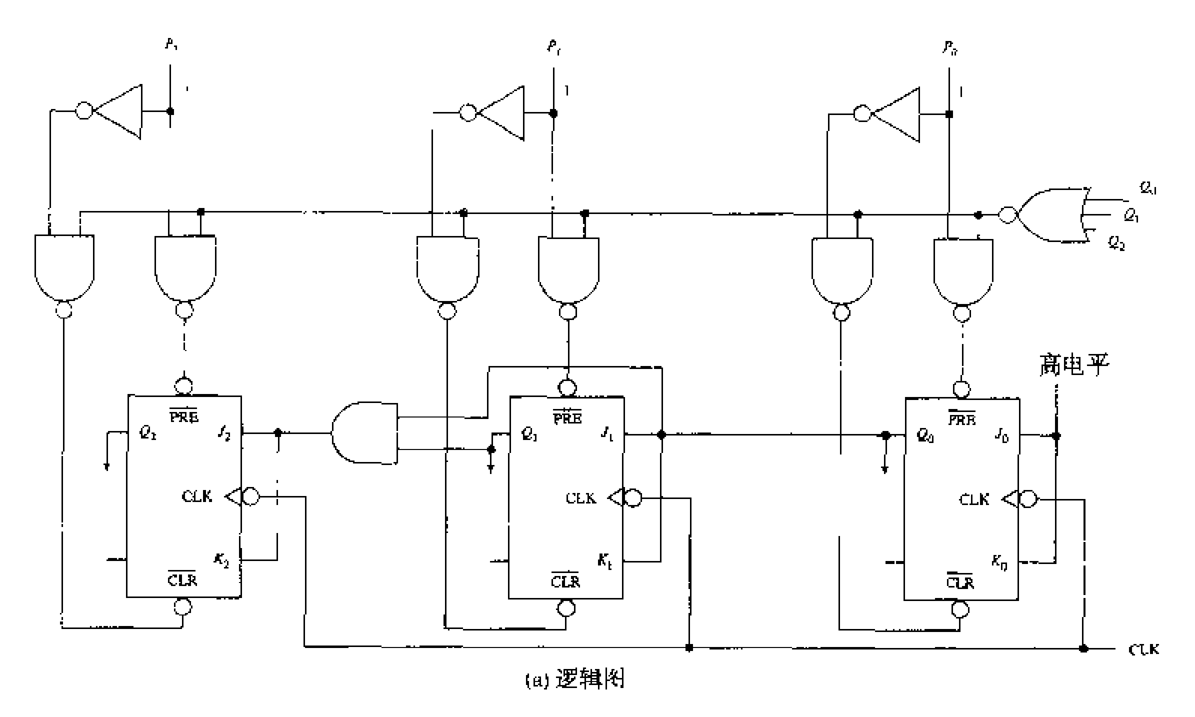
当LOAD有效时，可以在可编程计数器的预置端输入二进制数。预置端的反相器保证在任何一个给定时刻，触发器的异步输入只有一个有效。

以上各例中，如果LOAD输入有效，计数器都将计数到011。当$\overline{LOAD}=1$时，假设一直加着CLK输入，那么计数器将增加到111，当到达了计数终值后，复位为000并开始再一次循环。现在的问题是计数器每次到了计数终值111后应重复装入011。

以上讨论的可编程计数器的改进电路形式如图7.40(a)所示。装入问题可以通过或非门代替非门来解决。将触发器的Q_2，Q_1和Q_0输出端与该门的输入端相连。该电路希望的计数序列如图7.40(b)所示。利用截位规律，可以解决预置问题。一般要求的计数为：011到111、011到111，等等。如果逻辑门不能在111之后工作，计数器将不能正确计数。

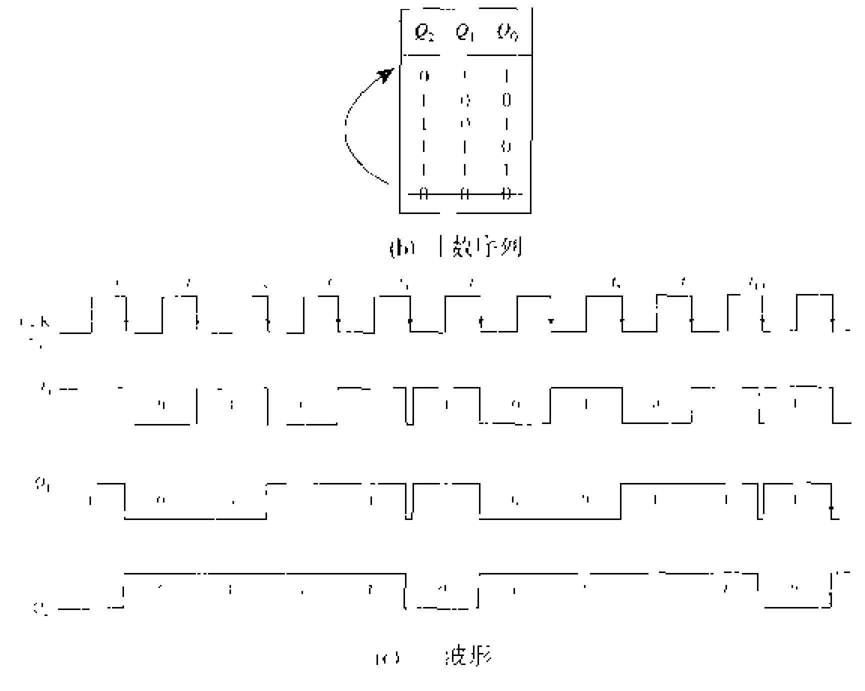
该计数器在111之后的下一个正常计数为000，所以，当111出现时，或非门的输出将为高电平，使计数器异步重新装入011。

异步加计数器的截位规律是"将希望得到的模值中的高电平位接入截位电路"。这个规律并不适用于每个可编程计数器，但从理论上讲是可以的。在异步加计数器中，模值总比希望得到的最大计数值高，所以模（MOD）值可以用于截位。同样的思路适用于可编程计数器。上例中，计数器计数到111后需重新装入011，因此通过逻辑推理可知，应将希望重新装入的状态的前一个状态与截位电路连接。上例中该状态为000，当其出现该状态时，或非门将重新装入011。



(a) 逻辑图

图 7.40 MOD 5 同步可编程加计数器



(b) 计数序列

(c) 波形

图7.40(续) MOD 5同步可编程加计数器

图7.40(c)所示的波形显示了该电路的计数过程。注意，在t_5和t_{10}之后，Q_0和Q_1处出现了短暂的尖顶脉冲。因为计数序列是011、100、101、110和111，所以它是一个模5计数器。图中Q_2的输出波形有效（$f_{in} \div 5$）。

假设将图7.40(a)改成模4计数器。哪些电路需要改动呢？惟一需要改动的是将预置输入改为100（$P_2 = 1$、$P_1 = 0$、$P_0 = 0$）。此时，计数器的计数为100，101、110和111，然后再从100开始继续循环。由此可以很清楚地看出该计数器比前面介绍的计数器有更多的优点。

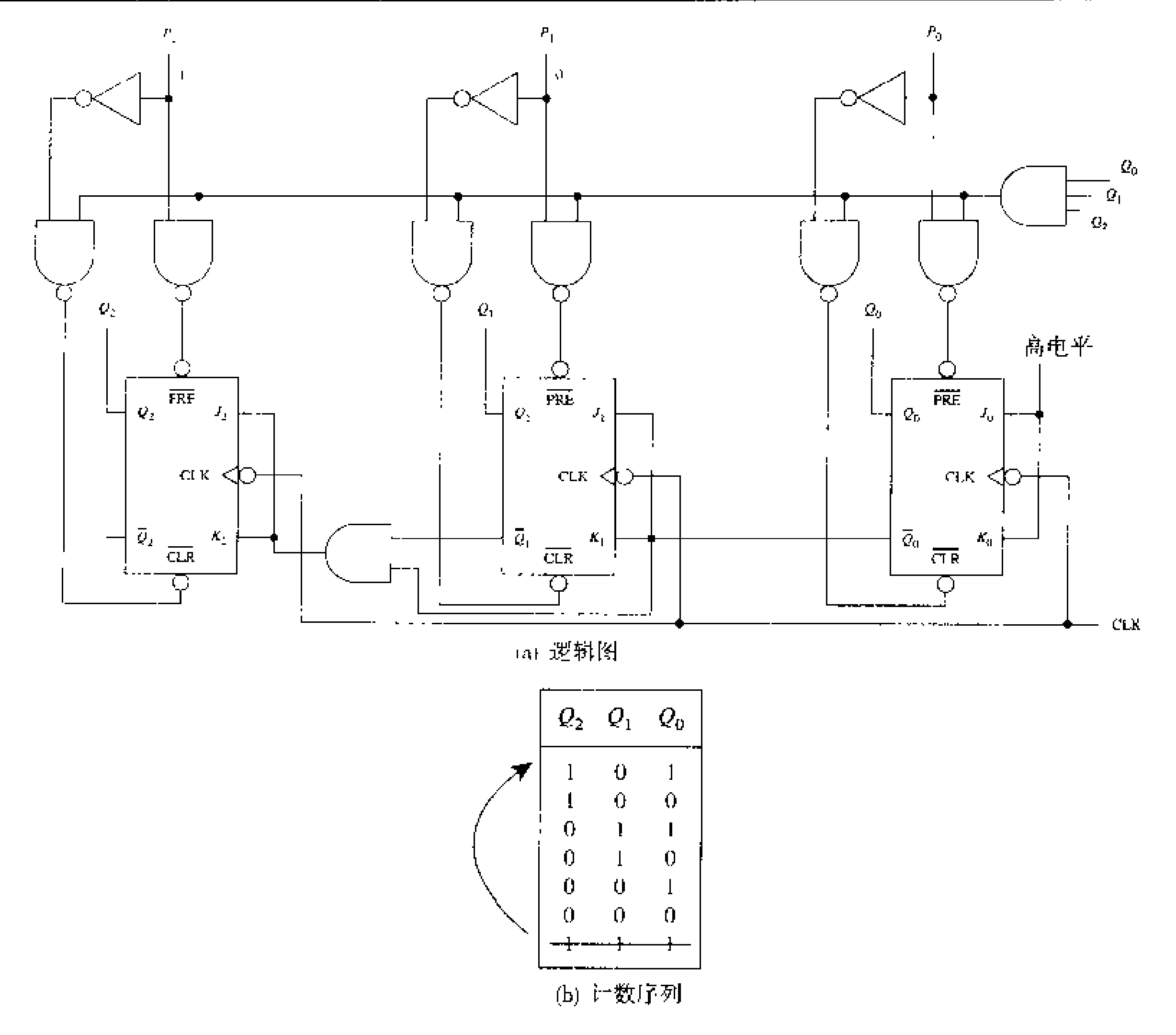
模6同步可编程减计数器如图7.41(a)所示。电路的工作过程与同步可编程加计数器的基本相同。图7.41(a)所示的计数序列显示了希望得到的计数序列有六个状态，分别是101，100、011，010，001和000。注意000之后的计数是111。该计数必须能够产生一个高电平以使能预置门。减计数器中不使用或非门，因为它的逻辑是"所有输入为0，输出才为1"。选用与门，是因为与门的逻辑是"所有输入为1，输出才为1"。因此，当计数器计数到111时，通过使能预置与门，从而立即将101预置给计数器。

7.5.2 同步IC计数器

74193/74LS193

同步4位可逆（加/减）二进制计数器完全可以通过对预置输入编程来实现。通过改变预置的二进制数可以改变模值。可以级联该计数器而无需外部电路。

该计数器的逻辑图如图7.42所示。时钟输入加在UP（5脚）或DOWN（4脚）输入端，以决定计数方向。未用的时钟输入端必须接高电平，以保证正常的计数操作。如果未用的时钟输入由于某种原因变为低电平，那么计数器将不能正常计数。如果未用的时钟输入在计数到偶数（LSB = 0）时变为低电平，那么计数器将停止计数。在加法计数中，如果未用的时钟输入在计数到奇数（LSB = 1）时变为低电平，那么计数器只进行奇数计数。



(a) 逻辑图

Q_2	Q_1	Q_0
1	0	1
1	0	0
0	1	1
0	1	0
0	0	1
0	0	0

(b) 计数序列

图 7.41 模 5 同步可编程减计数器

利用逻辑图中的逻辑关系，可以从理论上证明时钟变为低电平时的奇数计数过程，证明过程将留给读者完成。如果未用的时钟输入没有接高电平，则足以证明计数器无法正常工作。所希望的时钟信号（UP 或 DOWN）应同时加在所有 4 个触发器上。

高电平有效的 CLR 输入（14 脚）使计数器复位，它优先于时钟和 LOAD 输入。当 $\overline{\text{LOAD}}$ 输入（11 脚）有效时，计数器异步装入希望的预置数来设置其模值，这可以通过前面讨论过的使能预置与非门来实现。预置数从数据输入端 A，B，C 和 D 端（15，1，10 和 9 脚）加入。数据输入 A 为 LSB，数据输入 D 为 MSB。LOAD 输入优先于有效的时钟输入。

计数器有一个进位输出（$\overline{\text{CO}}$，12 脚）和一个借位输出（$\overline{\text{BO}}$，13 脚）。当存在溢出时，产生低电平有效的进位输出。换句话说，在加计数器中每当到达计数终值 1111 时，进位输出就有效。在减计数器中，每当到达计数终值 0000 时，借位输出就有效。这两个输出可以使计数器进行级联。另外，它们还可以提供一个内部预置控制信号，而无需外加截位电路。

计数的输出从 Q_A~Q_D 取出（3，2，6 和 7 脚）。Q_A 是 LSB，Q_D 是 MSB。

该计数器的逻辑符号如图 7.43 所示。该符号在数字示意图中用来代表计数器。符号中的助记符代表技术人员需要知道的有关计数器的所有信息。不过，技术人员还必须查阅数据表中的电路，以确保未用的时钟输入必须接高电平。

图7.42　74193/74LS193同步加/减法计数器的逻辑图

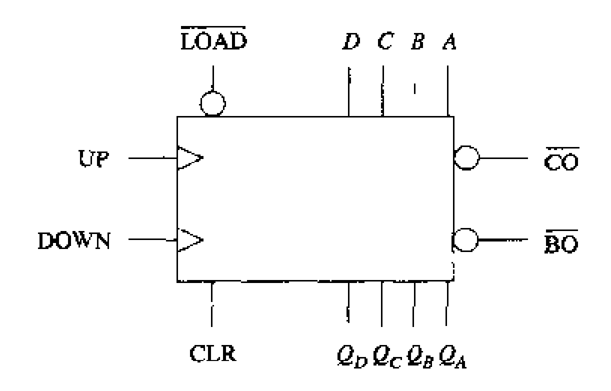


图7.43　74193/74LS193同步加/减计数器的逻辑符号

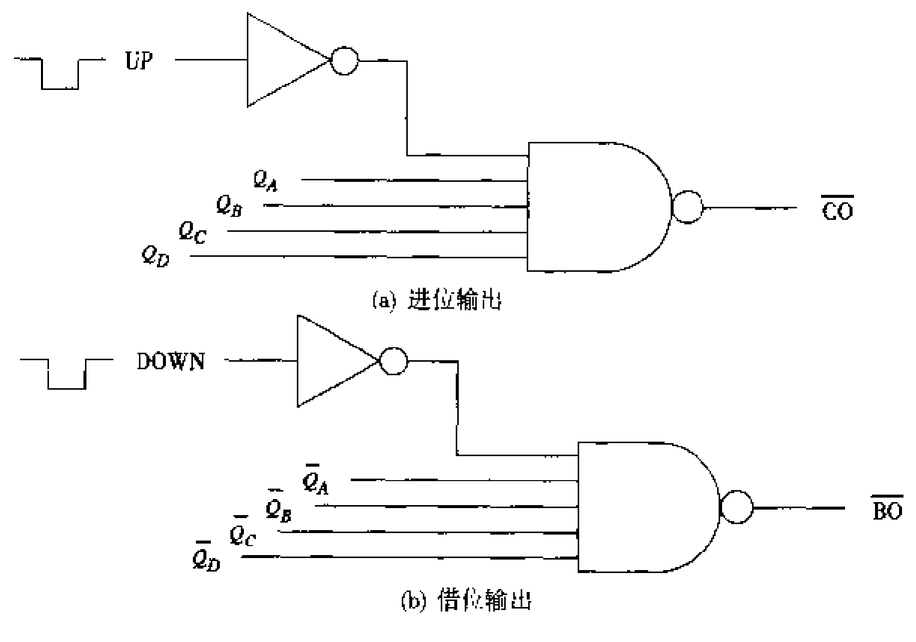
另一点要记住的是，不同厂家的数据表常利用不同的引脚名。表7.1列出了该IC在不同的数据表中的引脚名。第一列包括本书使用的引脚名，它们是从Texas Instruments公司的TTL逻辑数据表得来的

表7.1　74193计数器的不同的引脚名

引脚号				通用名
11	LOAD	LOAD	PL	并行装入/预置装入
15	A	A	P_0	预置数（LSB）
1	B	B	P_1	预置数
10	C	C	P_2	预置数
9	D	D	P_3	预置数（MSB）
4	Down	Count down	CP_D	减计数的时钟
5	Up	Count up	CP_U	加计数的时钟
3	Q_A	Q_A	Q_0	计数输出（LSB）
2	Q_B	Q_B	Q_1	计数输出
6	Q_C	Q_C	Q_2	计数输出
7	Q_D	Q_D	Q_3	计数输出（MSB）
14	CLR	CLEAR	MR	清零/置位
13	BO	Borrow	$\overline{TC}_D$	借位输出/减计数终值
12	CO	Carry	$\overline{TC}_U$	进位输出/加计数终值

有时不能马上判断出数据表中引脚名的用途或它是输入端还是输出端。例如，如果没有注意到74193的UP/DOWN脚是时钟输入脚，那么利用图7.42可以解决这个问题。

73193的终值计数电路如图7.44所示。当UP时钟为低电平、Q_A~Q_D计数输出都为高电平时，产生$\overline{CO}$信号。全为高电平的输入送到与非门使其输出变为低电平。计数器输出0000且DOWN时钟为低电平时，因为时钟脉冲反相了，且利用了$\overline{Q}$输出，所以将全部的高电平送到了与非门的输入端。在下面的讨论中要记住，输入时钟脉冲（UP或DOWN）必须在其周期中的低电平处产生计数终值。



(a) 进位输出

(b) 借位输出

图7.44　计数终值的产生

将两个模16的74193 IC级联的计数器如图7.45(a)所示。这两个计数器都是加计数器。低4位计数器（Q_A~Q_D）的Carry Output接在高4位计数器（Q_E~Q_H）的时钟上。高4位计数器的Q输出定义为Q_E~Q_H。每个计数器的计数序列都显示在输出引脚的下面。该电路是一个模256计数器，它可以从00000000计数到11111111（255_{10}）。

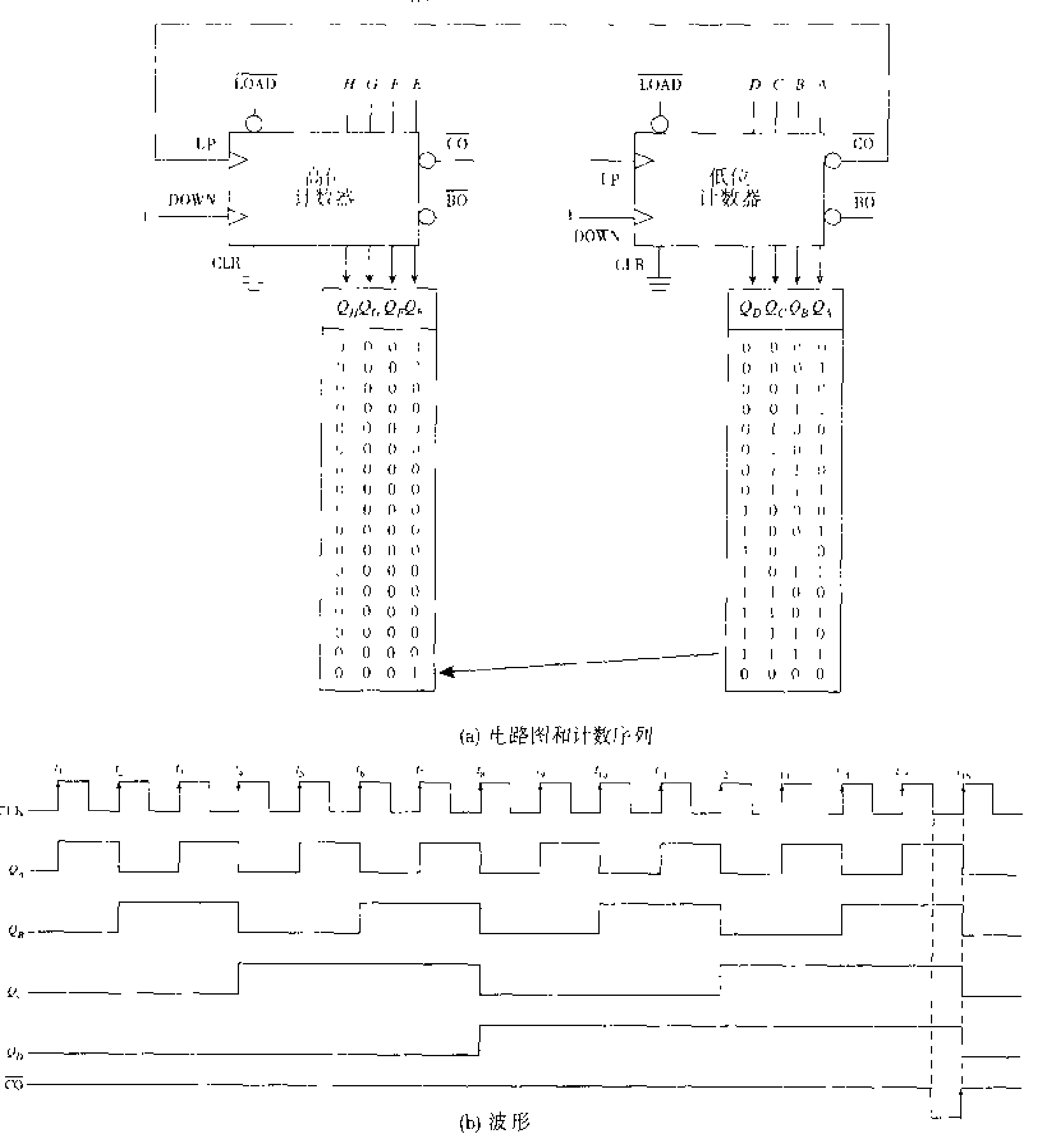


图7.45　利用74193 IC级联的模256加计数器

图7.45(b)所示的波形显示了$\overline{CO}$信号与时钟脉冲之间的时间关系，在高电平时钟输入的PGT，使低4位计数器递增到1111（加计数器的终值），此时$\overline{CO}$信号没有马上有效。相反，再经过半个时钟周期后，当时钟脉冲变为低电平时它才有效。$\overline{CO}$有效时它的上升沿（PGT）使高4位计数器的计数递增到0001，如图7.45(a)的计数序列所示。$\overline{CO}$脉冲的宽度等于高电平时钟输入的低电平持续时间。

利用74193 IC实现的级联的模256减计数器如图7.46所示。低4位计数器（Q_A~Q_D）的$\overline{\text{Borrow Output}}$信号作为高4位计数器的时钟脉冲。每个计数器的计数序列都显示在输出引脚下方。图

中显示的减计数器是从00100000_2随机开始的。当时钟变为低电平时，在计数终值0000，低4位计数器产生低电平有效的BO信号，它为高4位计数器提供时钟脉冲，使计数从0010递减到0001，从0001递减到0000，如图所示。

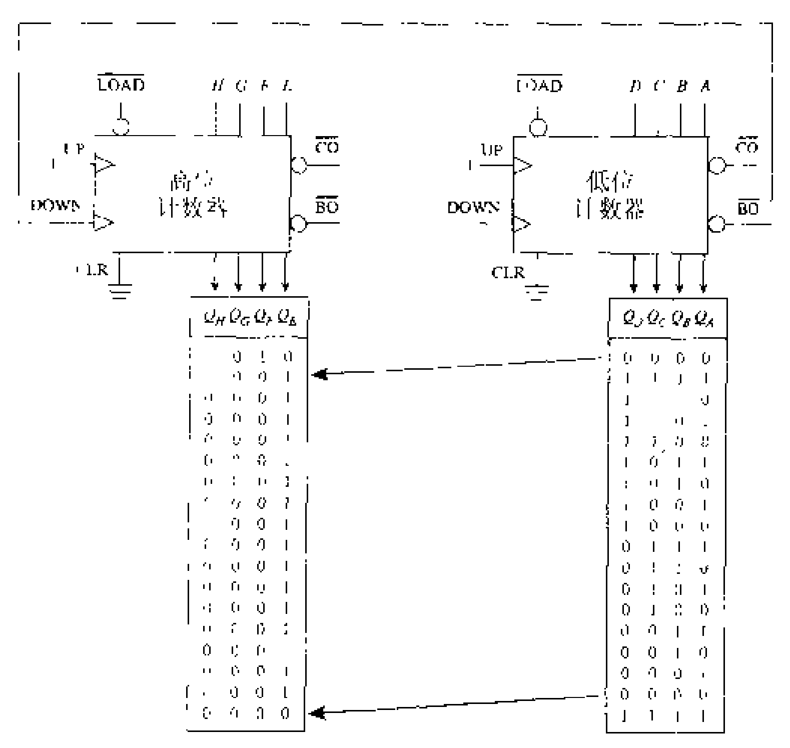
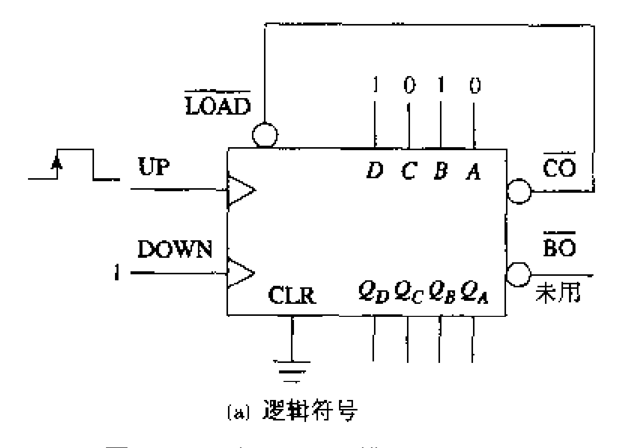


图7.46 利用74193 IC级联的模256减计数器的电路图和计数序列

一般可以通过预置数和计数终值确定可编程计数器的模值。如果给一个典型的可编程计数器预置1010_2，那么该计数器将计数1010，1011，1100，1101，1110和1111，然后再预置1010。这将形成一个模6计数器。

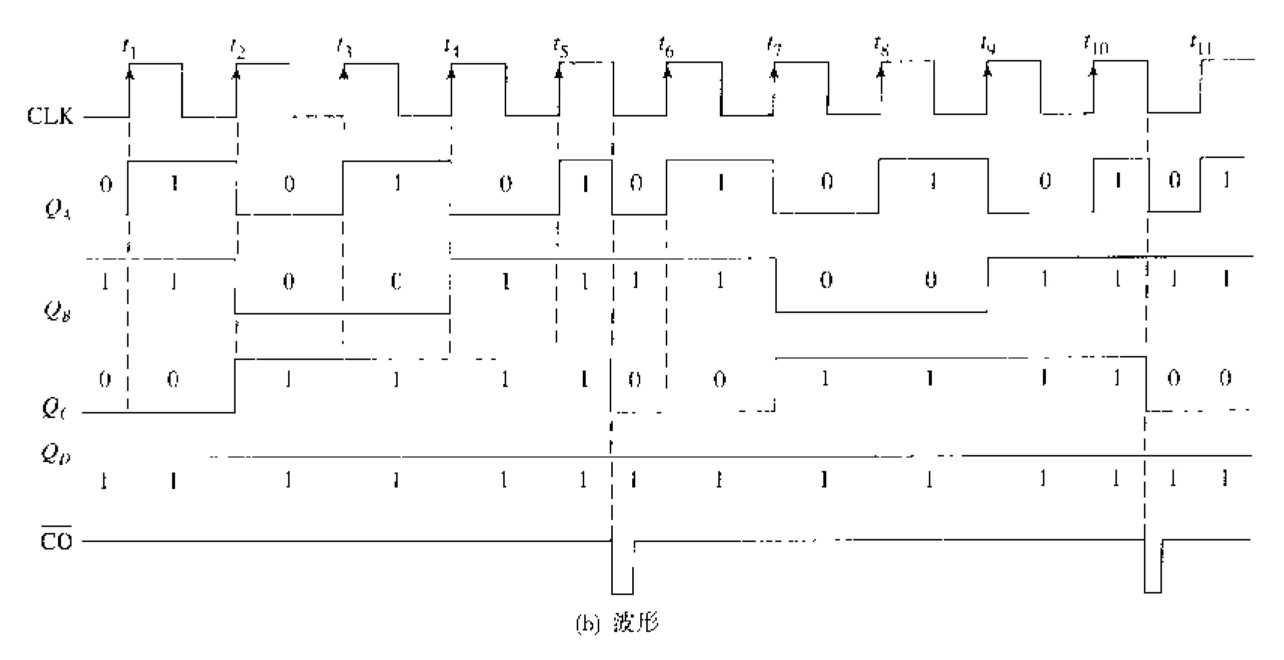
74193利用$\overline{CO}$或BO预置计数器时有所不同。图7.47(a)所示的逻辑符号显示时钟脉冲加在UP输入端，而DOWN输入端接高电平，此时该图为加计数器，进位输出（CO）与$\overline{LOAD}$输入相连。每当到达计数终值时，$\overline{CO}$信号变为低电平。因此，每当计数终值到来时，CO信号有效，从而使$\overline{LOAD}$有效，于是给计数器预置1010。此时它是一个模5计数器，而不是前面提到的模6计数器。

该电路的时间波形如图7.47(b)所示。波形从预置数1010开始，增加到1111。在t_5之后时钟变为低电平，$\overline{CO}$信号有效，计数器马上重新装入1010。t_6时刻计数器增加到1011



(a) 逻辑符号

图7.47 可编程74193模5加计数器



(b) 波形

图 7.47（续） 可编程 74193 模 5 加计数器

计数终值 1111 和预置数 1010 每次只持续半个时钟周期。因为这两个计数在一个周期内发生，所以该计数器是模 5 计数器。波形中显示的 Q_C 输出的频率为 $f_{in}/5$。在全部计数序列中 Q_D 总为高电平。虽然图 7.47(b)显示了 6 个不同的波形状态，但其间只有 5 个时钟脉冲加到计数器上。

1010 ———————————————— $\overline{\text{LOAD}}$
1011 ———————————————— t_1
1100 ———————————————— t_2
1101 ———————————————— t_3
1110 ———————————————— t_4
1111 ——— 1010 ————————— t_5

因此，该电路是五分频电路。

可编程 74193 加计数器的模值可以用计数终值减去预置数而得到：

计数终值 = 1111
预置数 = $\underline{-1010}$
模 = 0101

可以利用同样的思路来分析 74193 减计数器。图 7.48 是一个模 5 减计数器。二进制 0101 为预置数，$\overline{\text{BO}}$ 与 $\overline{\text{LOAD}}$ 连接。该计数器的计数过程如下：

0101 ———————————————— $\overline{\text{LOAD}}$
0100 ———————————————— t_1
0011 ———————————————— t_2
0010 ———————————————— t_3
0001 ———————————————— t_4
0000 ——— 0101 ————————— t_5

同样，减计数器的计数终值 0000 和预置数 0101 每次也只持续半个时钟周期，因此，这是一个模 5 减计数器。可编程减计数器 74193 的模值等于其预置的二进制值。

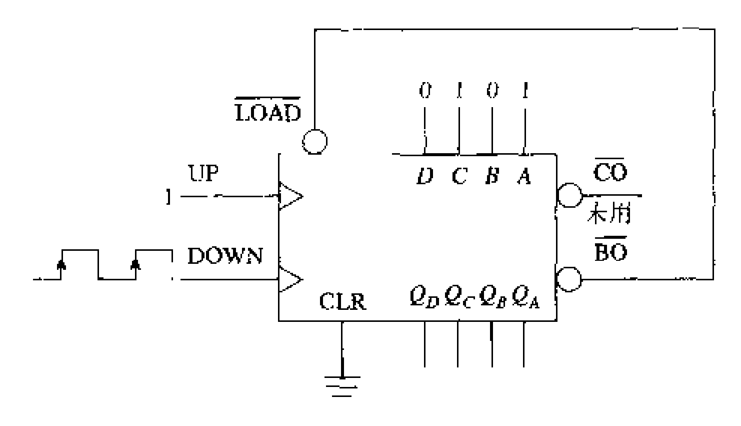


图 7.48 可编程 74193 模 5 减计数器

74193/74LS193 ANSI/IEEE 符号。如图 7.49 所示为 74193 的 ANSI/IEEE 符号，事实上这是一个模 16 计数器，一般在公共控制模块标有 CTRDIV 16。注意，该模块表示其输入在该计数器的所有电路中是公用的。CT = 0 表示当 CLR 输入为高电平时计数器输出为 0。$\bar{1}$CT = 15 表示当计数为 15 并且 UP 输入（G_1）为低电平时，$\overline{CO}$输出为低电平。G代表与（AND）的关系。2CT = 0 表示当 DOWN 输入（G_2）为低电平并且计数为 0 时，$\overline{BO}$ 输出为低电平。公共控制模块的 + 和 - 符号分别表示加计数或减计数。

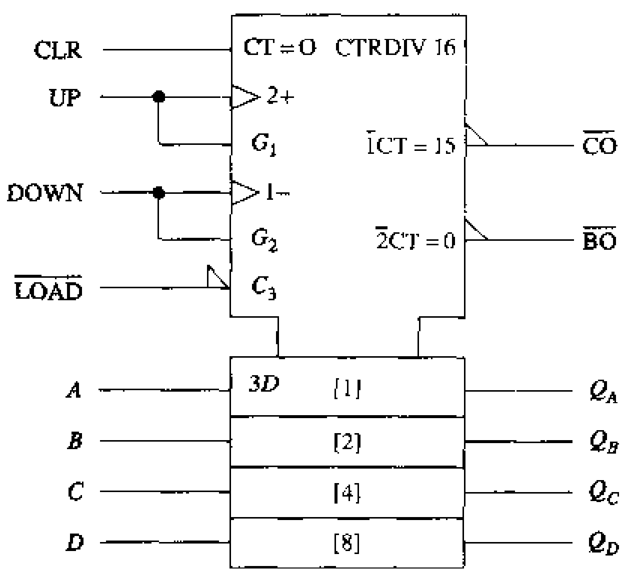
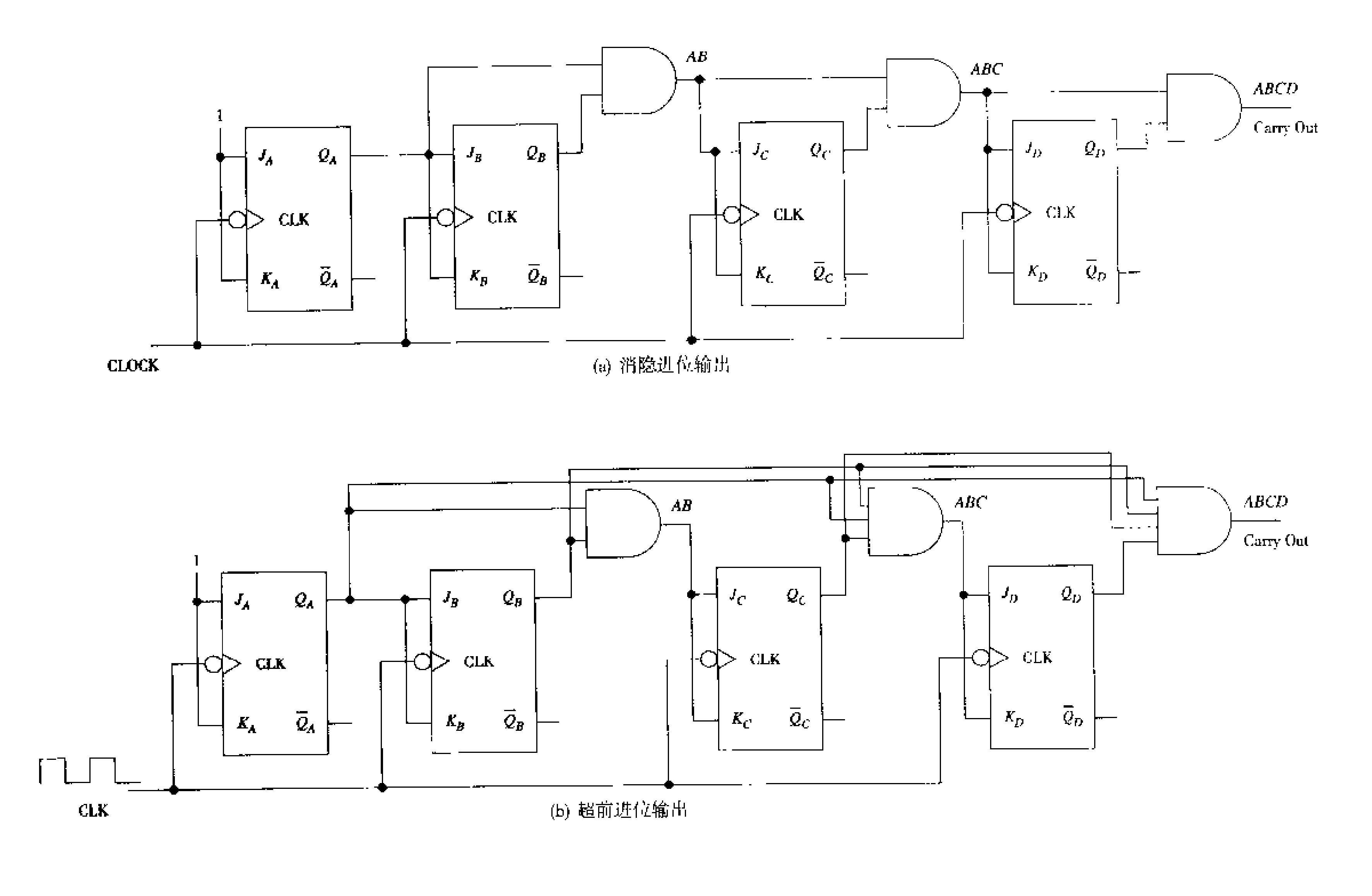


图 7.49 74193/74LS193 的 ANSI/IEEE 符号

+ 号前的 2 表示当该计数器进行加计数时 DOWN 输入（G_2）必须为高电平。同样，- 号前的 1 表示 UP 输入（G_1）必须为高电平才能进行减计数。这就与前面的讨论有关了，未用的时钟输入端必须置为高电平，以保证电路正常计数。

通过该符号引入了相关标志。相关标志以相对简单的方式展现了输入、输出，或输入与输出之间的关系。字母C表示控制相关。控制相关符号 C_3 和触发器 A 上的 3D 符号表示所有触发器在$\overline{LOAD}$为低电平时装入。[1],[2],[4]和[8]表示计数器中每个触发器的位权值；Q_A 是 LSB，Q_D 是 MSB。

超前进位。一些计数器有超前进位的特点，该特点允许它们以高于时钟的速度进行操作。图 7.50(a)和(b)显示了两个模 16 的同步计数器。两个计数器的 LSB（Q_A）都在左边。在图 7.50(a)的逻辑图中，一个与门与 Q_D 输出相连，当计数终值 $1111_{(2)}$ 到来时，该与门产生一个进位输出信号。这与前面讨论的 74193 集成电路的 $\overline{CO}$ 输出很相似，不同的是进位输出信号是高电平有效。



(a) 消隐进位输出

(b) 超前进位输出

图7.50　模16同步计数器

逻辑 AB 输出控制着触发器 C 的 J 和 K 端，可以将其认为是电路的进位信号。逻辑 ABC 输出控制着触发器 D 的 J 和 K 端，也可以认为是进位信号。虽然同步计数器没有触发器的附加延迟，但是图 7.50(a)中产生的进位输出不能避免附加延迟的问题。

除非所有的与门输出有效，否则这个计数器的进位输出无效。除非所有与门的传送延迟时间之和可以忽略，否则这种有效状态不会发生。在计数器控制逻辑门的工作过程中，进位输出一定有脉动，就像异步计数器中的脉动一样，这一点限制了计数器的上限频率。

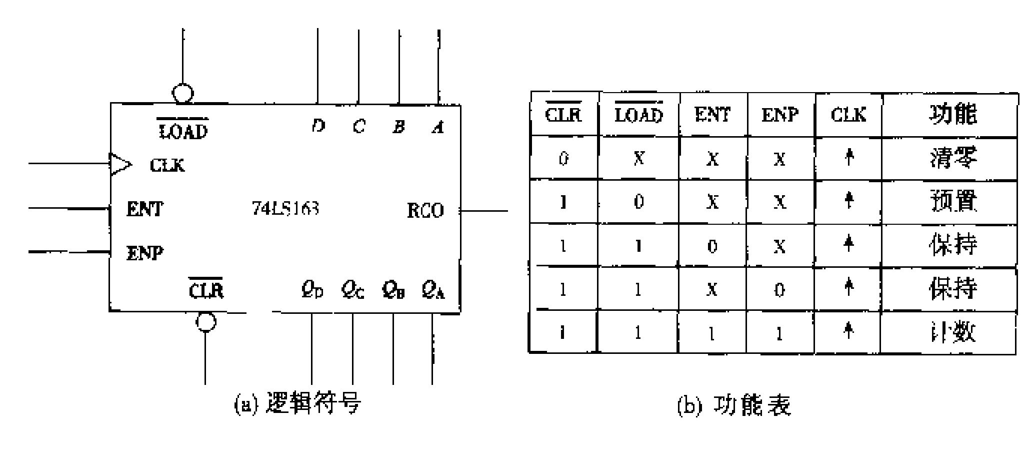
图 7.50(b)利用超前进位克服了前面计数器的缺点。这两个电路除了一点不同外几乎一样。在图 7.50(b)中，产生超前进位输出的与门，其输入直接与各个触发器的 Q 端相连，从而消除了与门的进位输出脉动带来的附加延迟，并允许更高的时钟速度。

74LS163

这里介绍的四位二进制同步计数器与前面的同步计数器不同，该计数器有一些特殊的特性。74LS163 的逻辑符号和功能表如图 7.51 所示。

这个可编程计数器的特点是，其内部超前进位电路可进行高频快速计数。该超前进位电路产生的脉动进位输出（RCO）可用于计数器的级联而不需要外加逻辑门。

图 7.51(b)的功能表显示 $\overline{\text{CLR}}$ 输入是同步的（发生在 CLK 的 PGT），并优先于 $\overline{\text{LOAD}}$ 和使能输入（ENT 和 ENP）。这个 IC 有两个独立的计数使能输入端。只有当两个输入（ENP 和 ENT）都为高电平时，计数器才开始计数。使能端 P 是计数使能端；使能端 T 既是计数使能端，也是脉动进位输出控制端。当 $\overline{\text{LOAD}}$ 为低电平时，在时钟脉冲的 PGT 时刻向计数器同步装入一个二进制数。如果 $\overline{\text{CLR}}$ 输入为高电平，那么使 $\overline{\text{LOAD}}$ 变为低电平后，在时钟的 PGT 时刻，A，B，C 和 D 上的数据装入触发器的输出端。



$\overline{\text{CLR}}$	$\overline{\text{LOAD}}$	ENT	ENP	CLK	功能
0	X	X	X	↑	清零
1	0	X	X	↑	预置
1	1	0	X	↑	保持
1	1	X	0	↑	保持
1	1	1	1	↑	计数

(a) 逻辑符号　　(b) 功能表

图 7.51　74LS163 四位二进制同步计数器

在 $\overline{\text{CLR}}$ 和 $\overline{\text{LOAD}}$ 输入都无效、使能脉冲 ENT 和 ENP 都有效时（高电平），计数器在 CLK 输入的 PGT 时刻进行正常的加计数。在计数过程中，如果使能输入为低电平，那么计数器将停止计数，并保持当前状态。

图 7.52 为这个计数器的逻辑图。在时钟由低到高转换时，时钟输入需要通过一个反相缓冲器（非门）使计数器触发。所有触发器的时钟同步。

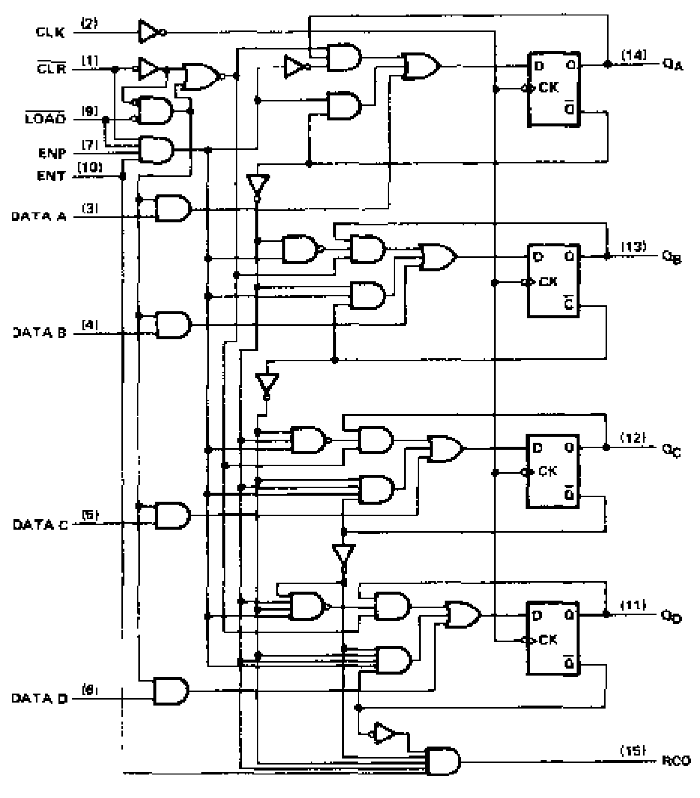


图7.52 74LS163同步计数器逻辑图

深入分析操作过程

LSB触发器和与之相关的计数使能和控制门电路，如图7.53所示。图中显示了$\overline{CLR}$输入的同步过程。逻辑图中带括号的数字标明了逻辑电平输入触发器A的D输入端的路径。触发器的D输入端为低电平时，Q_A将在时钟输入的NGT时刻随时钟变化。因为这个时钟输入要经过一个非门再输入触发器，所以计数器实际上是在下一个时钟脉冲的PGT时刻清零的。

由图可知，对LOAD端输入的跟踪显示，当$\overline{LOAD}$有效时，在CLK脉冲的PGT时刻，数据A装入触发器A内。根据计数器的计数使能端和控制门的逻辑电平可知，为什么$\overline{CLR}$输入必须为高电平（无效）才能给计数器预置一个数。也可以证明当ENT或ENP为低电平时计数器进入HOLD状态。最后，将$\overline{CLR}$，$\overline{LOAD}$，ENT或ENP输入置为高电平，并跟踪逻辑电平，通过逻辑图可以证明触发器A在每个时钟脉冲的PGT时刻翻转。

同样，通过跟踪逻辑电平的练习，可以证明功能表的正确性，并有助于理解同步计数器的工作过程。

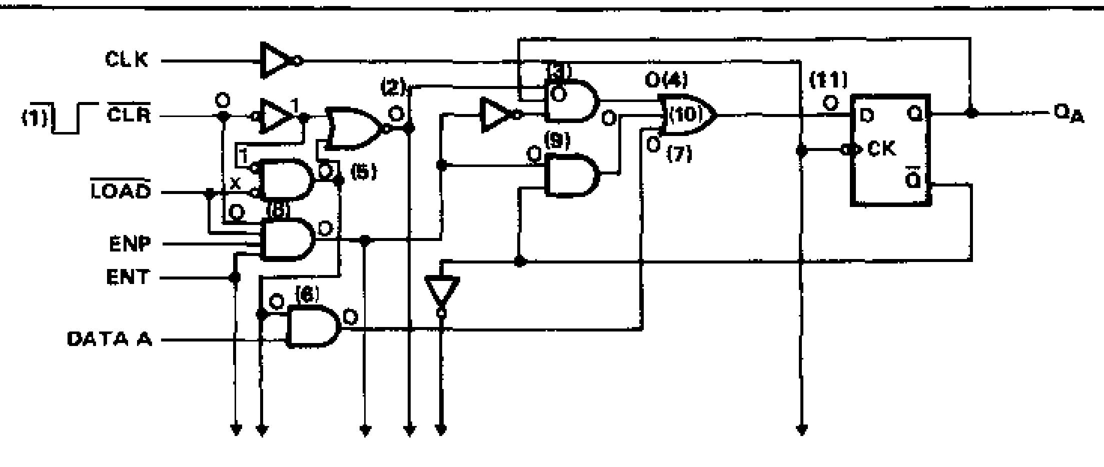
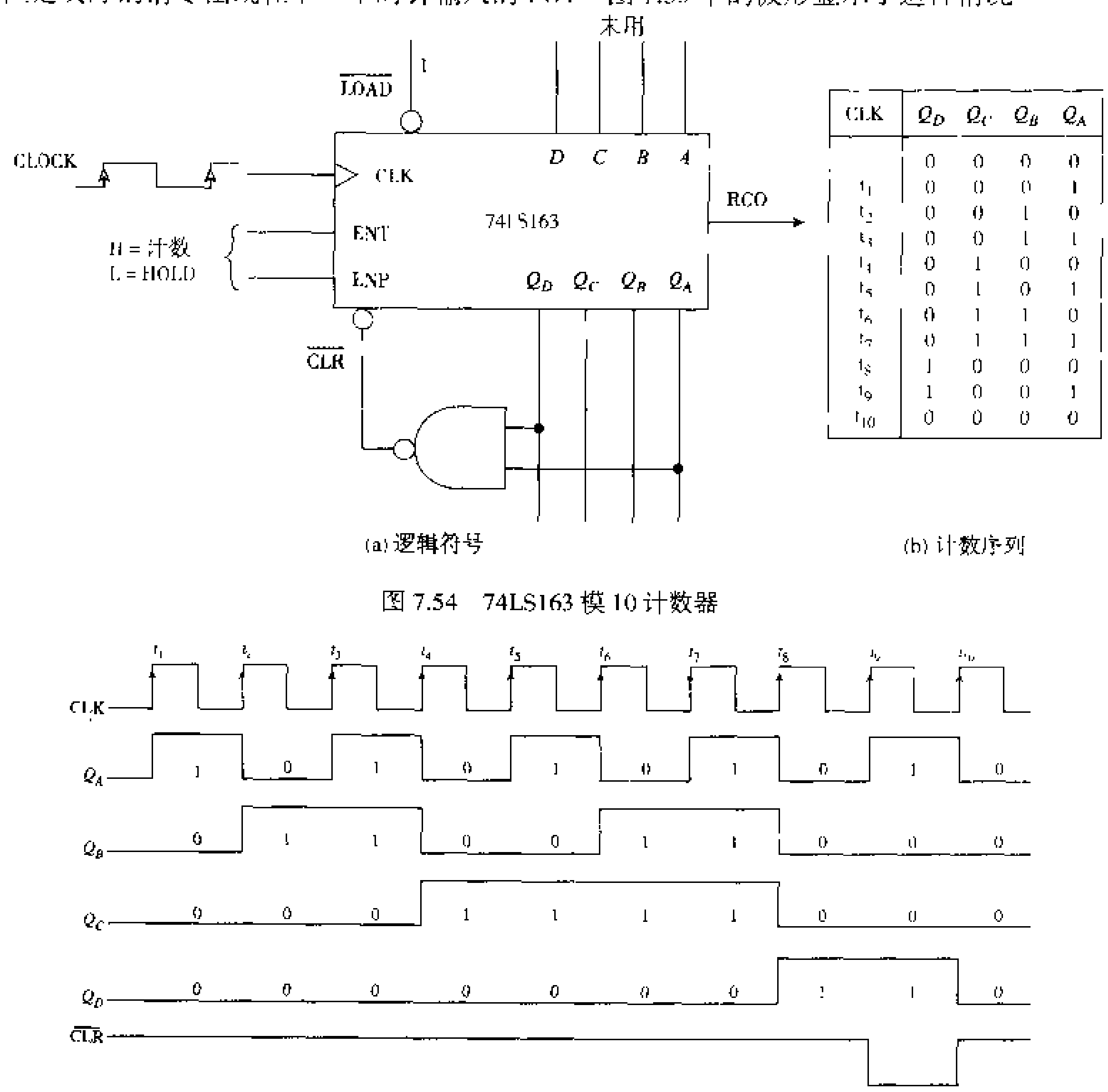


图7.53 74LS163计数器的LSB部分

图7.52中的脉动进位输出RCO在输出为1111时为高电平。ENT输入端用于计数，并使与门有效，从而产生了RCO脉冲。这个RCO脉冲信号的持续时间与Q_A输出的高电平时间相同。

改变模值。74LS163计数器可以通过前面提及的截位电路进行截位。按照常规的截位电路方式，将希望的最大计数中为高电平的位和与非门（NAND）连接，如图7.54(a)所示的模10计数器。本章前面提到过的计数器都属于异步清零，所以，当$\overline{CLR}$输入有效时，它的输出数据立刻复位为0000。但在这里，因为该计数器是同步清零的，所以要将最大计数值中所有为高电平的位接入截位电路，而不是将所要达到的模值中为高电平的位接入截位电路。图7.54(b)中的计数序列显示，即使Q_A和Q_D与与非门连接，二进制计数1001也将显示一个周期。这是因为当数据1001出现时，$\overline{CLR}$输入有效，但是实际的清零出现在下一个时钟输入的PGT。图7.55中的波形显示了这种情况。



CLK	Q_D	Q_C	Q_B	Q_A
	0	0	0	0
t_1	0	0	0	1
t_2	0	0	1	0
t_3	0	0	1	1
t_4	0	1	0	0
t_5	0	1	0	1
t_6	0	1	1	0
t_7	0	1	1	1
t_8	1	0	0	0
t_9	1	0	0	1
t_{10}	0	0	0	0

图7.54　74LS163模10计数器

图7.55　74LS163模10计数器的波形

图7.56显示了利用预置将74LS163接为模10计数器的另一种方法。因为预置和清零过程都是同步的，所以必须在$\overline{LOAD}$有效时将二进制数0110预置。

操作模式。图7.57(a)和图7.57(b)分别为该计数器的逻辑符号和波形。逻辑符号显示该计数器预置输入为$1100_{(2)}$。波形显示了74LS163的不同操作模式。这些波形与74LS161很相似，惟一不同的是74LS161是模4二进制异步计数器。下面是74LS163的计数序列。

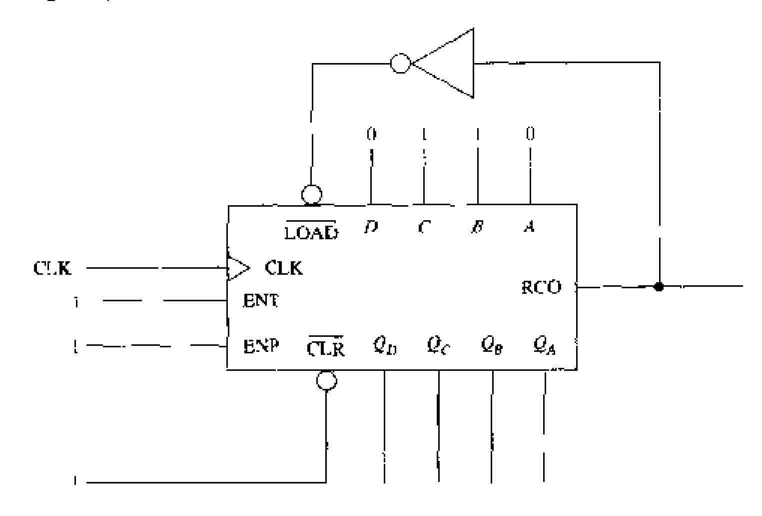
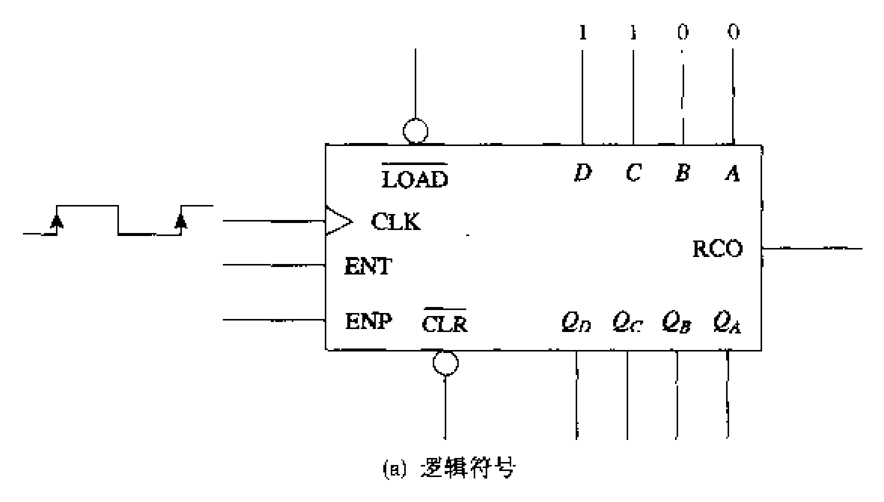


图 7.56 74LS163 模 10 计数器的预置

1. CLR 有效，计数器在下一个时钟脉冲的 PGT 时刻输出为 0000。
2. LOAD 有效。计数器在下一个时钟脉冲的 PGT 预置计数值 1100。
3. ENT 和 ENP 有效（均为高）。计数器从 1100 开始计数，接着为 1101、1110，1111，0000，0001 和 0010。
4. 在计数器为 0010 之后，ENP 很快变为低电平，与门与 Q_A 输出端相连使输出信号 Q_A 循环，从而使计数器处于 HOLD 模式。
5. ENP 有效且 ENT 为低电平，计数器处于 HOLD 模式。

74LS163 IC 级联。图 7.58 所示为两个 74LS163 IC 级联为模 256 计数器（模 16 × 模 16）。该计数器使用 RCO 脉冲使高一级计数器工作；每当 RCO 为高电平时，第二个计数器依次递增。由 74LS163 的数据表可知，这种计数器从 ENT 到 RCO 存在 9 ns（典型值）的传输延迟。当计数器级联时该延迟也将累加，使得最大工作频率降低。当计数器级联超过两个时，f_{max} 的公式为：1/（CLK 到 RCO 的时间 t_{PLH}）+（ENT 到 RCO 的时间 t_{PLH}）（$N-2$）+（ENT t_{su}）。

在图 7.59 中，因为消除了 ENT 接 RCO 带来的传输延迟，所以克服了频率受限的问题。因为 RCO 接 ENP 而不是 ENT，所以可得到预期的结果。注意，在该计数器的逻辑图中（图 7.52），ENP 并没有通过与门与 RCO 连接，所以该电路的最大工作频率为 1/（CLK 到 RCO 的 t_{PLH}）+（ENP t_{su}）。因为时钟输入同步，并且使用了第二个计数器的 ENP，所以当 74LS163 IC 级联时将不会产生附加延迟。



(a) 逻辑符号

图 7.57 74LS163 计数器

(b) 时序图

图 7.57（续） 74LS163 计数器

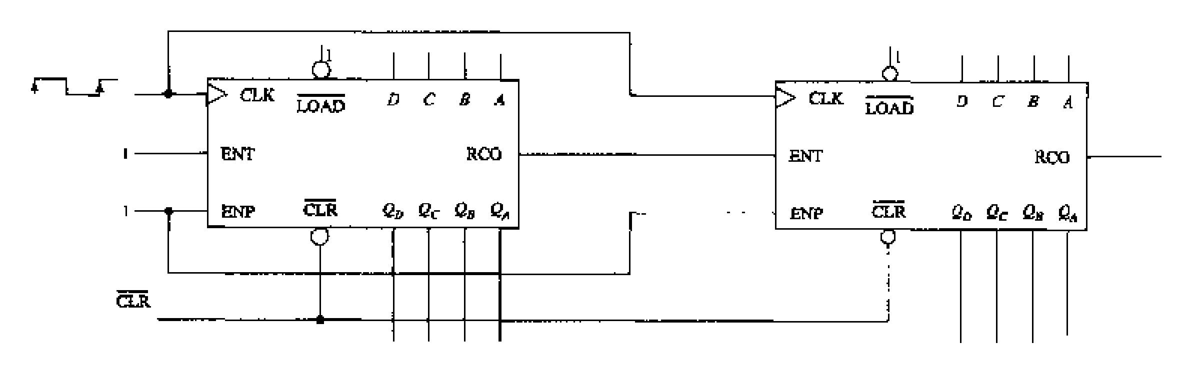


图 7.58 74LS163 IC 的 RCO 接 ENT 组成的模 256 级联计数器

74LS90

74LS90 IC 是同步可逆的加 / 减 BCD 计数器。这个计数器的逻辑符号和功能表如图 7.60 所示。

图 7.60(b) 中的功能表显示了当 $\overline{\text{LOAD}}$ 有效时计数器可以异步预置 BCD 数。除非计数使能输入（$\overline{\text{CTEN}}$）为低电平时，否则计数器将不会计数。Down/$\overline{\text{Up}}$（D/$\overline{\text{U}}$）输入端控制着计数的方向。当该输

入为高电平时，计数器进行减计数；当该输入为低电平时，计数器进行加计数。LOAD和CTEN必须如功能表所示处于正常电平，才能允许计数器计数。

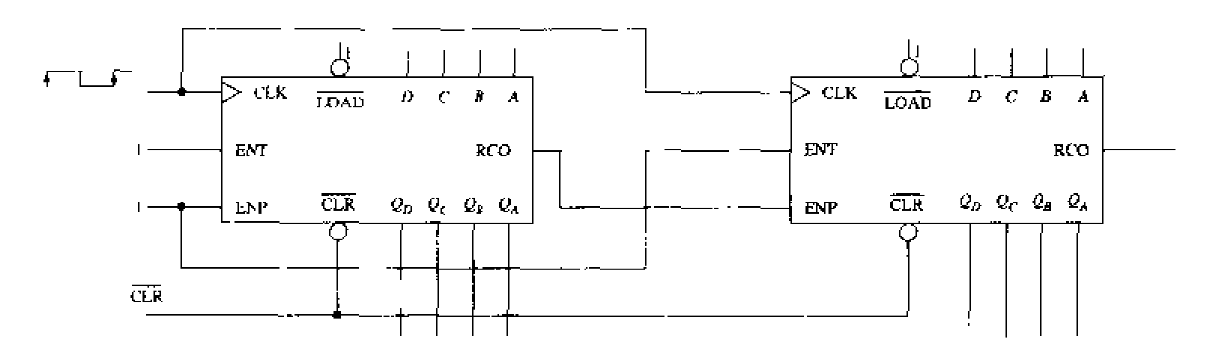
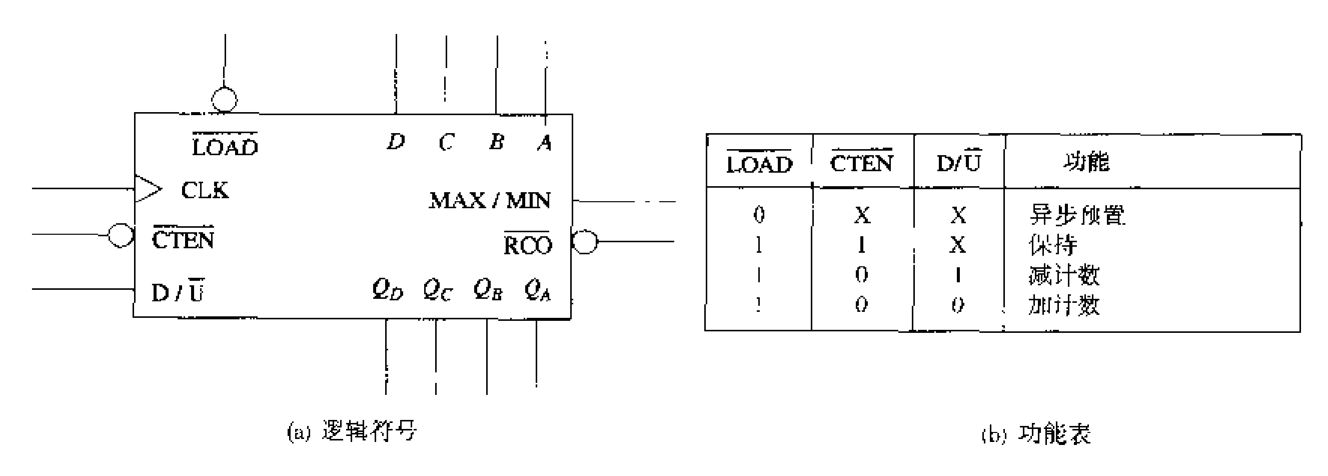


图 7.59 74LS163 IC 的 RCO 接 ENP 组成的模 256 级联计数器



LOAD	CTEN	D/U	功能
0	X	X	异步预置
1	1	X	保持
1	0	1	减计数
1	0	0	加计数

(a) 逻辑符号 (b) 功能表

图 7.60 同步加 / 减可逆 BCD 计数器 74LS190 IC

计数器的模值由预置的输入数据决定，利用RCO使LOAD输入有效，从而预置计数器。图7.61显示的输入预置数据为BCD 0011。与74193计数器的结构相同，将CO与LOAD输入相连；并且计数器的预置条件也与之相同。计数终值1001和预置数0011都只持续半个时钟周期，因此图7.61所示的计数器为模6计数器：

0011 ------------------------------- LOAD
0100 ------------------------------- t_1
0101 ------------------------------- t_2
0110 ------------------------------- t_3
0111 ------------------------------- t_4
1000 ------------------------------- t_5
1001 ------ 0011 ------------------ t_6

74LS190 计数器有两个输出，能级联多个计数器。这两个输出是最大 / 最小（MAX/MIN）计数输出和脉动时钟输出（RCO）。

MAX/MIN 计数输出是高电平有效。MAX/MIN 电路如图 7.62(a)所示。在二进制数 1001 处，加计数器产生输出脉冲。在二进制数 0000 处，减计数器产生输出脉冲。

脉动时钟输出（RCO）信号是低电平有效。产生该脉冲的逻辑门如图 7.62(b)所示。如果CTEN = 0 且时钟输入也为低电平，那么当计数终值 1001（加计数）或 0000（减计数）产生高电平MAX/MIN 输出时，就产生了该脉冲。

MAX/MIN 和 $\overline{RCO}$ 的波形如图7.63所示。加计数器的工作波形如图7.63(a)所示，减计数器的工作波形如图7.63(b)所示。

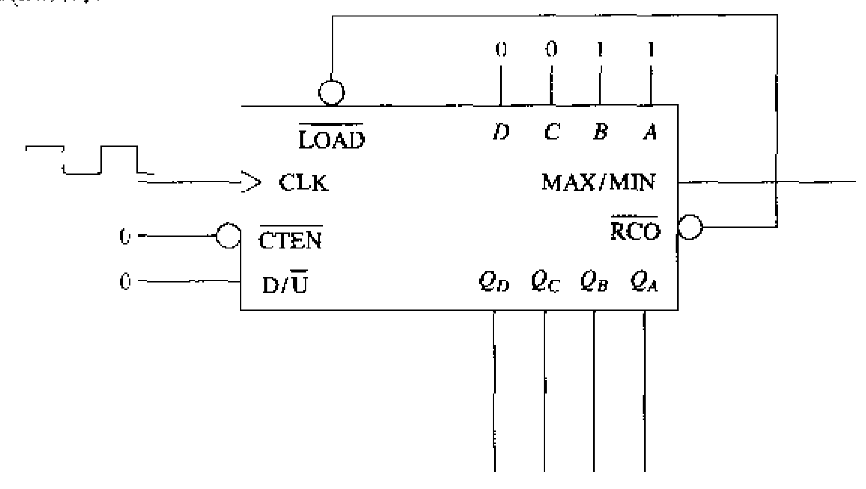
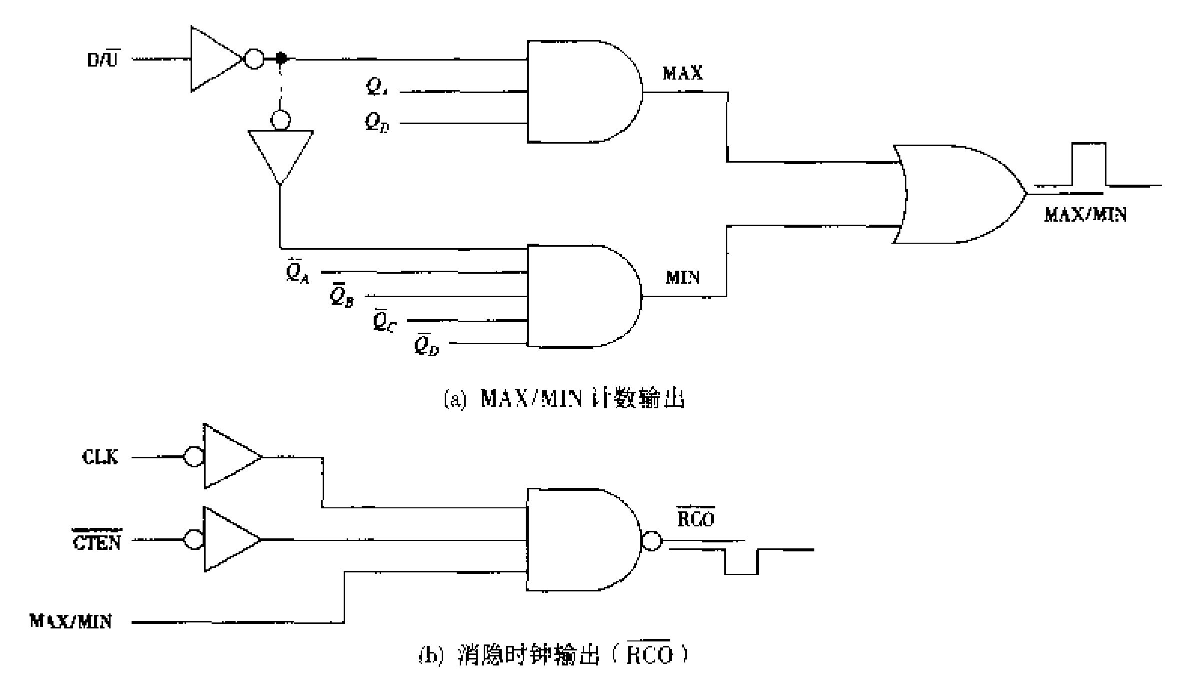


图7.61 模6加计数器74LS190



(b) 消隐时钟输出（$\overline{RCO}$）

图7.62 74LS190计数器，终值计数逻辑电路

加计数器从 t_9 到 t_{10} 的MAX/MIN输出信号如图7.63(a)所示。减计数器从 t_{10} 到 t_{11} 的MAX/MIN输出信号如图7.63(b)所示。尽管输出信号看起来有些不同，但是两种输出波形的显示则没有什么不同。每第10个时钟脉冲，计数器完成一次完整的计数循环。加计数器由0001开始计数，在 t_{10} 复位为0000，该计数器有10种状态。减计数器由1001开始计数，在 t_{10} 复位为0000。因此，直到MAX/MIN有效（t_9，t_{19}，t_{29} 等），每第10个时钟脉冲使加计数器依次递增；同样，直到MAX/MIN有效（t_{10}，t_{20}，t_{30} 等），每第10个时钟脉冲使减计数器依次递减。

74LS190 IC级联。 图7.64显示了74LS190 BCD计数器级联的两种方法。这些结构将产生模100计数器。图7.64(a)中的结构使用了并行时钟控制。当 $\overline{CTEN}$ 有效时，$\overline{RCO}$ 使高一级计数器计数。每当低一级计数器计数到终值计数1001时，$\overline{RCO}$ 输出低电平，从而使高一级计数器依次加1。

图7.64(b)中的电路使用的是串联时钟控制。$\overline{RCO}$作为高一级计数器的时钟。这里MAX/MIN输出端也能代替RCO。MAX/MIN输出端产生超前进位信号，从而允许高速计数。

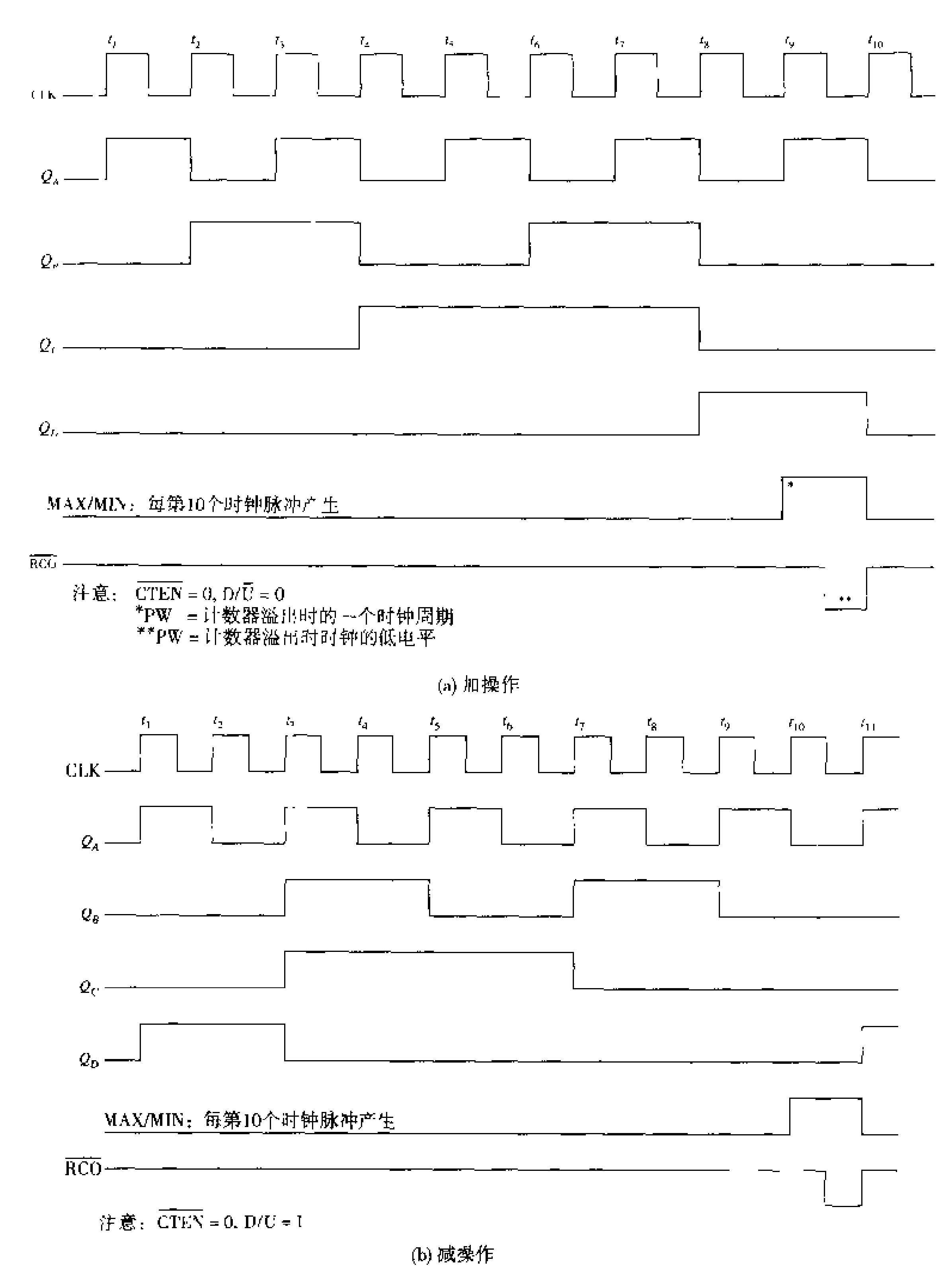


图7.63 74LS190时序图

因为它们都是BCD码计数器，所以这两个计数器都能计数到$99_{(10)}$。图7.65显示的是到$10_{(10)}$的数据。这些计数器的BCD输出能够在7段码显示器上类似于数字钟而显示出来。

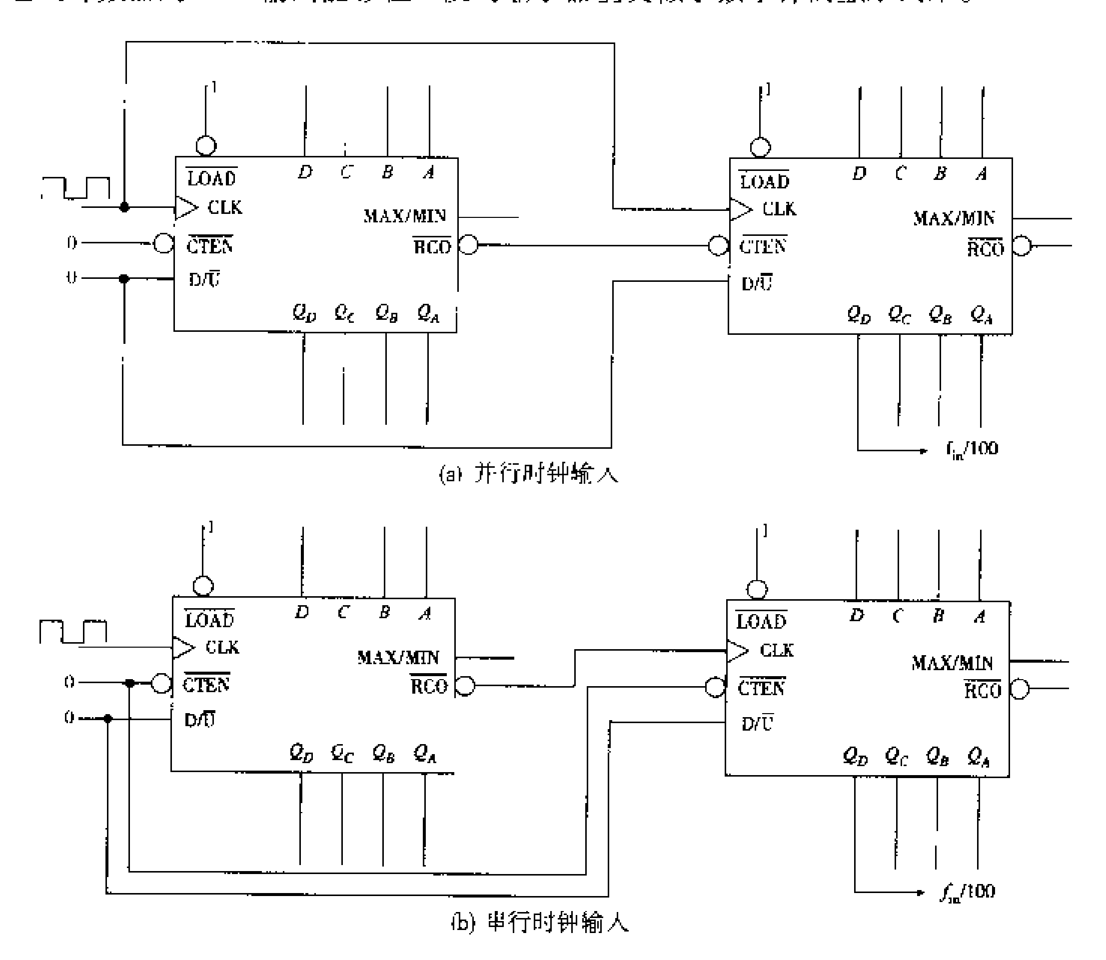


图7.64　级联的模100 74LS190 BCD码加计数器

BCD		DEC	显示器
MSD	LSD		
0000	0000	00	
0000	0001	01	
0000	0010	02	
0000	0011	03	
0000	0100	04	
0000	0101	05	
0000	0110	06	
0000	0111	07	
0000	1000	08	
0000	1001	09	
0001	0000	10	

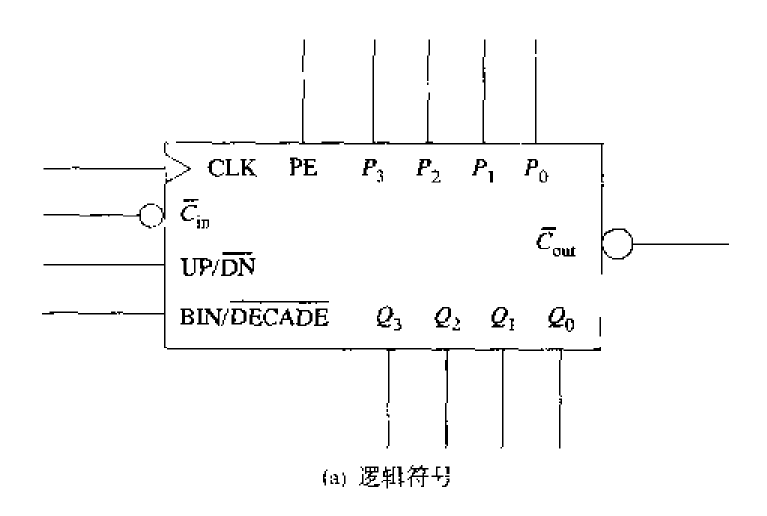
图7.65　级联的模100计数器序列

4029

4029 IC是同步二/十可逆CMOS计数器。该计数器是由D触发器和逻辑门构成的，从而保证正常的翻转操作。4029的逻辑符号和功能表如图7.66所示。该计数器的功能表比74LS190更复杂，

但是功能更多. 4029可以加计数到1111、或者从1111减计数到0000. 另外，它能对BCD码进行加或减计数

图7.66(b)所示的功能表显示当预置使能端（PE）为高电平时，可以设置计数器的模值. 利用预置输入端（P_3~P_0）可以异步预置二进制码或BCD码. 当PE输入有效时. 该输入优先于计数器的其他输入



(a) 逻辑符号

PE	BIN/$\overline{DEC}$	UP/$\overline{DN}$	$\bar{C}_{in}$	CLK	功能
1	X	X	X	X	预置
0	1	1	0	↑	二进制加计数
0	0	1	0	↑	十进制加计数
0	1	0	0	↑	二进制减计数
0	0	0	0	↑	十进制减计数
0	X	X	1	X	不计数-保持

(b) 功能表

图7.66 同步二/十可逆CMOS计数器4029

计数方向（加/减）由Up/$\overline{\text{Down}}$（UP/$\overline{\text{DN}}$）输入端控制。当输入高电平时，计数器加计数；当输入低电平时，计数器减计数。如果BIN/$\overline{\text{DECADE}}$输入和Up/$\overline{\text{Down}}$输入同时为高电平，计数器计数到1111。如果BIN/$\overline{\text{DECADE}}$输入为低电平，Up/$\overline{\text{Down}}$输入为高电平，计数器计数到1001。注意，对于计数器计数，$\overline{\text{Carry In}}$（$\bar{C}_{in}$）输入必须为低电平。如果$\bar{C}_{in}$= 1，那么计数器将停止计数，因为计数器的LSB触发器禁止翻转。

在二进制加法计数过程中，当计数到终值$1111_{(2)}$时，$\overline{\text{Carry Out}}$信号变为有效的低电平。在十进制加法计数过程中，当计数到终值$1001_{(BCD)}$时，$\overline{\text{Carry Out}}$信号变为低电平。在二进制和BCD的减计数中，在0000时该信号有效。$\overline{\text{Carry Out}}$（$\bar{C}_{out}$）信号的产生已在第5章中详细讨论过了。

图7.67所示的电路，是由两个级联的4029计数器组成的一个25分频的BCD减计数器。注意，预置输入为$25_{(10)}$ = $0010\ 0101_{(BCD)}$。LSD计数器的$\bar{C}_{out}$与MSD计数器的$\bar{C}_{in}$相连。当LSD计数到0000的时候，MSD计数器的C_{in}有效，允许MSD计数器在下一个时钟脉冲的PGT上进行减1计数。两个计数器的$\bar{C}_{out}$信号与截位电路的或非门相接。当两个计数器减计数到计数终值的时候，两个低电平输入使或非门输出高电平。这个输出与两个计数器的PE输入相连。PE有效时，将计数器预置$25_{(10)}$，新的减计数重新开始。

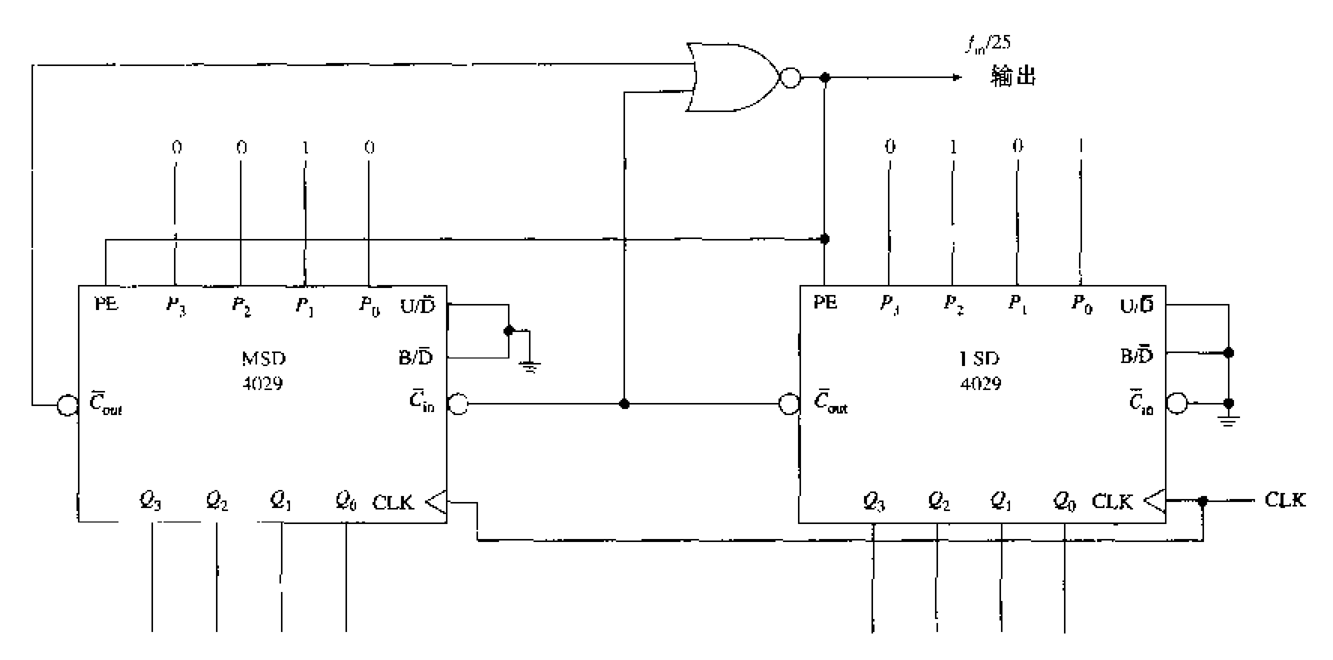


图 7.67 4029 IC 组成的模 25 BCD（十进制）级联减计数器

如图 7.68 所示的 4029 时序图将有助于读者对计数器的理解。该计数器由清零（CLEAR）状态开始，加计数到 $1001_{(BCD)}$。计数器在十进制计数时，C_{out} 输出有效信号。在下一个时钟的 PGT 之前，Up/$\overline{Down}$ 输入为低电平，这使得计数器反向，计数器在每个时钟的 PGT 减计数到 0000。这种计数使 C_{out} 再一次输出低电平信号。在下一个 PGT 之前，$\overline{C}_{in}$ 输入高电平，计数器停止计数。在下一个 PGT 中，计数器复位到 $1001_{(BCD)}$，准备进行下一次减计数。总之，PE 有效，计数器异步预置 $0110_{(BCD)}$。当 Up/$\overline{Down}$ 输入高电平时，计数方向变为加计数。对时序图的分析显示了计数器的各种输入变化对输出波形的影响。

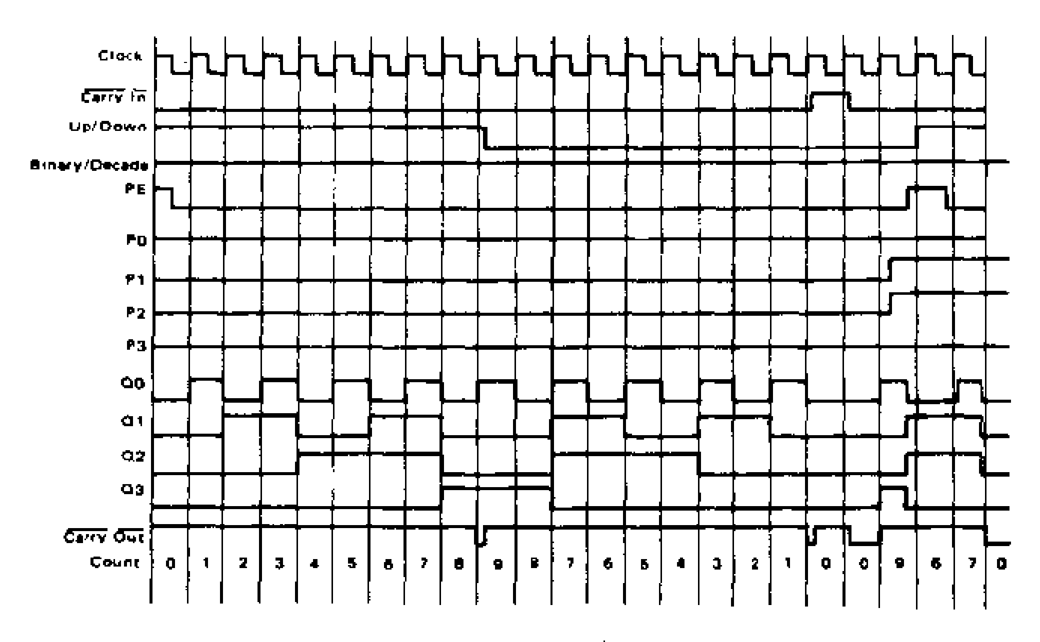


图 7.68 4029 时序图

4040

4040 IC是12位二进制CMOS加计数器。如图7.69所示为IC的逻辑符号，该计数器包括时钟输入的波形整形电路。这种输入电路将使用120 Vac正弦波，并使振幅减少，然后平方，使它能够作为计数器的时钟输入。4040的计数值高达4095（$2^{12}-1$）。

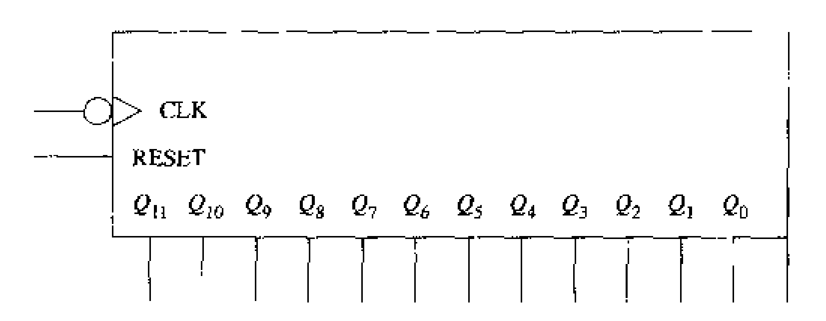


图7.69 12位二进制CMOS加计数器4040的逻辑符号

图7.70所示计数器是一个3600分频的电路。这种电路的输入直接接在标准的120 Vac、60 Hz的电线上。3600即111000010000_2，因为对应于这个数的Q_4、Q_9、Q_{10}和Q_{11}引脚为高电平，所以将这些引脚与截位逻辑门相连。当到达这个数据时，与门输出为高电平，并且异步复位。3600分频过程将60 Hz输入转换为每分钟输出一个脉冲

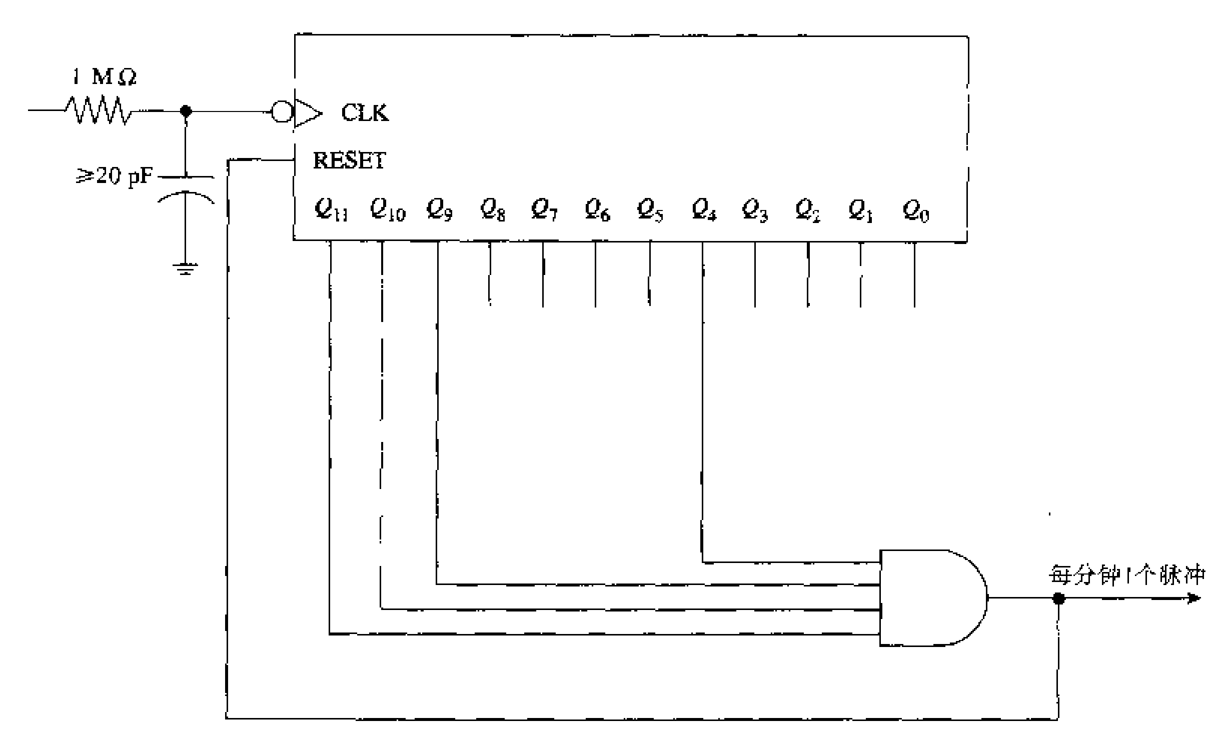


图7.70 计数器4040组成的模3600电路

商用同步可编程计数器有很多种。这些计数器的使用范围很广而且价格便宜。利用数据表可以查阅计数器的性能和参数。下一节将详细介绍同步计数器的设计。

7.5节复习题

A. 可编程计数器的模值可通过预置初始值进行设置。

a. 对

b. 错

必要时，可以查阅数据表回答下列各题：

B. 如图 7.71 所示，当 LOAD 被置有效时，计数器将不计数.

a. 对

b. 错

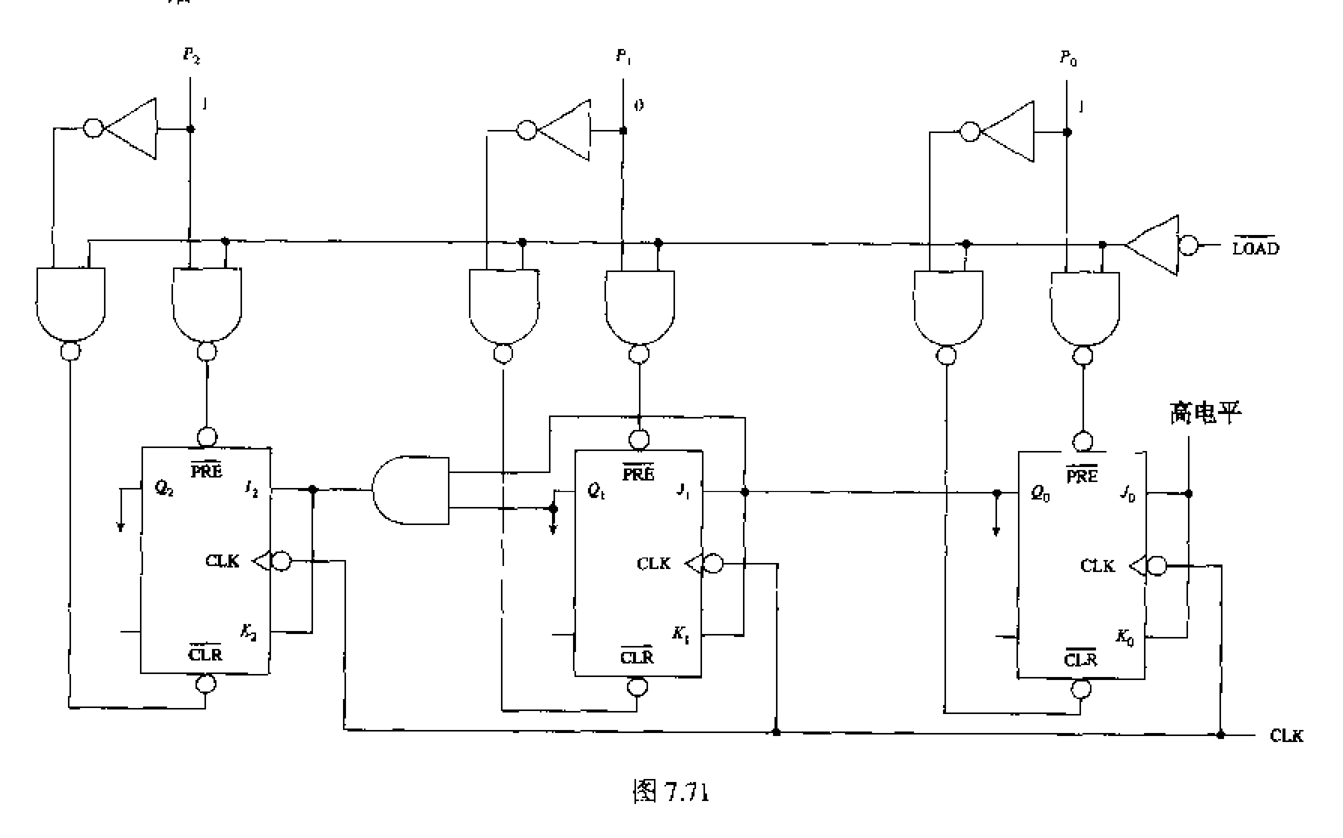


图 7.71

C. 如图 7.71 所示，如果 $\overline{LOAD}$ 有效，计数器的计数结果是什么？若为高电平，那么结果是什么？计数器输入 5 个时钟脉冲时，结果又是什么？

D. 74LS193 IC 的结构如图 7.72 所示，将它配置成模 7 减计数器。标出输入时钟脉冲。

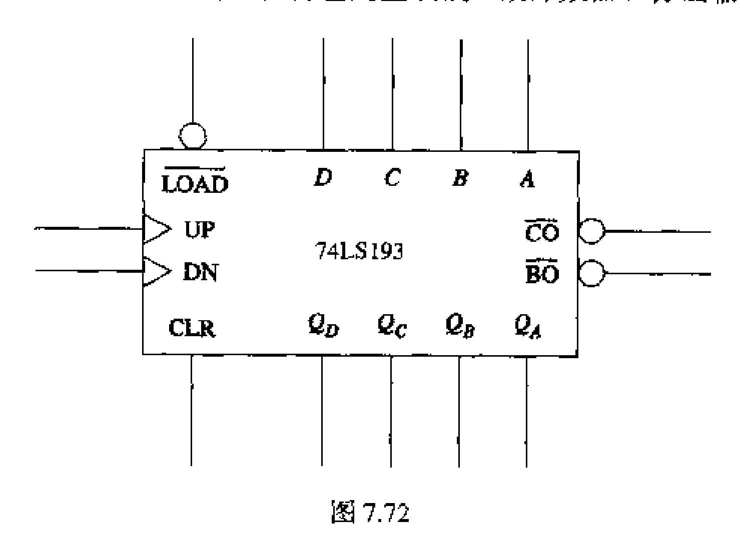


图 7.72

E. 将 74LS193 IC 配置成模 7 加计数器，如图 7.72 所示。标出输入时钟脉冲。

F. 指出如何将74LS163 IC级联成模100加计数器。

G. 图7.73所示为74LS190 IC的逻辑符号。将逻辑电平加到哪一个输入端，可以使计数器进行BCD减计数？
(1) $\overline{\text{LOAD}}$
(2) $\overline{\text{CTEN}}$
(3) D/$\overline{\text{U}}$
(4) CLK

H. 在图7.73中，74LS190的MAX/MIN输出是________输出。
(1) 低电平有效
(2) 高电平有效

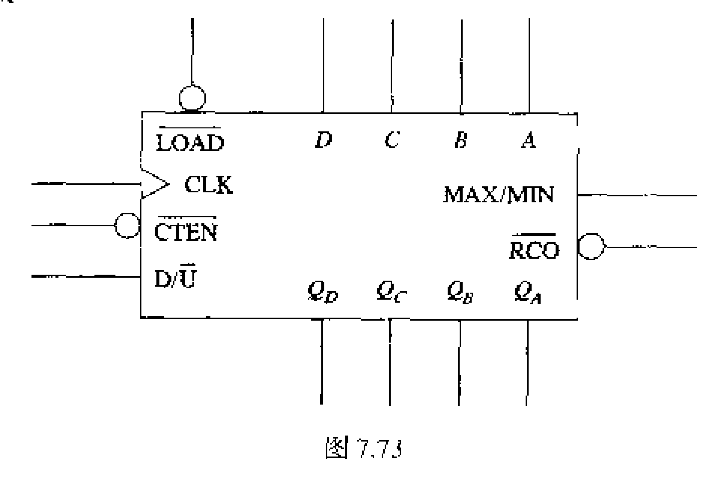


图7.73

I. 在图7.73中，74LS190的MAX/MIN输出在加计数到________时被置有效。
(1) 0111
(2) 1001
(3) 1111

J. 图7.74显示了4029 CMOS计数器的逻辑符号。将逻辑电平加到哪个输入端，可以使计数器进行二进制减计数？
(1) PE
(2) BIN/$\overline{\text{DECADE}}$
(3) UP/$\overline{\text{DN}}$
(4) CLK

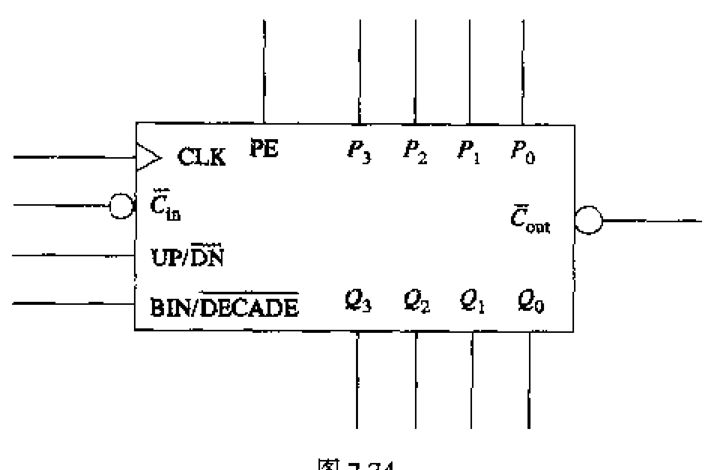


图7.74

阶段性小结（7.3节～7.5节）

在同步计数器中，所有的计数触发器利用一条公用的时钟线同时提供时钟信号。这种时钟方式消除了异步（脉动）计数器中瞬时误码的问题。

同步计数器的设计和结构比异步计数器复杂。LSB触发器是同步计数器中惟一一个通过硬件连接的触发器，在每个有效时钟转换时刻发生翻转。利用附加的门电路来控制其他触发器的翻转。

同步计数器不像异步计数器那样产生附加延迟，因此，它们的时钟频率比异步计数器高。

模10计数器通常都是BCD或十进制计数器。计数器通过1001复位到0000。这些计数器经常用来产生可译码的输出，也可用来驱动7段码显示器产生十进制读数输出。

同步计数器可以设计为加或减计数，理论上与异步计数器设计计数方向的方法一样。在利用Q输出构成的加计数器和利用$\bar{Q}$输出构成的减计数器中，加/减计数是通过逻辑门来控制翻转方式的。

很多可编程计数器允许用户设置计数方向，并对二进制或十进制计数操作进行编程。另外，用户为了控制其模值，可以对计数器进行预置。大部分计数器是异步装入的，但是在某些IC中是同步装入的。

许多可编程计数器都有用于几个IC级联而不需附加逻辑门的输出端。这些输出有的是低电平有效，有的是高电平有效。很多计数器都有超前进位，这将使它们可以在更高的频率下工作。

本章介绍了同步计数器的主要特征。混合计数器将同步和异步特征结合在一起，我们将在7.7节介绍这些计数器。所有种类的计数器的其他特征都在制造商的数据表中有详细的叙述。在设计和选择IC时，因为无法记住不同特性的计数器的详细参数，所以这些数据表是非常有用的。

阶段性练习（7.3节～7.5节）

参照制造商数据表回答下列各题。

1. 如果计数器中所有的触发器同时输入一个公用的时钟，该计数器是________。
   a. 同步的
   b. 异步的
2. 当模值相同时，异步计数器的时钟频率一般比同步计数器的时钟频率高。
   a. 对
   b. 错
3. 同步计数器使用外加的逻辑门来控制触发器的翻转操作。
   a. 对
   b. 错
4. 图7.75中的计数器是________。
   a. 模10异步加计数器
   b. 模16异步加计数器
   c. 模10同步加计数器
   d. 模16同步加计数器
5. 图7.76中的计数器是________。
   a. 模8异步加计数器
   b. 模10异步加计数器
   c. 模8同步减计数器
   d. 模10同步减计数器

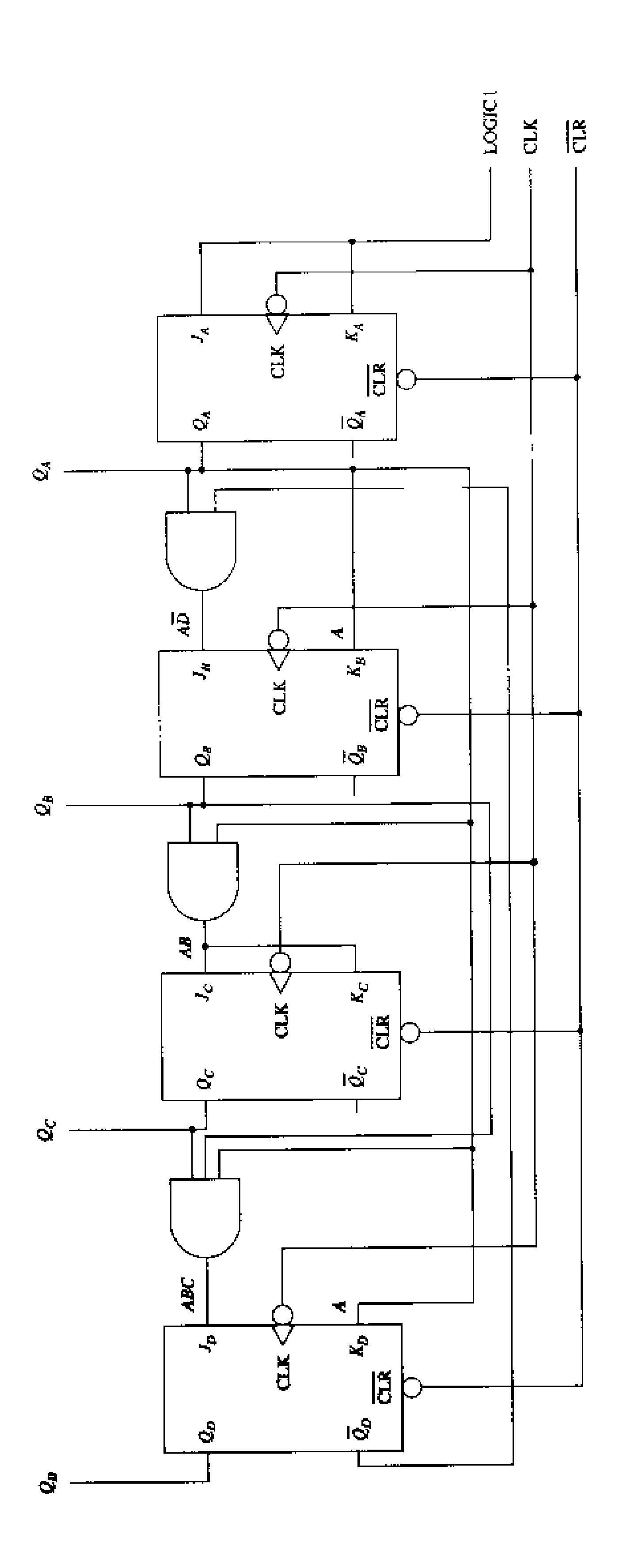

LOGIC1
CLK
CLR
J_A
CLK
K_A
CLR
Q_A
Q_A
Q_A
AD
A
J_B
CLK
K_B
CLR
Q_B
Q_B
Q_B
AB
J_C
CLK
K_C
CLR
Q_C
Q_C
Q_C
ABC
A
J_D
CLK
K_D
CLR
Q_D
Q_D
Q_D

图7.75

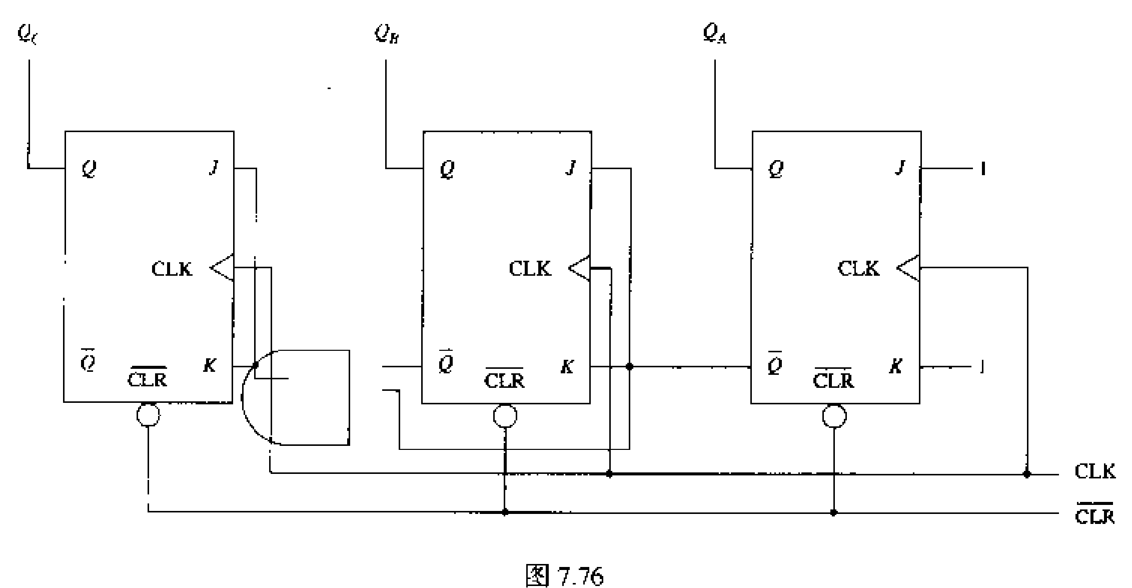


图 7.76

6. 图 7.77 中的计数器的模是多少?
   a. 2
   b. 3
   c. 5
   d. 6
7. 图 7.77 中的电路是一个________计数器。
   a. 加
   b. 减
8. 图 7.78 中的级联计数器是一个模________加计数器。
   a. 16　　c. 100
   b. 60　　d. 256
9. 在图 7.78 中，当 74193 计数器计数到________时，$\overline{CO}$ 输出有效。
   a. 0000
   b. 1001
   c. 1010
   d. 1111
10. 截位减计数器 74LS193 的 MSB 的分频能力等于________。
   a. 10
   b. 16
   c. 预置数
   d. 计数终值
11. 在图 7.79 所示的 74LS163 计数器中，在 CLK 脉冲的 PGT 时刻，要将 A，B，C 和 D 输入的数据装入计数器，必须________。
   a. $\overline{CLR}=0$，$\overline{LOAD}=0$
   b. $\overline{CLR}=1$，$\overline{LOAD}=0$
   c. $\overline{CLR}=1$，$\overline{LOAD}=1$，ENP = 0
   d. $\overline{CLR}=1$，$\overline{LOAD}=1$，ENT = 1，ENP = 1

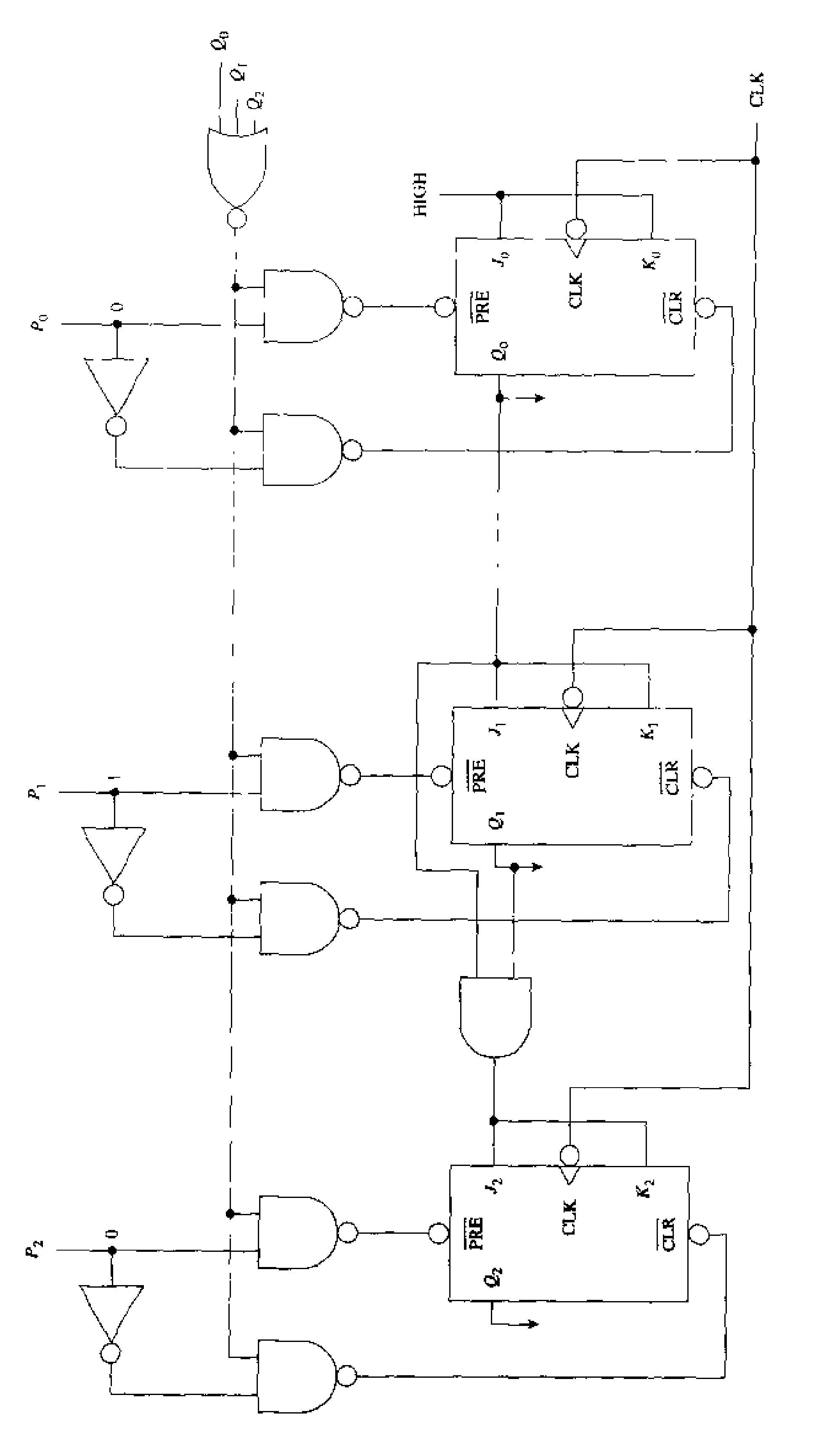

Q_0
Q_1
Q_2
CLK
HIGH
J_0
CLK
K_0
$\overline{PRE}$
$\overline{CLR}$
Q_0
P_0
0
J_1
CLK
K_1
$\overline{PRE}$
$\overline{CLR}$
Q_1
P_1
1
J_2
CLK
K_2
$\overline{PRE}$
$\overline{CLR}$
Q_2
P_2
0

图 7.77

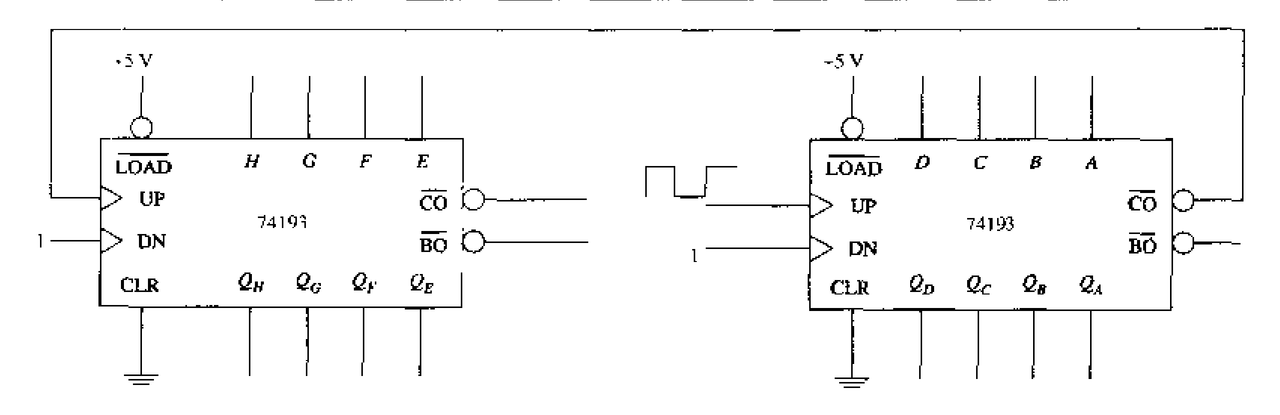


图 7.78

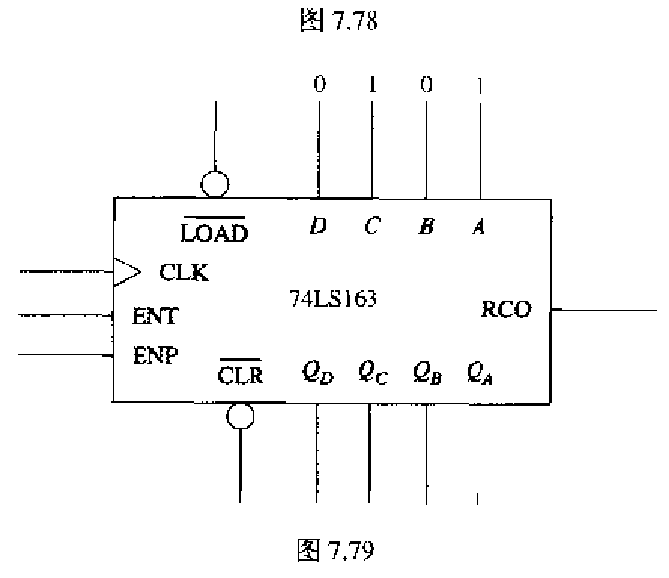


图 7.79

12. 在图 7.79 中，当________时，74LS163 停止计数。
    a. ENT = 0
    b. ENP = 0
    c. $\overline{\text{CLR}}$ = 0
    d. 以上都是
13. 在图 7.79 中，74LS163 的 $\overline{\text{LOAD}}$ 输入比 $\overline{\text{CLR}}$ 输入的优先级高。
    a. 对
    b. 错
14. 图 7.80 所示的电路是模________计数器。
    a. 8
    b. 9
    c. 10
    d. 12
15. 当图 7.81 所示的 74LS190 计数器的________时，在时钟的 PGT 时刻进行减计数。
    a. $\overline{\text{LOAD}}$ = 0，$\overline{\text{CTEN}}$ = 0，D/$\overline{\text{U}}$ = 0
    b. $\overline{\text{LOAD}}$ = 1，$\overline{\text{CTEN}}$ = 1，D/$\overline{\text{U}}$ = 1
    c. $\overline{\text{LOAD}}$ = 1，$\overline{\text{CTEN}}$ = 0，D/$\overline{\text{U}}$ = 0
    d. $\overline{\text{LOAD}}$ = 1，$\overline{\text{CTEN}}$ = 0，D/$\overline{\text{U}}$ = 1

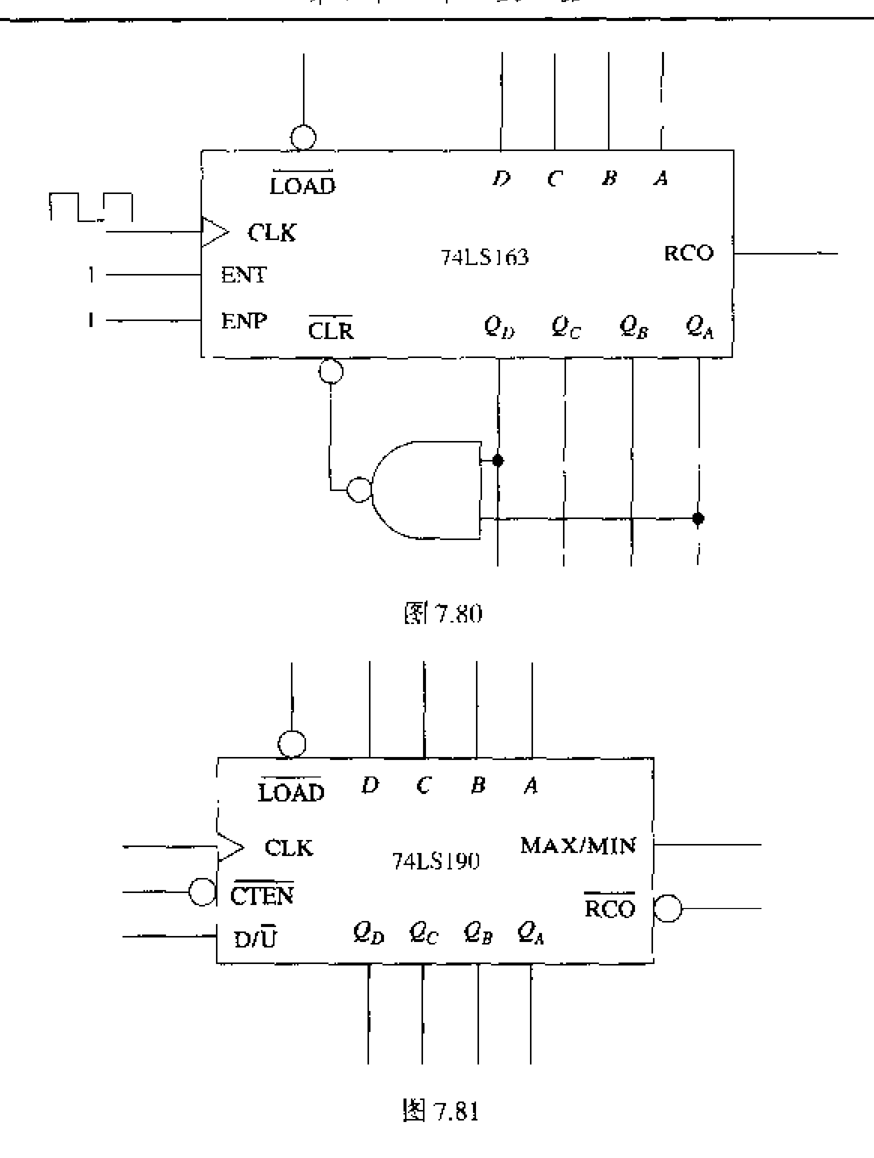


图 7.80

图 7.81

16. 在图 7.81 中，当 $\overline{\text{CTEN}}$ 为高电平时，74LS190 计数器将停止计数。
   a. 对
   b. 错
17. 图 7.81 中的 74LS190 的 $\overline{\text{RCO}}$ 是________。
   a. 低电平有效
   b. 高电平有效
18. 图 7.82 中的 4029 CMOS 计数器在 PE = 0，BIN / $\overline{\text{DECADE}}$ = 1，UP/ $\overline{\text{DN}}$ = 1，C_{in} = 0时，实现什么功能?
   a. 十进制加计数
   b. 二进制加计数
   c. 十进制减计数
   d. 二进制减计数
19. 图 7.82 中的 4029 CMOS 计数器在 PE = 0，BIN / $\overline{\text{DECADE}}$ = 0，UP/ $\overline{\text{DN}}$ = 0，C_{in} = 0时，实现什么功能?

a. 十进制加计数
b. 二进制加计数
c. 十进制减计数
d. 二进制减计数

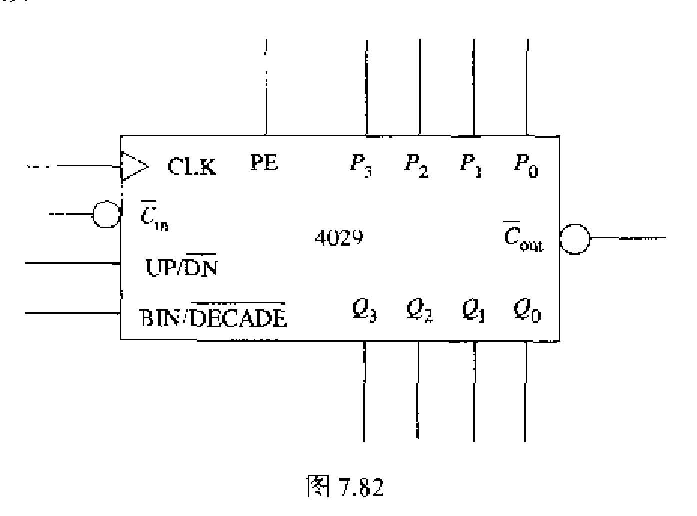


图 7.82

20. 图 7.82 中的 4029 CMOS 计数器在 PE = 0，BIN / $\overline{\text{DECADE}}$ = 0，UP/ $\overline{\text{DN}}$ = 0，$\overline{C}_{in}$ = 1 时，实现什么功能?
   a. 不计数
   b. 预置数
   c. 二进制减计数
   d. 十进制减计数

7.6 同步计数器的设计

要点

给出特定的计数序列，或给出希望的模值和使用的触发器的类型，设计同步计数器。

注意: 在基本的数字理论学习中，忽略本节并不影响读者对本书其他部分的学习。本节信息可在实践中获得。不过它对计数器的设计将有所帮助。

7.6.1 模 16 加计数器的设计

由希望的计数序列可以知道，需要什么样的翻转控制门来实现计数器，所以设计全程计数同步计数器相对比较简单。不过，当要求的模值不为 2 的整数次方时，同步计数器的设计将比较复杂。在简化这些设计问题时，卡诺图是一个很有用的工具。

模 16 同步加计数器的设计比较简单，这里的目的是通过讲解其利用卡诺图设计的方法来引入设计概念。

完成同步加计数器设计的第一步是写出状态表。模 16 计数器的现态（数据）记为 Q^n，如表 7.2 中 Q^n 列所示。该表显示了计数器希望得到的计数序列。

表 7.2 状态表

现态表	次态表
Q^n	(Q^{n+1})
0000	0001
0001	0010
0010	0011
0011	0100
0100	0101
0101	0110
0110	0111
0111	1000
1000	1001
1001	1010
1010	1011
1011	1100
1100	1101
1101	1110
1110	1111
1111	0000

下一步将完成次态表，次态表如表7.2所示。对于这个加计数器，次态表是在现态基础上加1得到的。

下一步需要利用转换表。J-K 触发器的转换表如表7.3所示。该表列出了触发器 Q 输出的现态（Q^n）变为次态（Q^{n+1}）时所需的 J 和 K 的逻辑电平。根据表7.3所示的转换表，上述的状态转换过程如图7.83所示。

表 7.3 J-K 触发器的状态转换表

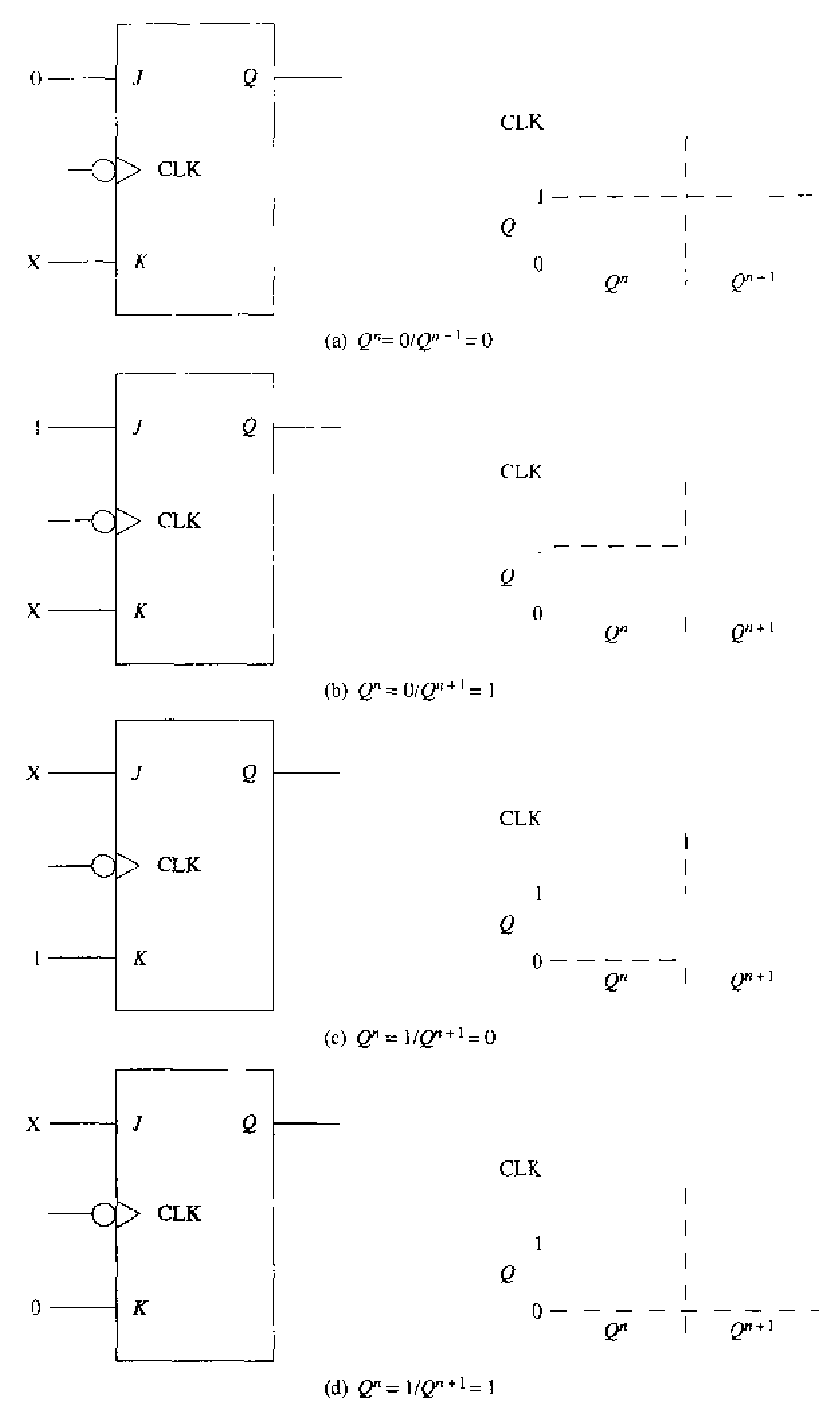
现态	次态	Q^{n+1} 要求的输入电平	
Q^n	(Q^{n+1})	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

如果 $Q^n=0$，且下一个状态（Q^{n+1}）需要保持为0，那么 J 必须为0。如果 K 为0，则触发器处于保持模式且保持为 $Q=0$。如果 K 为1，则锁存时触发器一直处于 CLEAR 状态且 $Q=0$。所以 K 是一个无关输入，这一点由图7.83(a)可知。

如果 $Q=0$，且下一个状态必须为1，由转换表可知 J 必须为1。如果 J 为1，K 为0，则锁存时触发器处于 SET 状态（$Q=1$）。如果 J 为1，K 为1，则锁存时触发器翻转到 SET 状态。这再次说明 K 是一个无关输入。上述转换如图7.83(b)所示。

由图7.83(c)可知，如果 $Q=1$ 且下一个状态必须为0，则由转换表可知 K 必须为1。如果上述条件成立且 J 为0，则锁存时触发器清零。如果 J 为1，K 为1，则锁存时触发器翻转为 CLEAR 状态。因此，J 是一个无关输入。

最后一种转换情况是 $Q=1$ 且下一个状态必须保持为1。此时也要利用第一个例子的逻辑。无论哪种情况（$J=0$ 或 $J=1$），触发器都保持在 SET 状态，如图7.83(d)所示。



(a) $Q^n=0/Q^{n+1}=0$

(b) $Q^n=0/Q^{n+1}=1$

(c) $Q^n=1/Q^{n+1}=0$

(d) $Q^n=1/Q^{n+1}=1$

图 7.83 状态转换

部分设计表如表7.4所示。这张表将现态表（Q^n）和次态表（Q^{n+1}）以及数据转换表放在一起。完成设计表时一定要非常细心，一个时刻只能完成一行。当把转换表放到设计表中（表7.4）时，需要经常使用转换表（表7.3）。

为简单起见，部分设计表（表7.4）仅仅完成了从现态0000到次态0001的转变过程。下面给出其完整的设计表。

按照下面的方法将转换表（表7.3）中的 J 和 K 数据放到设计表（表7.4）中

表7.4 部分设计表

现态	次态	数据转换表							
Q^n	Q^{n+1}	Q_D		Q_C		Q_B		Q_A	
$Q_DQ_CQ_BQ_A$	$Q_DQ_CQ_BQ_A$	J	K	J	K	J	K	J	K
0 0 0 0	0 0 0 1	0	X	0	X	0	X	1	X

第四步　第三步　第二步　第一步

第一步：由转换表（表7.3）可知，当 $Q_D^n=0$ 和 $Q_D^{n+1}=0$ 时，$J=0$、$K=X$。该数据与MSB有关，所以将它放在表7.4的 Q_D 列。

第二步：当 $Q_C^n=0$ 且 $Q_C^{n+1}=0$ 时，$J=0$，$K=X$

第三步：当 $Q_B^n=0$ 且 $Q_B^{n+1}=0$ 时，$J=0$，$K=X$

第四步：当 $Q_A^n=0$ 且 $Q_A^{n+1}=1$ 时，$J=1$，$K=X$

对于现态0000（行）的每个 Q，该程序将数据输入设计表的转换表数据部分。完成这些后，同样也可以填入对应于其他几个状态的输入数据。

读者也许希望一次完成一列所有的数据。此时，每行所有的 Q_D 数据应一起完成，然后是 Q_C，依次类推。这两种方法都可以使用。

表7.5是模16同步加计数器完整的设计表，先验证 Q_A 列数据。当 $Q^n=0000$，$Q^{n+1}=000\underline{1}$ 时，可以看出 Q_A 必须从0变为1。转换表显示，在有效的时钟转换时，Q^{n+1} 要求 $J=1$ 且 $K=X$。将转换表中对应于 J 和 K 的数据放到设计表的 Q_A 列。因为利用卡诺图设计电路时要将 J 和 K 的条件分开填入，所以 J 和 K 不能颠倒，这是很重要的。

下一个计数显示 $Q^n=000\underline{1}$，$Q^{n+1}=001\underline{0}$。由转换表可知，$J=X$，$K=1$，以便假设 $\bar{Q}^{n+1}$ 状态。该信息（$J=X$ 和 $K=1$）放在 Q_A 列，与 $Q^n=0001$ 那一行对齐。读者可以自行推导这一列余下的变换，以加深理解。

在验证 Q_A 列后，验证 Q_B 列的设计。最后验证剩下的两列。可以从 Q_D 列开始到 Q_A 列完成设计表。

这个过程看起来好像很繁琐，但是一旦设计过一次，以后就很容易进行。不过，因为一旦这里出错，将使设计的计数器不合适，所以必须小心。

表 7.5　模 16 设计表（J–K 触发器）

现态	次态	数据转换表							
Q^n	Q^{n+1}	Q_D		Q_C		Q_B		Q_A	
$Q_DQ_CQ_BQ_A$	$Q_DQ_CQ_BQ_A$	J	K	J	K	J	K	J	K
0000	0001	0	X	0	X	0	X	1	X
0001	0010	0	X	0	X	1	X	X	1
0010	0011	0	X	0	X	X	0	1	X
0011	0100	0	X	1	X	X	1	X	1
0100	0101	0	X	X	0	0	X	1	X
0101	0110	0	X	X	0	1	X	X	1
0110	0111	0	X	X	0	X	0	1	X
0111	1000	1	X	X	1	X	1	X	1
1000	1001	X	0	0	X	0	X	1	X
1001	1010	X	0	0	X	1	X	X	1
1010	1011	X	0	0	X	X	0	1	X
1011	1100	X	0	1	X	X	1	X	1
1100	1101	X	0	X	0	0	X	1	X
1101	1110	X	0	X	0	1	X	X	1
1110	1111	X	0	X	0	X	0	1	X
1111	0000	X	1	X	1	X	1	X	1

在实现电路之前，最后一步设计是将表 7.5 中的 J 和 K 数据填入卡诺图中。利用卡诺图可以简化 J 和 K、确定门电路的类型，实现同步计数器电路。

图 7.84 是第 4 章介绍的卡诺图。A 作为 LSB，在每个空格内填入对应二进制的十进制数。利用卡诺图中相邻的格和循环过程可以简化表达式。只有使用格雷码形式设计卡诺图，才能完成这些操作。卡诺图中标注的地方是先前发生的变化。要注意的关键一点是，格雷码格式只能在卡诺图中使用。这种格式要求水平或竖直的相邻空格仅有一个变量不同。

	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	0	8	12	4
$\overline{A}B$	2	10	14	6
AB	3	11	15	7
$A\overline{B}$	1	9	13	5

图 7.84　标准的卡诺图

图 7.84 中卡诺图的变化显示在图 7.85 中。AB 项由行变为列，CD 项由列变为行。毫无疑问，这里使用了格雷码格式。

绘制卡诺图的另一种方法如图 7.86 所示。卡诺图顶端的 BA 项已经用逻辑电平代替了，并且 B 项在 A 项之前。另外，卡诺图左边的 DC 项也用逻辑电平替换了。卡诺图上所有格内的十进制常数仍与图 7.85 中的一样。使用这个卡诺图可以更容易地识别每个格内的十进制数。

	$\overline{A}\overline{B}$	$A\overline{B}$	AB	$\overline{A}B$
$\overline{C}\overline{D}$	0	1	3	2
$C\overline{D}$	4	5	7	6
CD	12	13	15	14
$\overline{C}D$	8	9	11	10

图7.85 卡诺图的变化

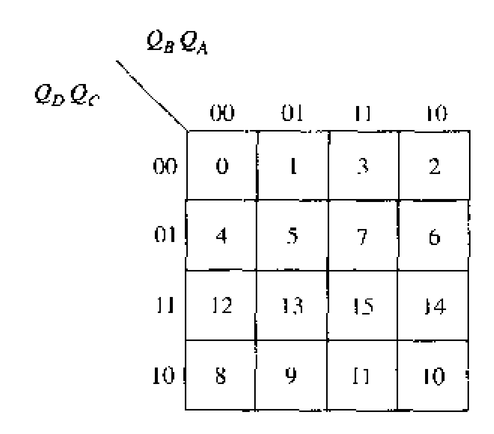


图7.86 参考卡诺图

在很多数字领域中，卡诺图常称为控制基或激励图，因为它们可使问题简单化，所以称之为卡诺图。利用先前研究的规则可以简化数据，并可确定同步计数器所需的逻辑门。

图7.86中的卡诺图称为参考卡诺图，因为它是用来圈出设计表中的J和K数据的。每个格内标出的十进制数可以简化数据的转换过程。

参考卡诺图显示了模16计数器是如何在其16个状态中加计数的。模16计数器的卡诺图如图7.87所示。注意，触发器A有两个卡诺图。一个为J输入（J_A）的卡诺图，另一个为K输入（K_A）的卡诺图。卡诺图里的单元用来显示计数器的现态。

在表7.5中，当现态（Q^n）为0000时，由Q_A列数据可知$J=1$。将该数据填入J_A的卡诺图中的#0格内（$\overline{D}\overline{C}\overline{B}\overline{A}$）。同理，将$K=$X输入填入$K_A$的卡诺图中的#0格内。利用图7.86所示的参考卡诺图可以将设计表的数据依次填入相应的卡诺图中，直到对卡诺图每个单元的数非常熟悉为止。

利用上述方法可以将设计表中触发器A的J_A和K_A的全部16个数据分别填入两个卡诺图中。

触发器A的卡诺图中的所有单元均为1或X。X的情况不用考虑。通过研究卡诺图可以知道，X的条件就是既能填1也能填0。可以在这两个卡诺图中将X看成1。因此每个卡诺图的16个格全为1。在学习卡诺图时，我们没有举出过全部格均为1的例子。因为所有的1都是垂直和/或水平相邻的，所以使用简化过程的结果是16格可圈成两个二进制数的卡诺圈。因为消去了所有的互补变量，所以表达式可简化为$J_A=1$，$K_A=1$。

同理，利用设计表的数据可以画出触发器B的两个卡诺图（J_B和K_B）。圈出两个卡诺图中的1和X，可以将输出简化为$J_B=K_B=A$。图7.87(c)或(d)中触发器B的8个二进制数的卡诺图去掉了左边的C和D变量以及图上边B的互补变量，只留下最简表达式等于A。

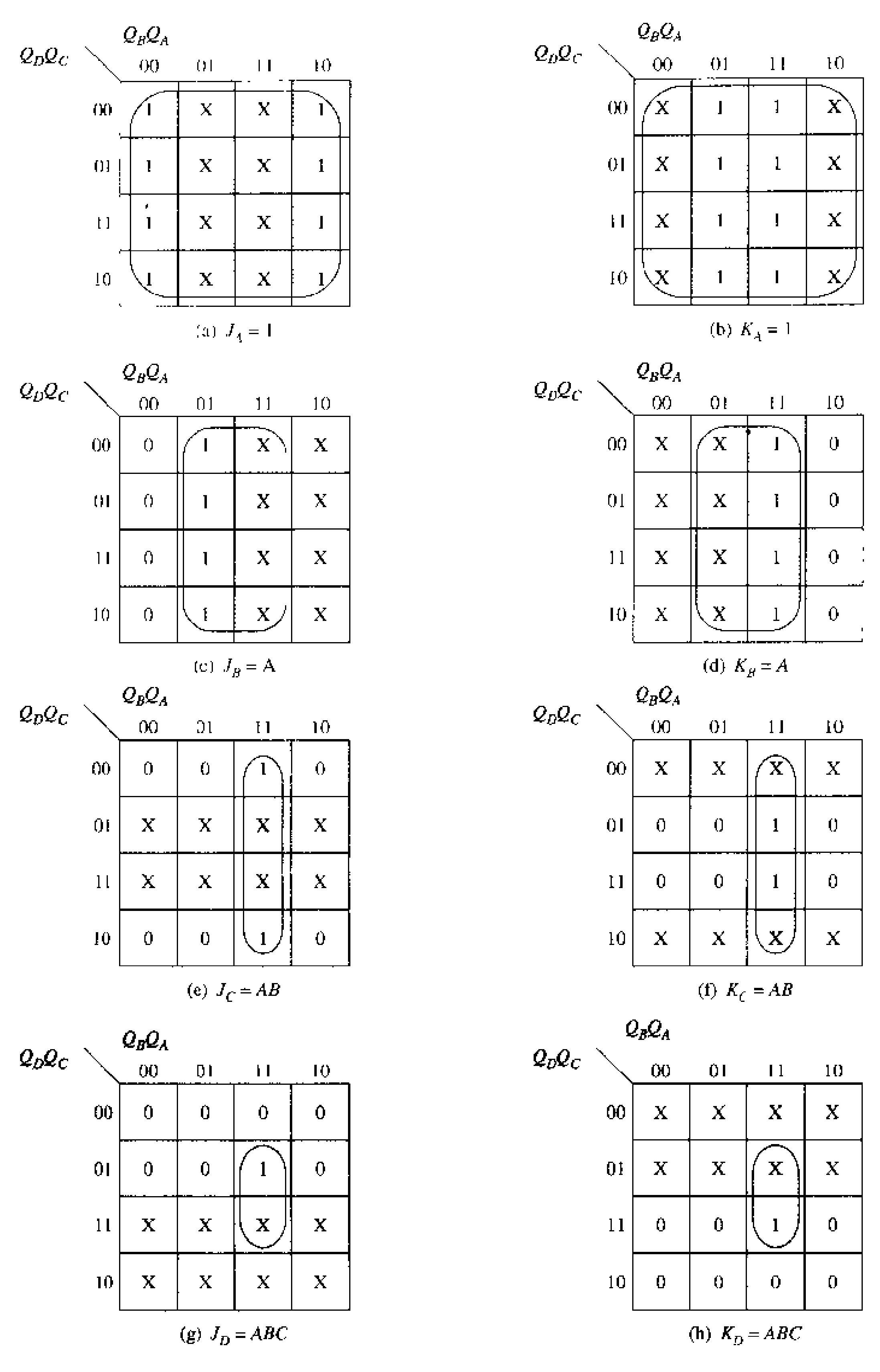


图 7.87 模 16 加计数器的卡诺图

触发器C的两个卡诺图如图7.87(e)和(f)所示，每个图都有一个4个二进制数的卡诺圈。这个卡诺圈可以将输出简化为 AB。

在触发器D的两个卡诺图中，每图都有一个2个二进制数的卡诺圈，这个卡诺圈可以将输出简化为 ABC。

由图7.87所示的卡诺图可以得到下列计数公式：

$J_A = 1$，$K_A = 1$

$J_B = A$，$K_B = A$

$J_C = AB$，$K_C = AB$

$J_D = ABC$，$K_D = ABC$

模16同步加计数器的实现电路如图7.88所示。注意，计数器是按照图7.87中的卡诺图所得出的结果连接而成的，如下所示：

J_A 和 K_A 与逻辑1相连。

J_B 和 K_B 直接与触发器A的 Q_A 输出端相连。

J_C 和 K_C 通过与门与 Q_A 和 Q_B 相连。

J_D 和 K_D 通过另一个与门与 Q_A，Q_B 和 Q_C 相连。

7.6.2　模10加计数器的设计

下边介绍模10十进制计数器的设计。设计同步计数器需要六个步骤，如图7.89所示。

第一步： 现态表。这个表用于显示计数器希望得到的计数序列。

第二步： 次态表。这个表用于显示计数器经过一个时钟后下一时刻的计数序列。

第三步： 转换表。这个表用于区别计数器的现态（数据）与次态，并显示 J 和 K 触发次态的逻辑电平。

第四步： 设计表。这个表综合前三步，显示了一个完整的设计过程。一旦读者对设计过程非常熟悉后，可以在第一步完成该表。

第五步： 卡诺图。卡诺图用于简化 J 和 K 的逻辑电平，这些逻辑电平使触发器产生正确计数。利用卡诺图可以得到最简表达式。

第六步： 实现计数器。利用卡诺图简化后的公式设计计数器。

完成模10加计数器的状态表后，把它与设计表结合在一起，如表7.6所示，这样就完成了设计过程的前四步。

图7.90显示了设计表中的数据。卡诺图中设计数值大于9的所有输入数据均为X。圈出1和X，可以得到下列的计数器公式：

$J_A = 1$，$K_A = 1$

$J_B = A\overline{D}$，$K_B = A$

$J_C = AB$，$K_C = AB$

$J_D = ABC$，$K_D = A$

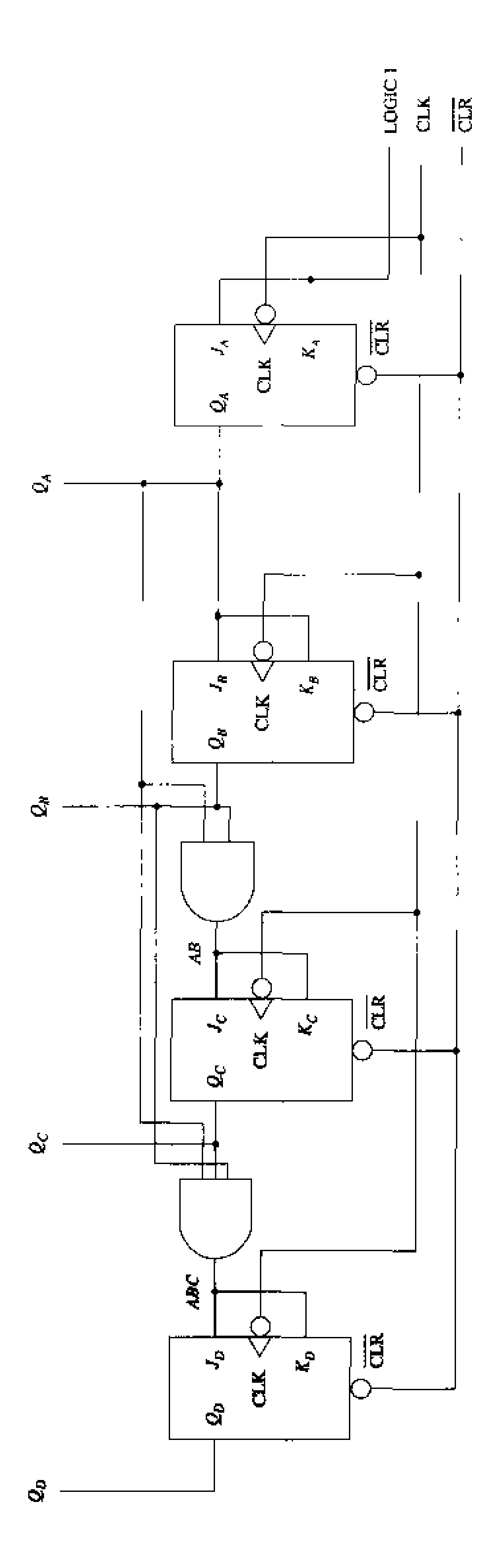


图 7.88 模 16 同步加计数器逻辑图

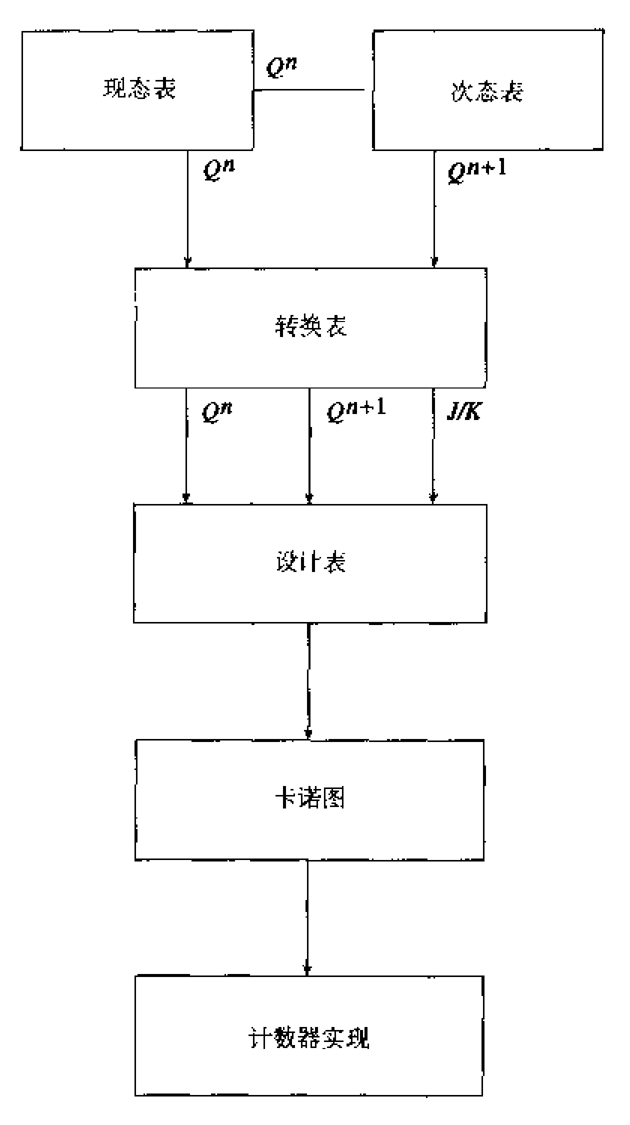
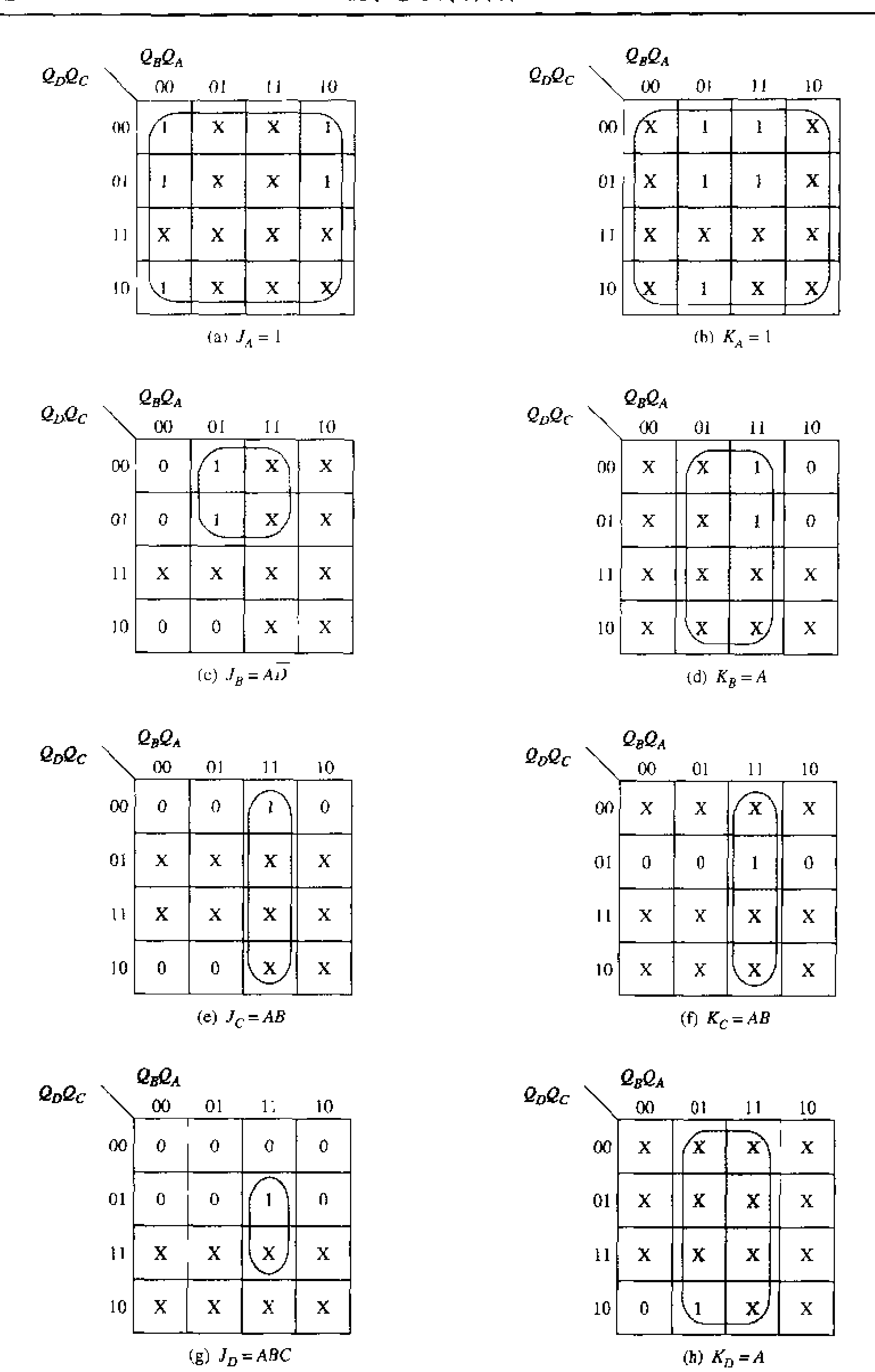


图 7.89　设计步骤

表 7.6　模 10 设计表（J–K 触发器）

现态表	次态表	数据转换表							
Q^n	Q^{n+1}	Q_D		Q_C		Q_B		Q_A	
$Q_DQ_CQ_BQ_A$	$Q_DQ_CQ_BQ_A$	J	K	J	K	J	K	J	K
0000	0001	0	X	0	X	0	X	1	X
0001	0010	0	X	0	X	1	X	X	1
0010	0011	0	X	0	X	X	0	1	X
0011	0100	0	X	1	X	X	1	X	1
0100	0101	0	X	X	0	0	X	1	X
0101	0110	0	X	X	0	1	X	X	1
0110	0111	0	X	X	0	X	0	1	X
0111	1000	1	X	X	1	X	1	X	1
1000	1001	X	0	0	X	0	X	1	X
1001	0000	X	1	0	X	0	X	X	1

图 7.91 所示为模 10 同步加计数器。该计数器的设计公式的实现如下所示：



(a) $J_A=1$ (b) $K_A=1$

(c) $J_B=A\overline{D}$ (d) $K_B=A$

(e) $J_C=AB$ (f) $K_C=AB$

(g) $J_D=ABC$ (h) $K_D=A$

图 7.90 模 10 加计数器的卡诺图

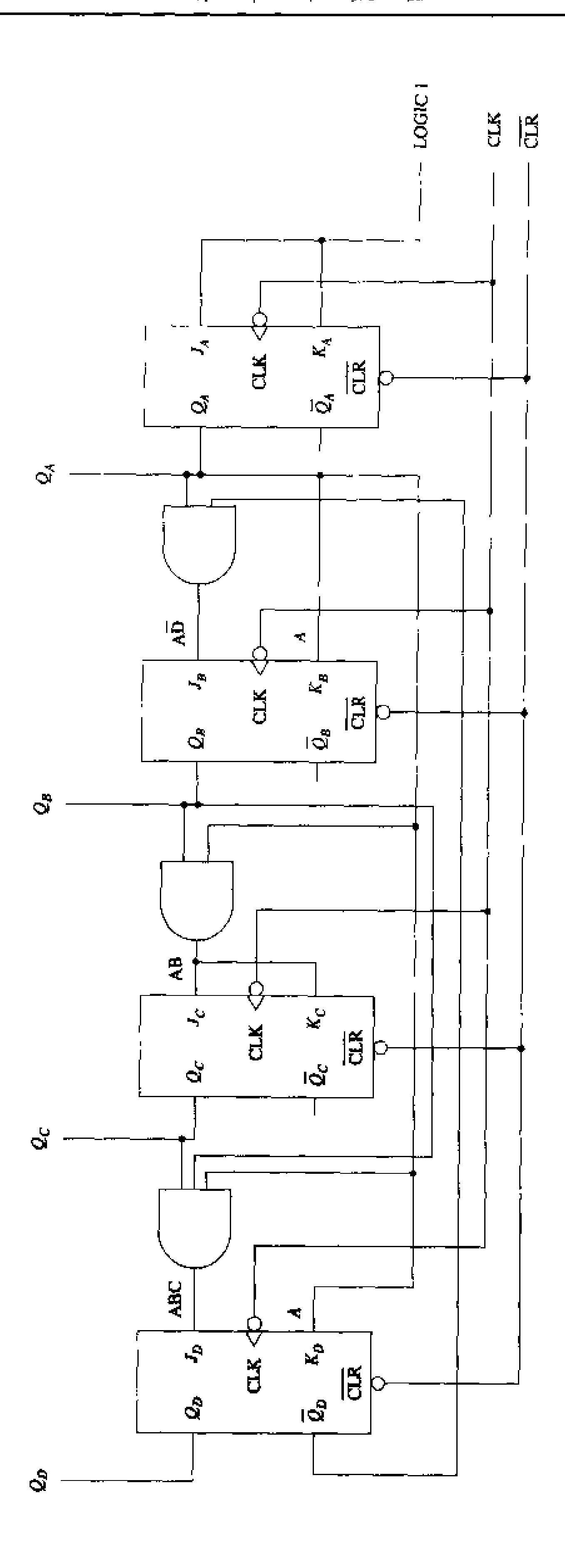


图 7.91　模 10 同步加计数器逻辑图

J_A 和 K_A 与逻辑 1 相连。

J_B 通过与门与 Q_A 和 Q_D 相连，K_B 仅与 Q_A 相连。

J_C 和 K_C 通过与门与 Q_A 和 Q_B 相连。

J_D 通过三输入与门与 Q_A，Q_B 和 Q_C 相连，K_D 直接与 Q_A 相连。

7.6.3　模 6 加计数器的设计

模 6 加计数器在二进制时钟电路中比较有用。一个模 6 计数器通常与一个模 10 计数器共同组成一个模 60 的电路。模 60 计数器能够产生 60 Hz 的信号，并将它转换成每秒产生一个脉冲的信号。

表 7.7 为模 6 同步加计数器的设计表。因为这个计数器只需由三个触发器组成，所以设计表有一点改动。

表 7.7　模 6 同步加计数器的设计表

现态表	次态表	数据转换表					
Q^n	Q^{n+1}	Q_C		Q_B		Q_A	
$Q_CQ_BQ_A$	$Q_CQ_BQ_A$	J	K	J	K	J	K
000	001	0	X	0	X	1	X
001	010	0	X	1	X	X	1
010	011	0	X	X	0	1	X
011	100	1	X	X	1	X	1
100	101	X	0	0	X	1	X
101	000	X	1	0	X	X	1

模 6 计数器的计数数据为：000，001，010，011，100，101，000 等。将这些变化的数据填入卡诺图，如图 7.92 所示。由卡诺图的卡诺圈可以得到计数器的公式：

$J_A = 1$，$K_A = 1$

$J_B = AC$，$K_B = A$

$J_C = AB$，$K_C = A$

这个电路的逻辑图如图 7.93 所示。

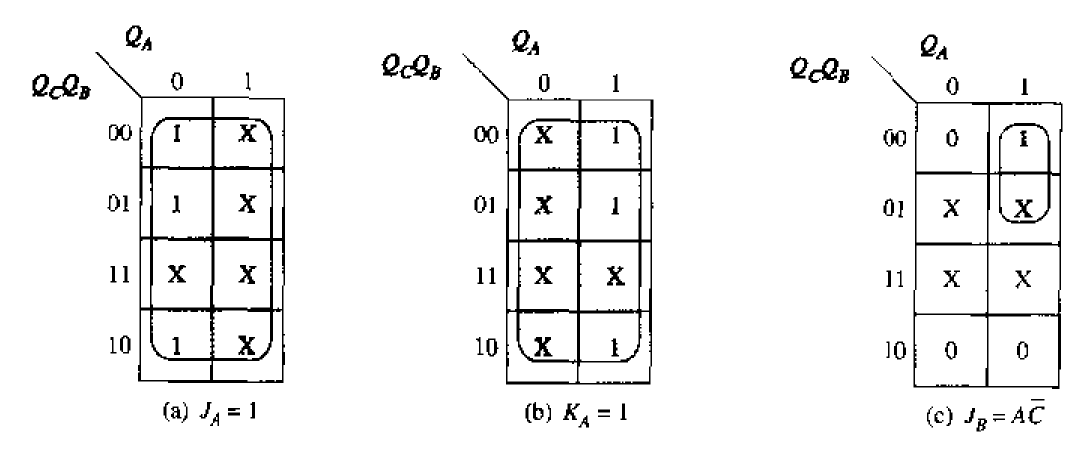


图 7.92　模 6 加计数器的卡诺图（J-K 触发器）

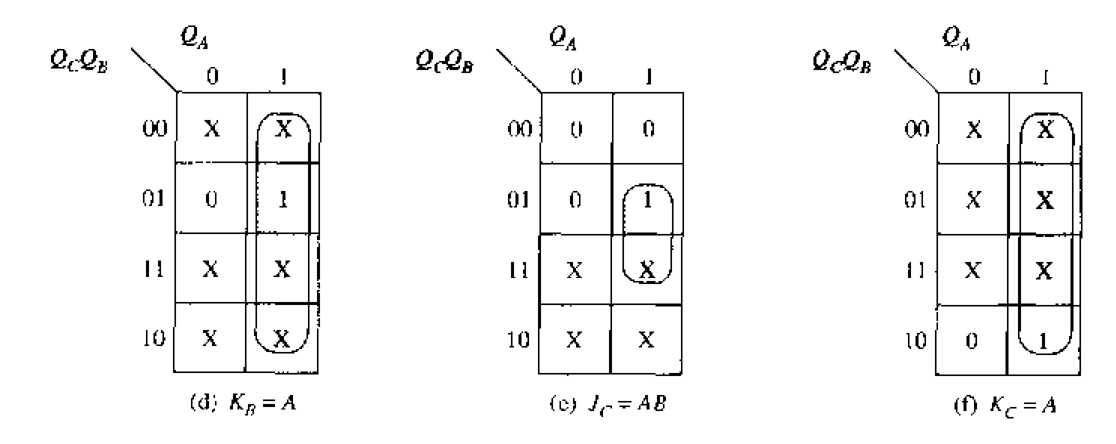


图7.92（续） 模6加计数器的卡诺图（J-K触发器）

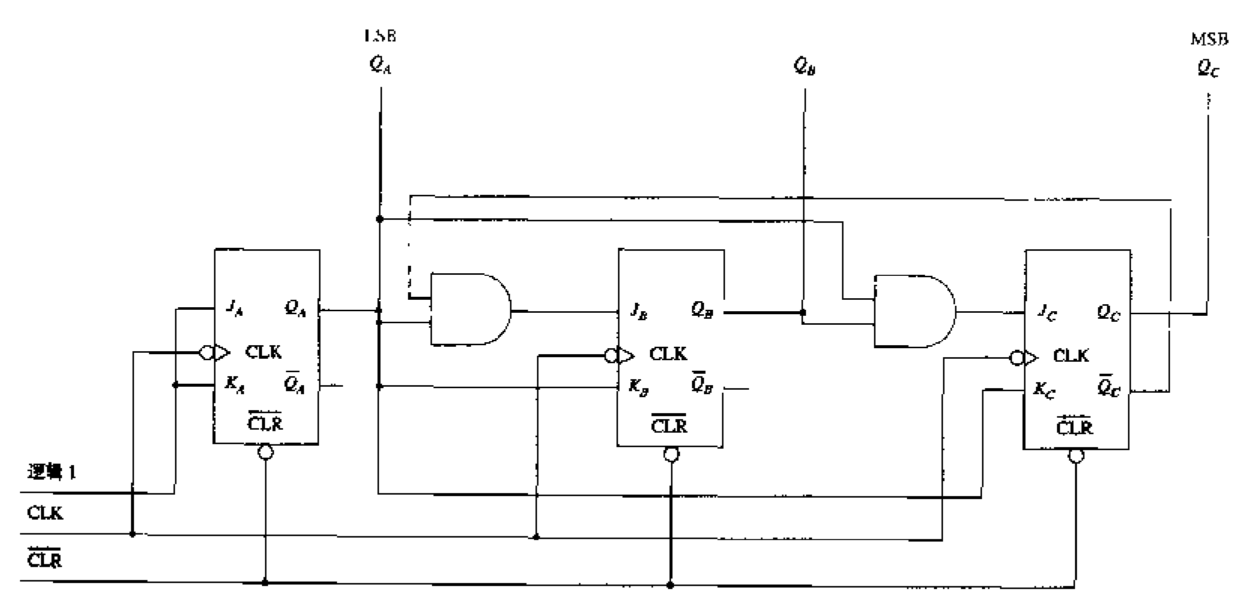


图7.93 模6同步加计数器的逻辑图（J-K触发器）

7.6.4 用D触发器设计同步计数器

可以使用D触发器代替J-K触发器来设计同步计数器。正如前边讨论过的，当D触发器的$\bar{Q}$端与触发器的D输入端相连且该触发器有时钟脉冲时才能实现翻转。

D触发器的基本设计方法与J-K触发器的相同。使用D触发器实现的转换表如表7.8所示。其他方法与先前讨论的一样。

表7.9显示了模6加计数器的设计表。根据图7.94中的卡诺图，可以得到3个触发器的D输入的计数公式：

$$D_A = \bar{A}$$
$$D_B = \bar{A}B + A\bar{B}\bar{C}$$
$$D_C = AB + \bar{A}C$$

D_A的输入公式显示必须将$\bar{Q}_A$接回D_A输入端。在该永久翻转模式下使用的是LSB触发器。图7.95是计数器的实现电路。

表 7.8 D 触发器的转换表

现态	次态	Q^{n+1} 希望的输入电平
Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	1	1
1	0	0

表 7.9 模 6 计数器的设计表（D 触发器）

现态表	次态表	数据转换表		
Q^n	Q^{n+1}	Q_C	Q_B	Q_A
$Q_CQ_BQ_A$	$Q_CQ_BQ_A$	D_C	D_B	D_A
000	001	0	0	1
001	010	0	1	0
010	011	0	1	1
011	100	1	0	0
100	101	1	0	1
101	000	0	0	0

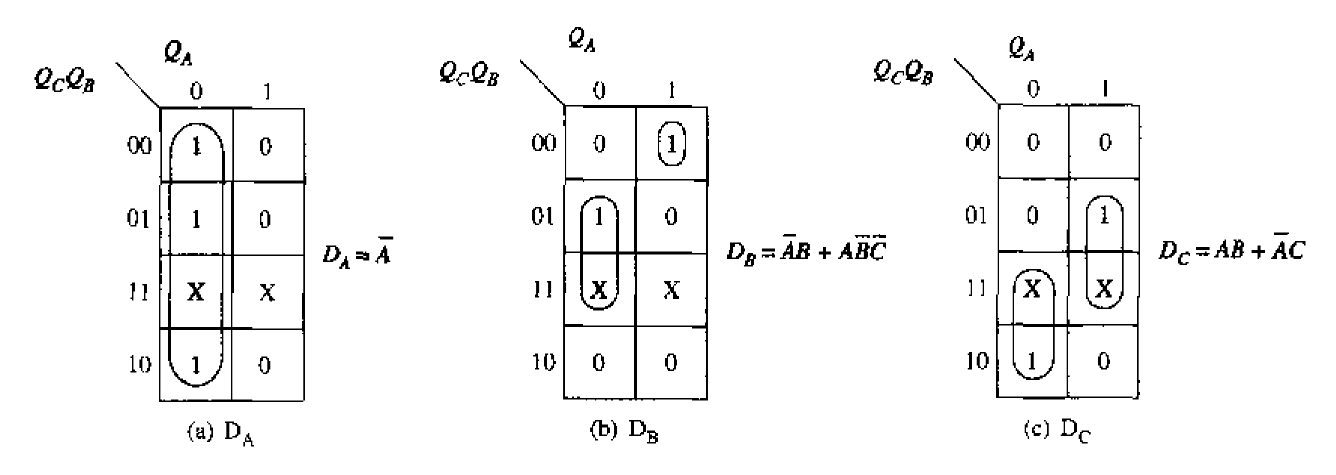


图 7.94 模 6 加计数器的卡诺图（D 触发器）

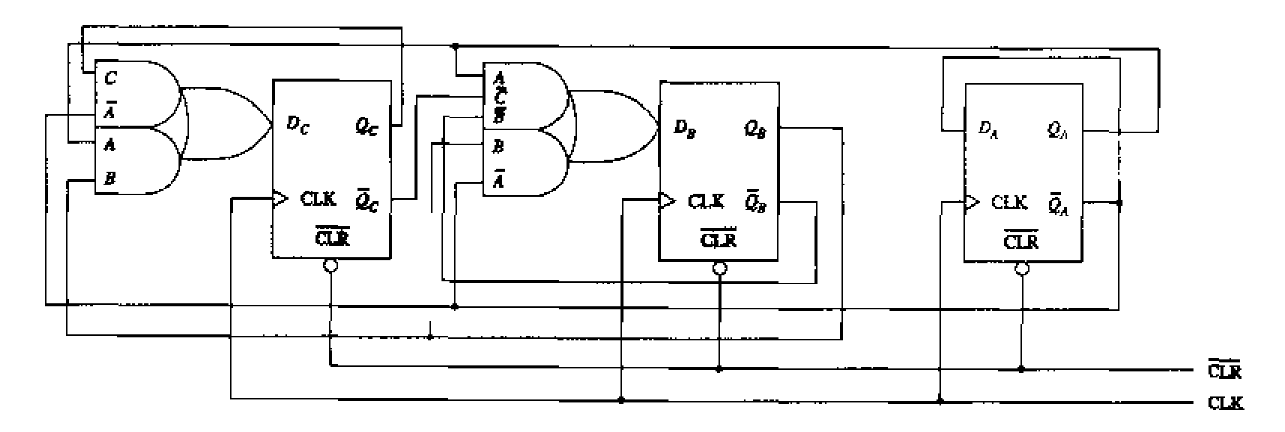


图 7.95 模 6 同步加计数器的逻辑图（D 触发器）

阶段性小结（7.6节）

本节介绍了用于实现同步计数器的时序电路的设计概念 这些步骤也适用于其他类型的计数器的设计、例如，设计减计数器和格雷码计数器，这些都是以前没有练习过的，其中关键在于按照本节介绍的步骤进行设计。

第一步：完成现态表，该表显示的是希望得到的计数序列。

第二步：完成次态表，该表显示的是计数器希望得到的下一个时刻的状态表。下一个状态不必是顺序的加或者减，可以选择任何计数序列。

第三步：使用转换表来显示 J 和 K 或 D 的逻辑电平，从而产生希望的下一个状态。

第四步：设计表用于将前三步的内容显示在一个表中。

第五步：利用卡诺图简化 J 和 K 或 D 的逻辑关系，简化后的公式用于实现计数器。

第六步：实现电路

7.7 混合计数器

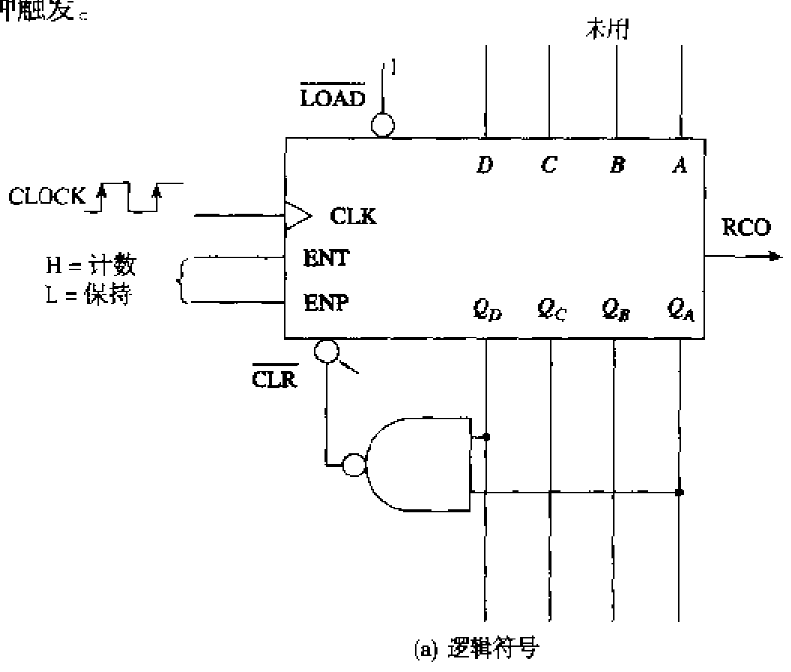
要点

给出数据表和某个混合计数器，确定所需的输入/连接，得到对称的 n 分频输出。

混合计数器，由名字可知，该计数器是同步和异步时钟方式的混合。这些计数器能产生对称的 n 分频输出。对于那些没有进行全程（满）计数的同步和异步计数器，它们的MSB都不能产生对称（占空比为50%）的输出信号。

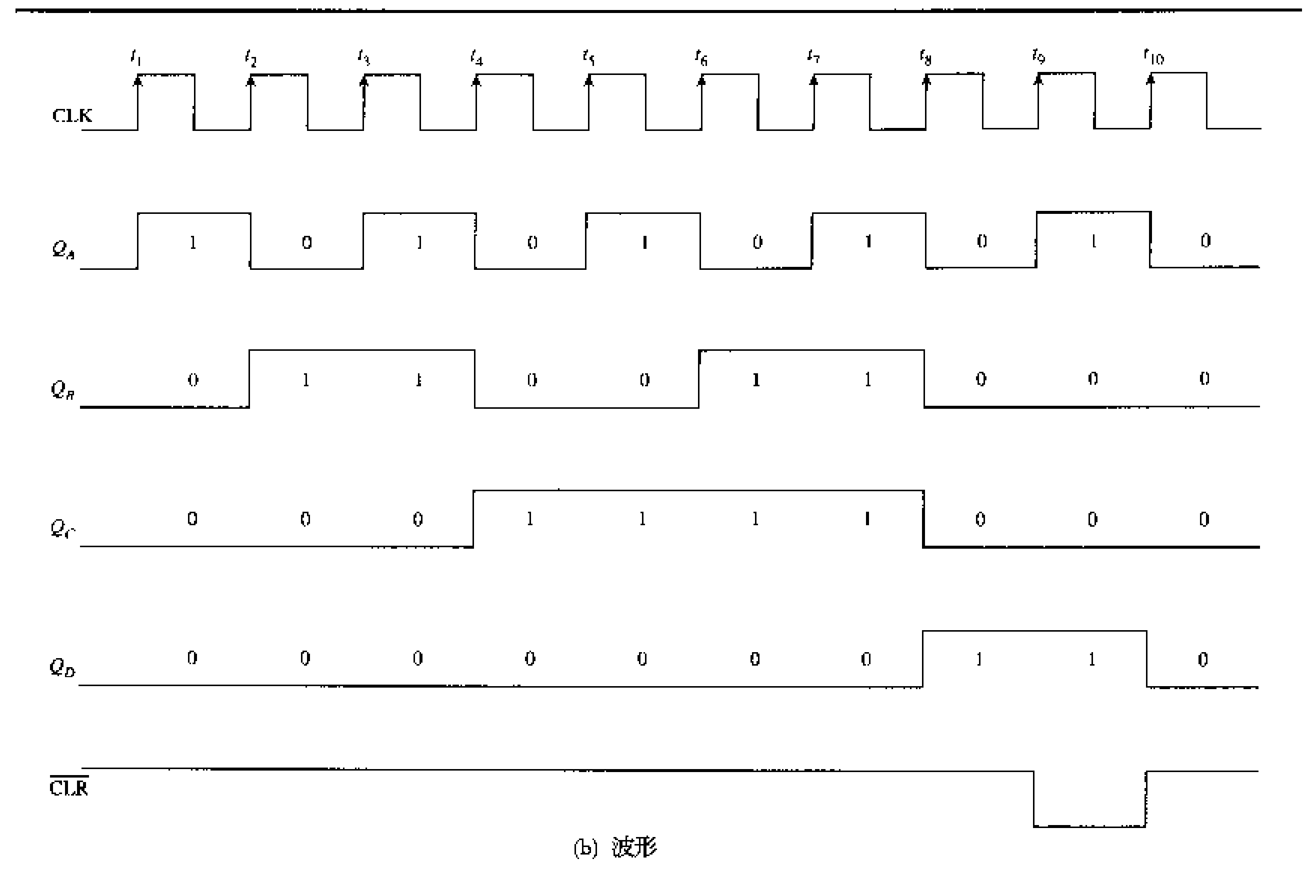
7.5节介绍的74LS163 4位二进制同步计数器可以截成模10计数器，如图7.96(a)所示。其波形如图7.96(b)所示。Q_D 输出是 $f_{in}/10$，但它不是对称波形，因为4位计数器的计数序列不是全程计数序列（0000~1111）。

混合计数器解决了异步输出的问题。在这种计数器中，一部分触发器按同步时钟触发，而另一部分触发器按异步时钟触发。



(a) 逻辑符号

图7.96 74LS163模10计数器

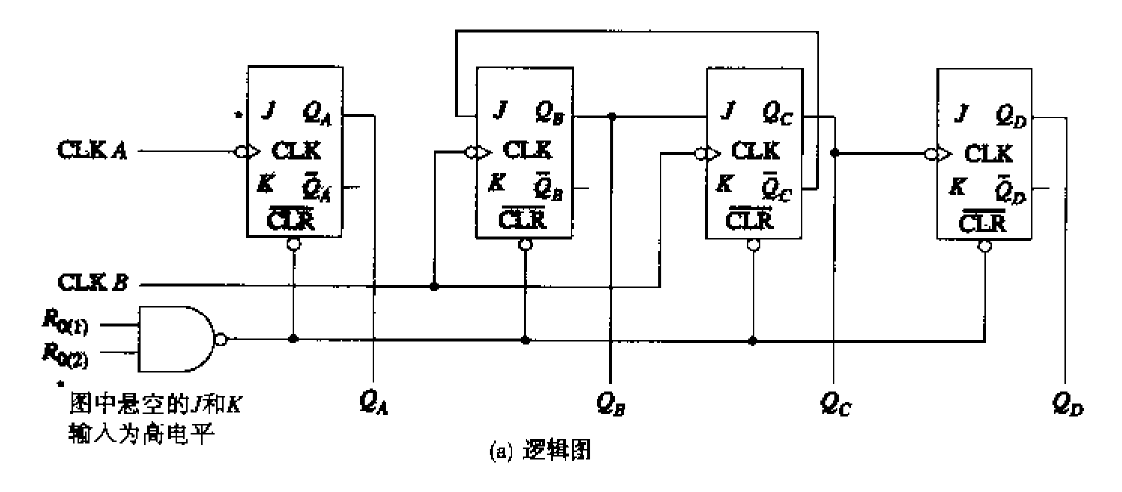


(b) 波形

图 7.96（续） 74LS163 模 10 计数器

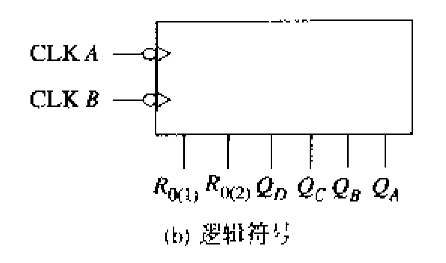
74LS92

74LS92 是 12 分频或 6 分频的计数器，是市场上混合计数器的典型例子。图 7.97 显示了该计数器的逻辑符号和框图。触发器 A 受 CLK A 控制。因为在内部 J 和 K 接高电平，所以该触发器始终处于翻转状态。这个二分频触发器的 Q_A 输出没有与计数器中其他的触发器内部相连。这种输入类型与 7.2 节介绍的 74LS93 异步计数器相似。这表示 Q_A 必须在内部与 CLK B 输入端相连，才能进行 4 位操作。CLK B 输入使触发器 B 和 C 为同步的。触发器 C 的 Q_C 输出为触发器 D 提供异步时钟输入。很容易看出，该计数器中既有同步时钟信号又有异步时钟信号，因此将该计数器归为混合计数器。



(a) 逻辑图

图 7.97 74LS92 混合计数器



(b) 逻辑符号

图7.97（续） 74LS92混合计数器

在研究4位计数操作之前，先详细分析3位计数操作的电路。在3位计数操作中没有用到CLK A输入和Q_A输出

模6操作。 CLK B输入是这个3阶计数器的时钟输入。Q_D输出将是对称的6分频信号。这个计数器的计数序列是无序的，而且并不重要。当需要对称输出时，利用该计数器进行分频。进行模6操作的这个3阶计数器重新画在图7.98(a)中。复位输入（$R_{0(1)}$和$R_{0(2)}$）接地。如果这两个输入中的一个为低电平，那么与非门的输出就为高电平，该电路就可以计数了。只有这两个输入端同时为高电平，计数器才可以清零。

深入分析操作过程

利用图7.98(b)所示的计数序列表进行分析。下面的讨论都是针对该表进行的。

t_0：由CLEAR状态开始。

t_1：因为计数器在t_1之前处于CLEAR状态，所以当t_1到来时$\overline{Q}_C$为高电平，触发器B处于翻转模式。因此t_1时刻Q_B变为高电平，而在t_1到达之前Q_B为低电平。t_1到来时，触发器C的输入为$J=0$，$K=1$。t_1时刻，时钟的NGT的到来使Q_C没有变化，这是因为输入数据使它处于CLEAR状态，并且触发器已经清零。因为t_1时刻Q_C输出没有变化，所以D触发器的时钟输入没有NGT，因此，Q_D状态不变。

此时输出为$Q_B=1$，$Q_C=0$，$Q_D=0$。

注意，分析计数器操作的关键是注意时钟的NGT到来之前，触发器B和C的J输入。这两个触发器的K输入一直为高电平。触发器D的J、K输入为高电平，所以只要Q_C由高电平变为低电平（NGT），触发器D就可以翻转。

t_2：因为$\overline{Q}_C$在t_1后仍为高电平，所以当t_2到来时触发器B仍处于翻转模式，这使Q_B在t_2时刻翻转为低电平。注意，在t_2时刻，时钟的NGT到来之前，Q_B为高电平。触发器C的J输入的高电平使Q_C在t_2时翻转为高电平。因为t_2时刻Q_C由低电平变为高电平，所以它产生的PGT对触发器D没有影响，因为该触发器是一个下降沿触发的触发器。所以，Q_D保持为低电平，此时输出为$Q_B=0$，$Q_C=1$，$Q_D=0$。

t_3：因为Q_C在t_2时翻转为高电平，所以$\overline{Q}_C$现在为低电平，这使触发器B的J输入为逻辑低电平。该触发器在t_2时刻清零，所以，t_3时刻它将不改变状态。t_3前触发器C的J输入为低电平，并且处于SET状态，因此，t_3时刻的时钟的NGT使触发器C清零。因为t_3时刻Q_C输出由高电平变为低电平（NGT），所以该电平转换作为触发器D的时钟脉冲，并使触发器D翻转。此时输出为$Q_B=0$，$Q_C=0$，$Q_D=1$。

t_4：此时Q_C为低电平，$\overline{Q}_C$在t_4时钟脉冲到来前为高电平，这使触发器B处于翻转模式。当t_4时钟到来时，Q_B的输出翻转为高电平。因为Q_B在t_4之前为低电平，所以触发器C的J和K输入使该电路在t_4时刻清零。因为该触发器已经清零了，所以结果没有变化。另外，因为Q_C的输出没有变化，所以触发器D的时钟脉冲没有电平转换，其输出保持高电平。

此时输出为 $Q_B=1$，$Q_C=0$，$Q_D=1$。

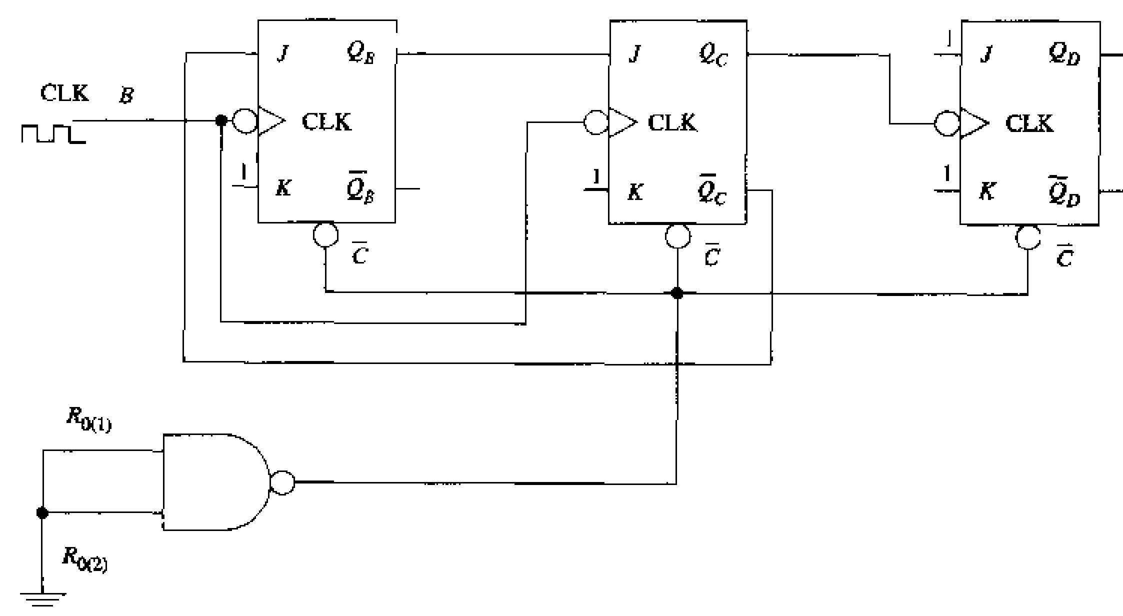
t_5：注意，$\overline{Q}_C=1$，且触发器B在t_4之后处于翻转模式，因此t_5的NGT到来时将使触发器B翻转为低电平。在t_5之前Q_B为高电平，这使Q_C在t_5时刻翻转为高电平。Q_C的输出转换在D触发器的输入端产生一个PGT，该PGT对触发器D没有影响。

此时输出为 $Q_B=0$，$Q_C=1$，$Q_D=1$。

t_6：t_5之后$\overline{Q}_C$为低电平，这使触发器B在t_6时刻清零。因为触发器在t_5已经清零，所以在t_6时钟脉冲到来时Q_B不变。触发器C的J输入在t_6时钟到来前为低电平，所以t_6时刻的NGT使触发器C清零，因为此时C的J为低电平，K为高电平。t_6时刻的Q_C输出由高电平变为低电平，它作为触发器D的时钟，使Q_D翻转为低电平。

输出又回到 $Q_B=0$，$Q_C=0$，$Q_D=0$。

图7.98(b)中的表显示了包括000在内的6种不同的状态，所以说74LS92是一个模6计数器。图7.98(c)中的波形证明Q_D输出将时钟输入6分频，且其输出是对称的。

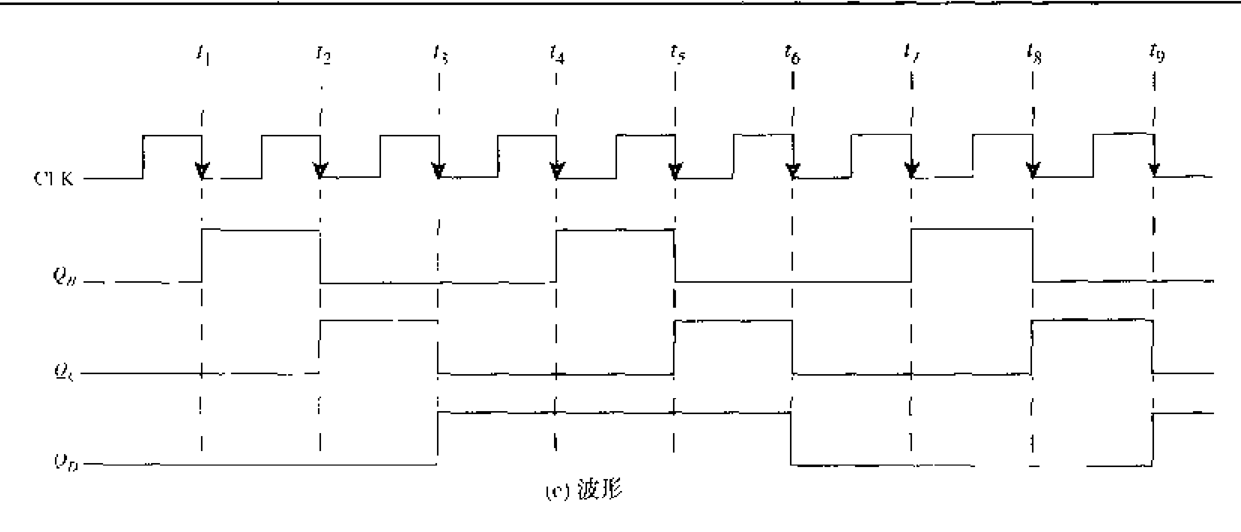


(a) 逻辑图

	Q_B	Q_C	Q_D
CLR	0	0	0
t_1	1	0	0
t_2	0	1	0
t_3	0	0	1
t_4	1	0	1
t_5	0	1	1
t_6	0	0	0

(b) 计数序列

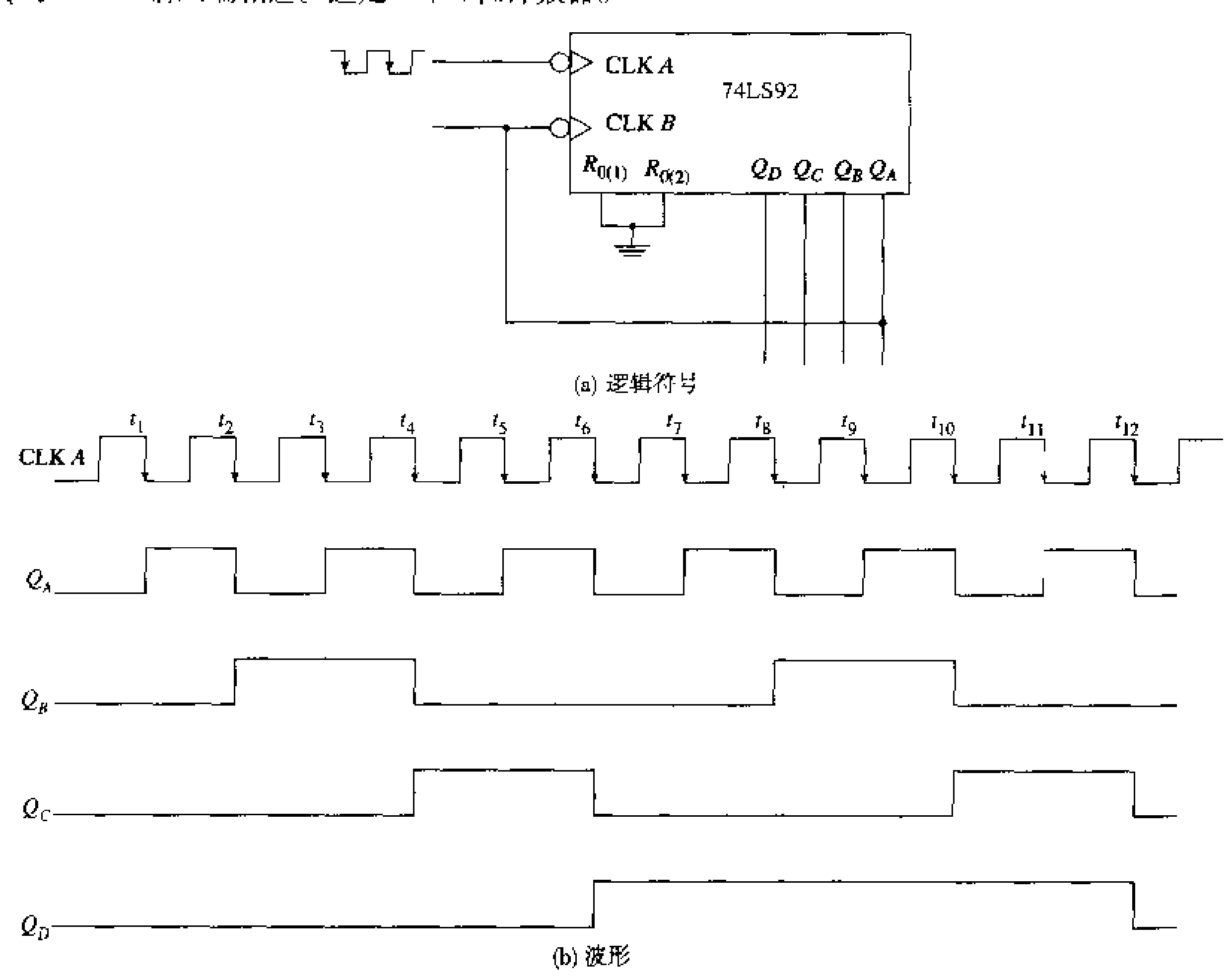
图7.98　74LS92模6计数器



(c) 波形

图 7.98（续） 74LS92 模6计数器

模12操作。利用74LS92形成12分频的操作，如图7.99(a)所示。时钟脉冲输入与CLK A相连，Q_A与CLK B输入端相连。这是一个4位计数器。



(a) 逻辑符号

(b) 波形

图 7.99 74LS92 模12计数器

触发器A在内部连接为操作的翻转模式，CLK A输入二分频后将其送到CLK B输入端。该二分频时钟输入产生3位计数器输出，该输出与前边讨论的模6操作的输出是一样的，只是其输出的

持续时间加倍了。对时间和频率的基本理解可以使之更加清楚。如果模6计数器的频率减半，则每个输出波形的时间都应加倍。比较图7.99(b)中的模12计数器的输出波形和图7.98(c)中的模6计数器的波形，可以得到该结论。图7.99(b)中的 Q_D 输出是一个 $f_{in}/12$ 的对称输出。

74LS90

74LS90构成的10分频或5分频计数器是另一种常用的混合计数器。图7.100(a)是该计数器的逻辑图，逻辑符号如图7.100(b)所示。这里不再深入分析电路，下面将详细介绍该计数器的工作过程。

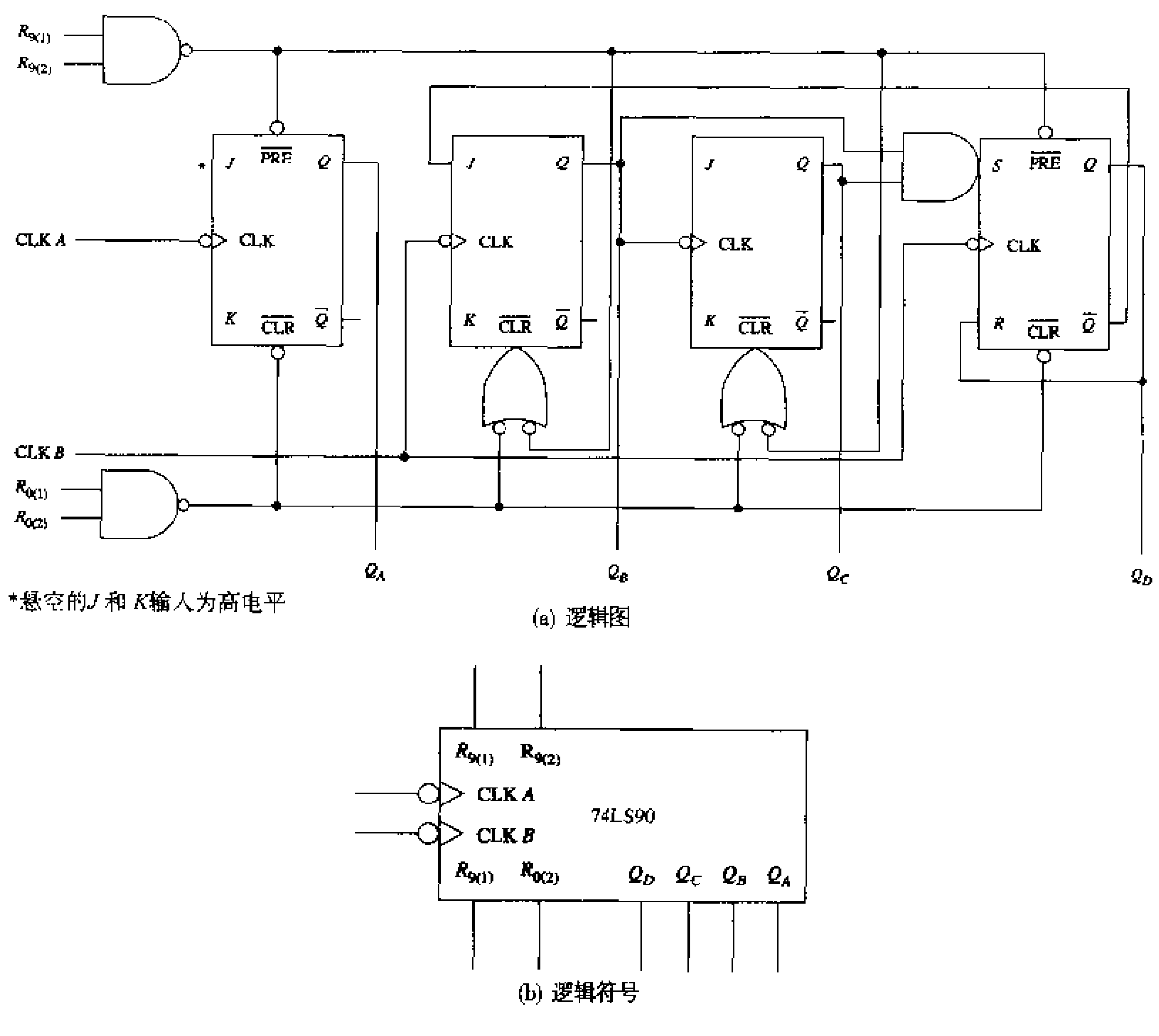


图 7.100 74LS90 混合计数器

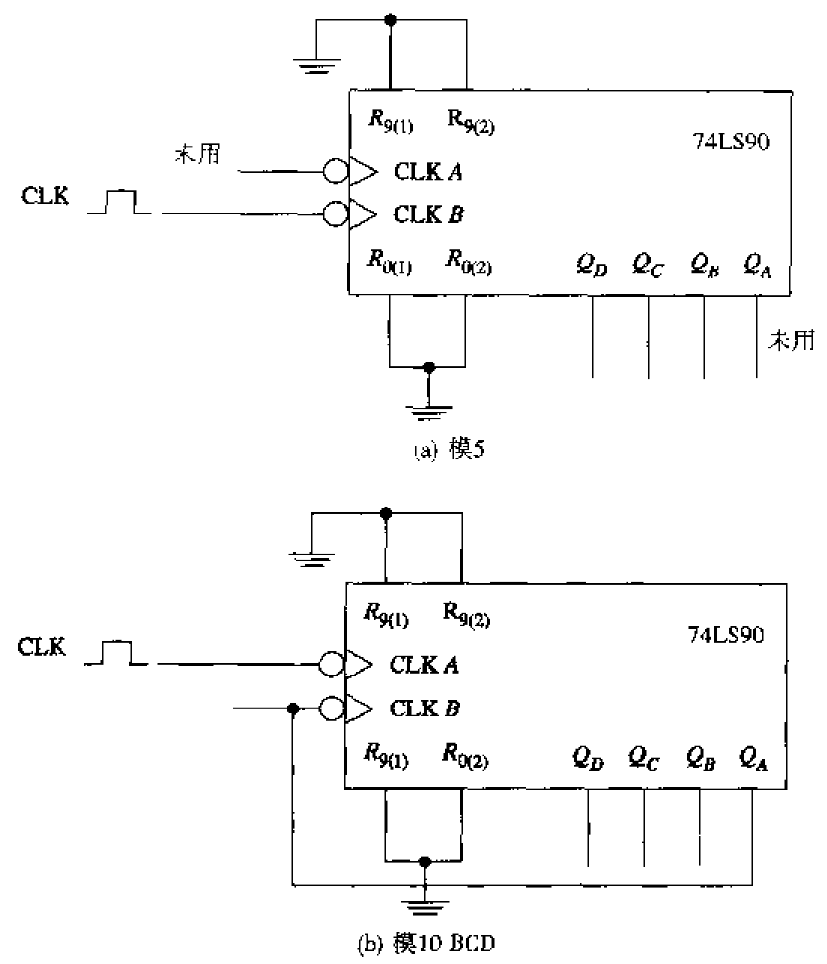
74LS90的功能表如图7.101所示。表中显示，当两个置0输入（$R_{0(1)}$和$R_{0(2)}$）都有效且R_9输入为低电平时，计数器清零（0000）。它也表明当两个置9输入（$R_{9(1)}$和$R_{9(2)}$）都有效时，计数器将置为$1001_{(2)}$。R_9输入用于BCD模9补码的应用中（第9章）。因为截位逻辑门是与非门（有一个输入为0，输出就为1），所以该表显示，只要每个逻辑门的任意一个输入为低电平，该计数器就可以计数。

模5操作。图7.102(a)显示74LS90 IC的5分频操作。触发器A未使用，因为时钟脉冲CLK B输入。图中Q_D输出将输入5分频的频率。

复位输入				输出			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	计数			
0	X	0	X	计数			
0	X	X	0	计数			
X	0	0	X	计数			

图 7.101 74LS90 的功能表

模 10 BCD 操作。 BCD 计数器如图 7.102(b)所示。加计数器的输出序列从 0000 到 1001，再复位到 0000。尽管 Q_D 输出的频率为 $f_{in}/10$，但它不是对称输出。不过一般情况下，当进行 BCD 计数时，这一点并不重要。如果用计数器进行分频且需要对称的 10 分频输出，可以重画该计数器，如图 7.102(c)所示。

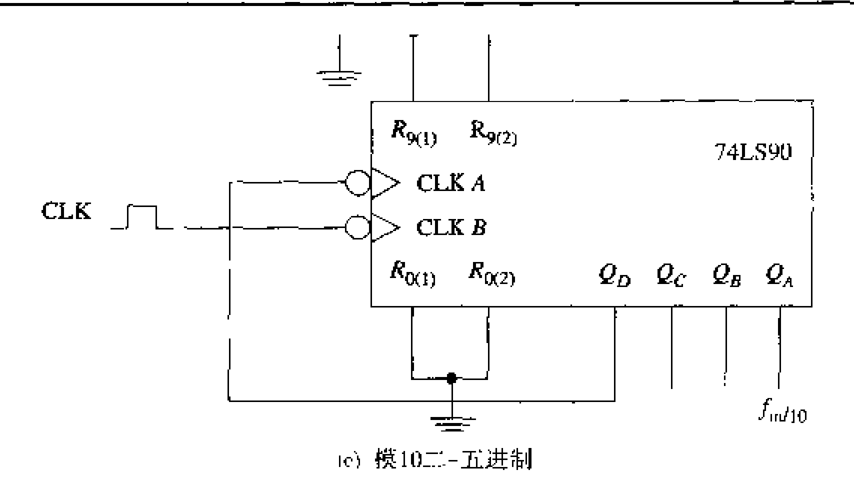


(a) 模5

(b) 模10 BCD

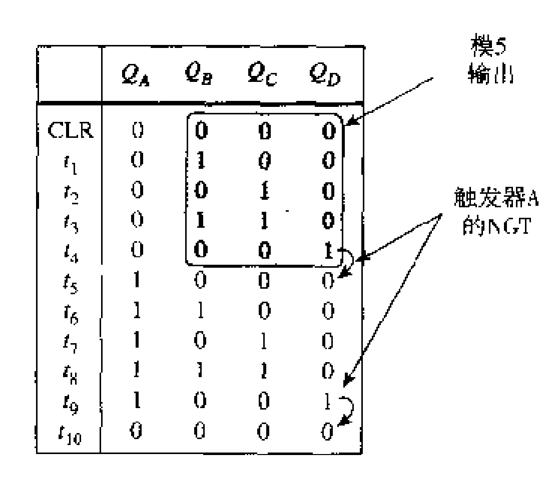
图 7.102 74LS90 计数器

模 10 二－五进制操作。 该结构中，时钟输入送到 CLK B，Q_D 输出与 CLK A 相连。该计数器由模 5 计数器和模 2 计数器级联而成。由名字可知二－五进制操作将得到模 10 计数器，计数序列如图 7.103 所示。当计数器处于二－五进制操作时，计数序列是无序的，但这并不重要，重要的是计数序列中 Q_A 等于 $f_{in}/10$，并且是对称的。



(c) 模10二-五进制

图 7.102（续） 74LS90计数器



	Q_A	Q_B	Q_C	Q_D
CLR	0	0	0	0
t_1	0	1	0	0
t_2	0	0	1	0
t_3	0	1	1	0
t_4	0	0	0	1
t_5	1	0	0	0
t_6	1	1	0	0
t_7	1	0	1	0
t_8	1	1	1	0
t_9	1	0	0	1
t_{10}	0	0	0	0

图 7.103 74LS90 二－五进制计数序列

模 5 计数器部分产生的数据如图 7.103 所示。每当模 5 部分完成其计数时，Q_D 的 NGT 都将使触发器 A 的 Q_A 输出进一步被 2 分频。

74LS290

这种 14 引脚的 10 分频或 5 分频计数器与 74LS90 在功能上或者电路上是相同的，只是其集成电路引脚的排列有一些改变而已。

7.7 节复习题

A. 混合计数器与同步计数器或异步计数器相比，其主要优点是什么？

B. 混合计数器的集成电路均使用同步和异步内置时钟。

(1) 对

(2) 错

C. 将图 7.104 所示的 74LS92 接成一个 6 分频计数器。画出其外部连接图，给出输入的时钟脉冲。

D. 将图 7.104 所示的 74LS92 接成一个 12 分频计数器。画出其外部连接图，给出输入的时钟脉冲。

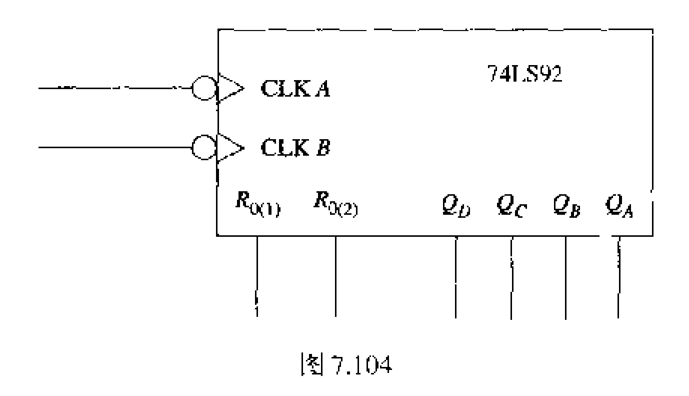


图 7.104

7.8 计数器译码

要点

1. 识别高电平输出有效和低电平输出有效的译码器
2. 给出所希望的译码器输出（数和电平）以及特殊的集成电路计数器，利用滤波设计译码电路。

为了使产生的输出计数有用，计数器的输出通常需要进行译码。译码是一个识别和/或转换二进制数字或代码的过程。截位计数器中已经使用了一些计数器译码的基础知识。截位门其实就是一个逻辑门，该门能将一个特定的计数码翻译成一个控制信号，从而给计数器清零或预置数。

必须将时序加/减计数器的计数输出码译成能够使其他数字电路在某一时刻工作的信号。如图 7.105 所示的模 8 顺序加计数器的输出数不能用来初始化系统，除非我们所希望的数被译码。图 7.105 所示的计数器的计数序列是 000，001，010，011，100，101，110，111，000 等。

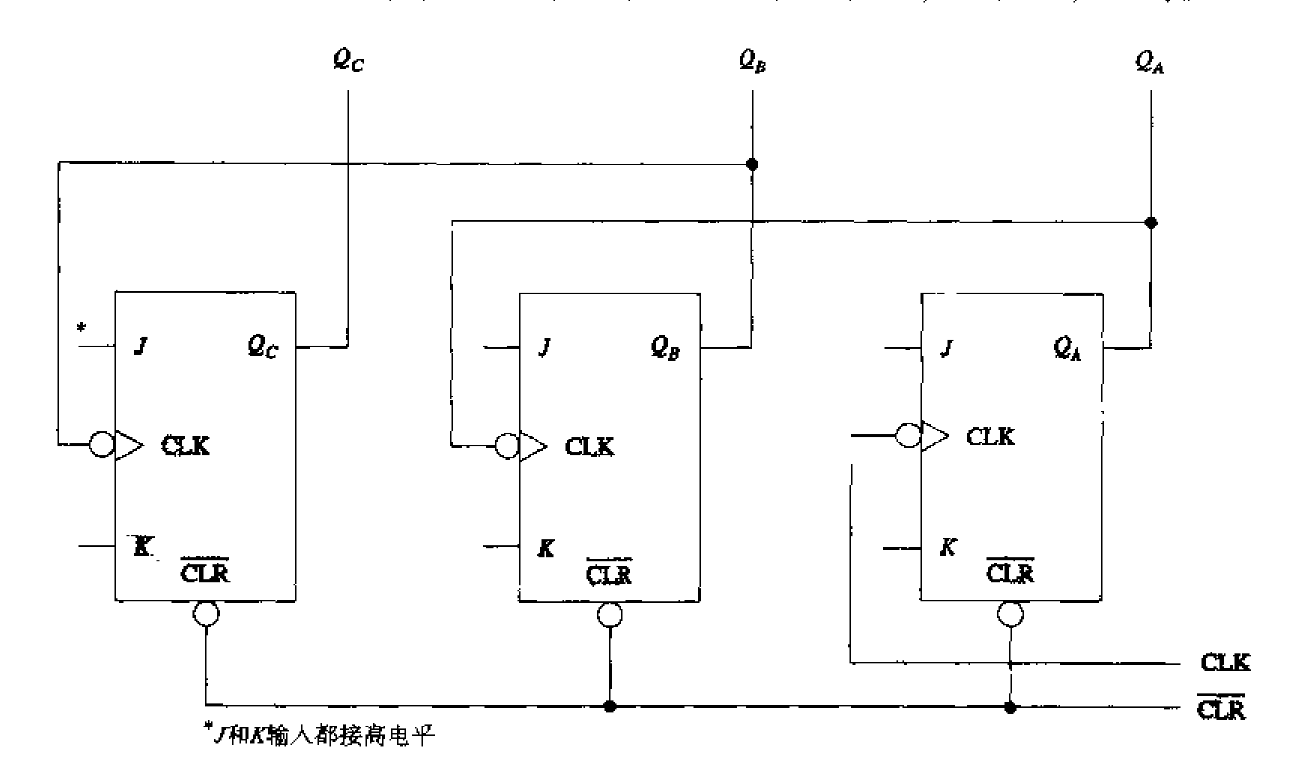


图 7.105 模 8 异步加计数器

来自计数器的110输出怎样激励高电平输入有效的电路呢？110计数产生的输出为$Q_C=1$，$Q_B=1$，$\bar{Q}_A=1$，该计数器的三个输出必须与译码门连接。图7.106中的计数器显示了解决这个问题的方法。计数器的Q_C，Q_B，$\bar{Q}_A$输出和与（AND）译码门的输入连接，当计数为110时，与门的所有输入均为高电平并且其输出也变为高电平。这种使用"与"门的译码过程称为高电平输出有效译码。

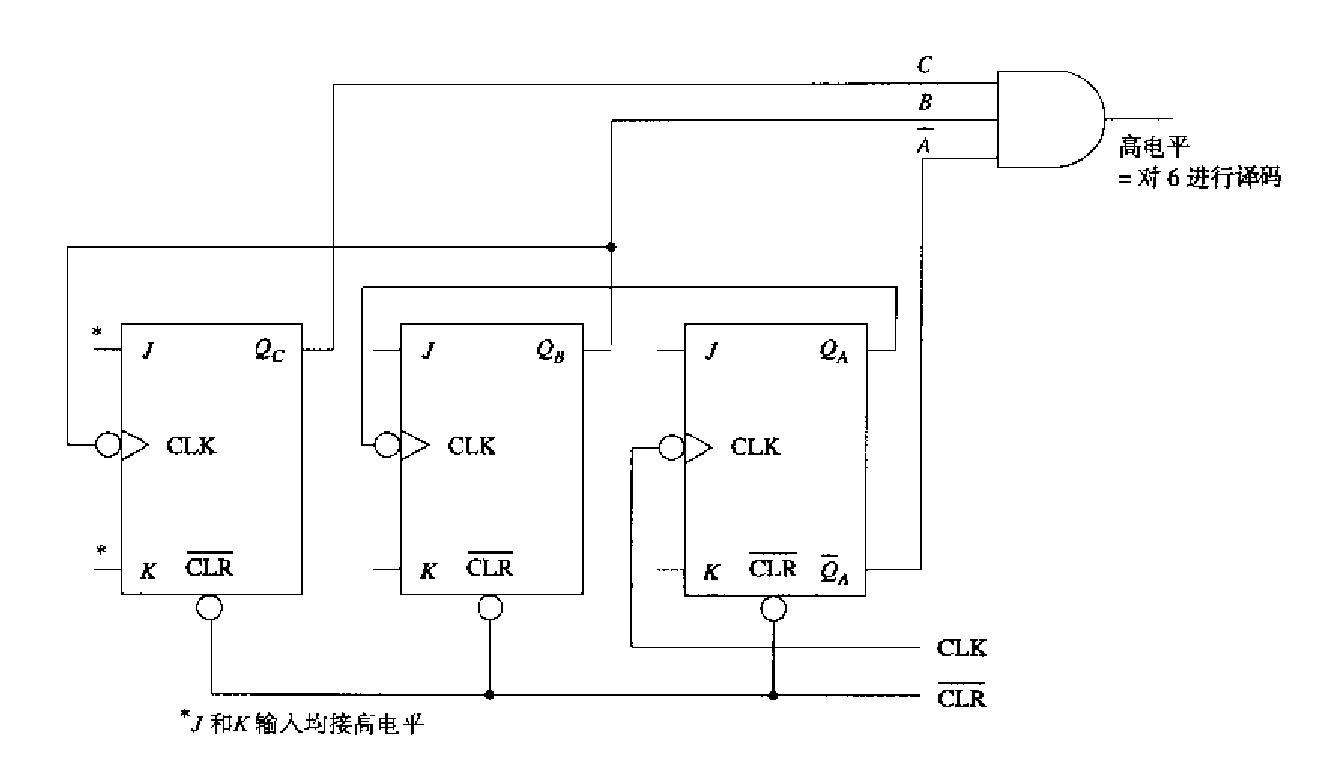


图7.106　模8异步加计数器

当对计数器译码时不能使用截位规则，其原因在于该规则阐明"将所有的高电平位接在截位门"。当该规则用于译码时，可能会遇到的问题是此时只有Q_C和Q_B连接到译码门。如果在前述的例子中只将这两位连接到译码门，那么该门就会对110和111译码。所以，计数器中每个触发器的输出必须都连接到其译码门，即将所希望的译码计数中的高电平位（$\underline{11}0=Q_C$和Q_B）和低电平位（$11\underline{0}=Q_A$）的补码位分别接到译码门的输入端，如图7.106所示。

如果问题改为：来自计数器的110计数输出怎样激励低电平输入有效的电路？那么答案与刚才是相同的，只是要使用一个"与非门"代替"与门"。使用"与非门"译码的过程称为低电平输出有效译码。

译码器模4加计数器的四种输出译码状态如图7.107所示。只有当计数为00时，$\bar{Q}_B\bar{Q}_A$与门的输出才为高电平。

当给异步计数器的输出译码时，将会遇到一个比较普遍的问题：计数器的输出会出现典型的如前所述的瞬时误码。如果译码输出正在驱动LED或7段码显示器，那么这些错误计数的影响很小。但是，如果译码输出是用于电路的时钟或对触发器清零或置位，那么误码经译码后将会导致严重的问题。

该问题的补救措施是"掩饰"这些瞬时误码或短时脉冲波形干扰 其具体的实施方法是采用选择脉冲进行处理. 在计数器的有效时钟转换之后，总会立即出现短时脉冲波形干扰。在计数器短时脉冲波形干扰期间，选择脉冲抑制了译码门，因此防止了不正确的译码输出。这种选择脉冲不能防止来自异步计数器的短时脉冲波形干扰的产生，但是可以防止正在译码的瞬时误码。产生选择脉冲的一种简单方法如图7.108(a)所示. 图中的7493异步集成电路计数器组成了模8计数器，其中的101计数被低电平有效的"与非门"译码了.

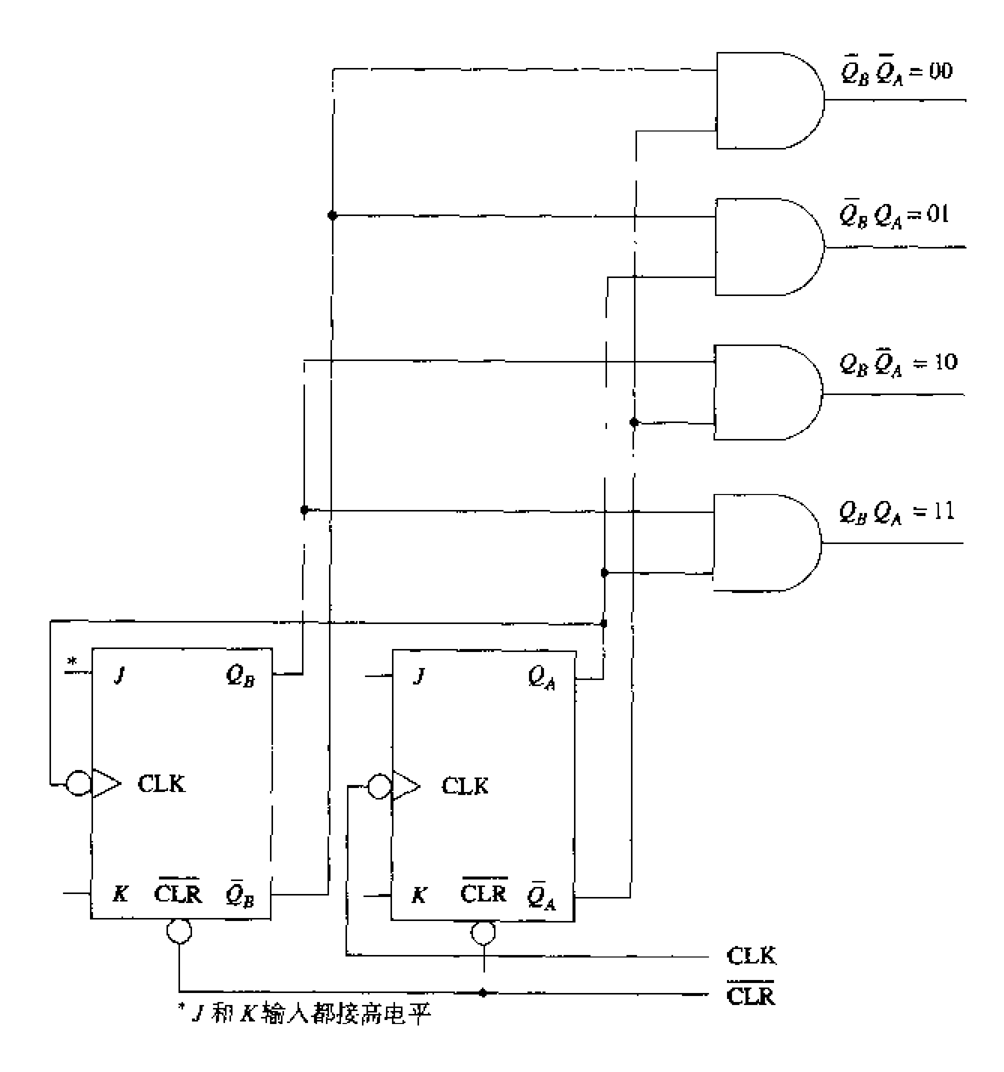


图7.107　模4异步加计数器

当$Q_D=1$，$Q_C=0$，$Q_B=1$时，出现了期望的译码输出。这里未用Q_A输出。因为在希望的计数中Q_C是低电平，所以它需要通过"非门"反相。译码输出的布尔表达式表明，当Q_D为高电平Q_C为低电平，Q_B为高电平，并且选择脉冲也为高电平时，其输出为低电平。CLK B输入作为译码器的选择脉冲。

CLK B输入和选择脉冲如图7.108(b)所示。当CLK B输入为高电平时，译码逻辑门工作。CLK B输入的NGT触发计数器增加一个计数。短时脉冲干扰是在有效时钟转换之后发生的，而在这段时间内选择脉冲是低电平，因此抑制译码门。

当大量的计数状态需要进行译码时，必须使用集成译码器。关于译码器的更多信息将在第10章有关中等规模集成电路的内容中介绍。

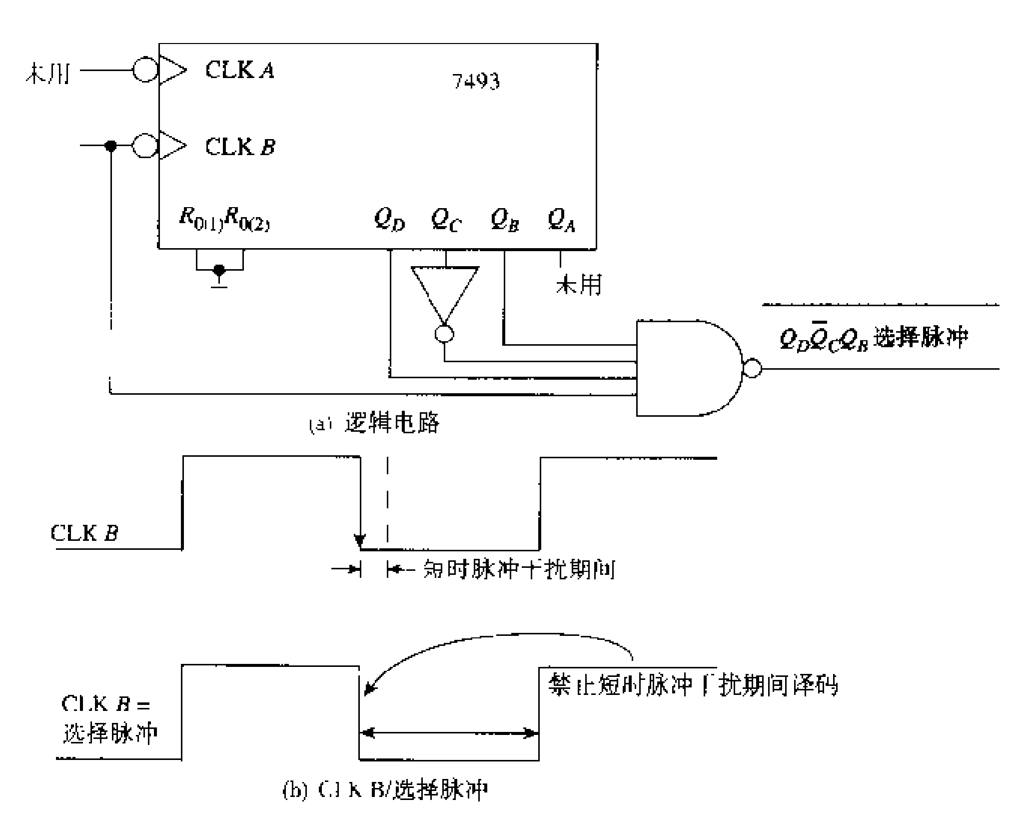


图 7.108　包括选择脉冲译码器的 7493 异步计数器

7.8 节复习题

A. 译码是一个识别和/或转换二进制数字或代码的过程。
  (1) 对
  (2) 错
B. 与非门用于________电平有效的译码中。
  (1) 高
  (2) 低
C. 选择译码器的门可以抑制错码的输出。
  (1) 对
  (2) 错
D. 将一个三输入与门与一个模 8 计数器连接，对计数器的 001 输出进行译码。
E. 参考复习题 D，计数为 001 时其与门的输出是高电平还是低电平？
F. 将一个四输入与非门与一个 BCD 计数器连接，对计数器的 $1001_{(BCD)}$ 输出进行译码。
G. 参考复习题 F，计数为 1001 时其与非门的输出是高电平还是低电平？

7.9 移位寄存器计数器

要点

1. 识别并确定环形计数器和约翰逊计数器的模。
2. 给出数据表和某一型号的集成电路计数器，要得到n分频的频率输出，确定所需要的输入和连接方式。

移位寄存器在第6.7节中已经有所描述，但6.7节中的讨论仅仅局限于通过一个移位寄存器串行移动数据。需要通过寄存器移动的数据只需连接到第一个触发器上，该数据在每个输入时钟脉冲的作用下向右移到下一个触发器。6.7节强调的关键点需要在这里再次强调。触发器响应的是有效时钟转换之前的数据。关键在于触发器的建立时间。利用移位寄存器可以构成一些有用的计数器。这种结构可以组成环形计数器和约翰逊计数器。

环形计数器

环形计数器是一种将其输出反馈到其输入端的移位寄存器，如图7.109所示。位的移动方式是通过环形计数器的各级进行的，这种方式可以用来控制事件的顺序，例如计算机和视频摄像机等的操作。

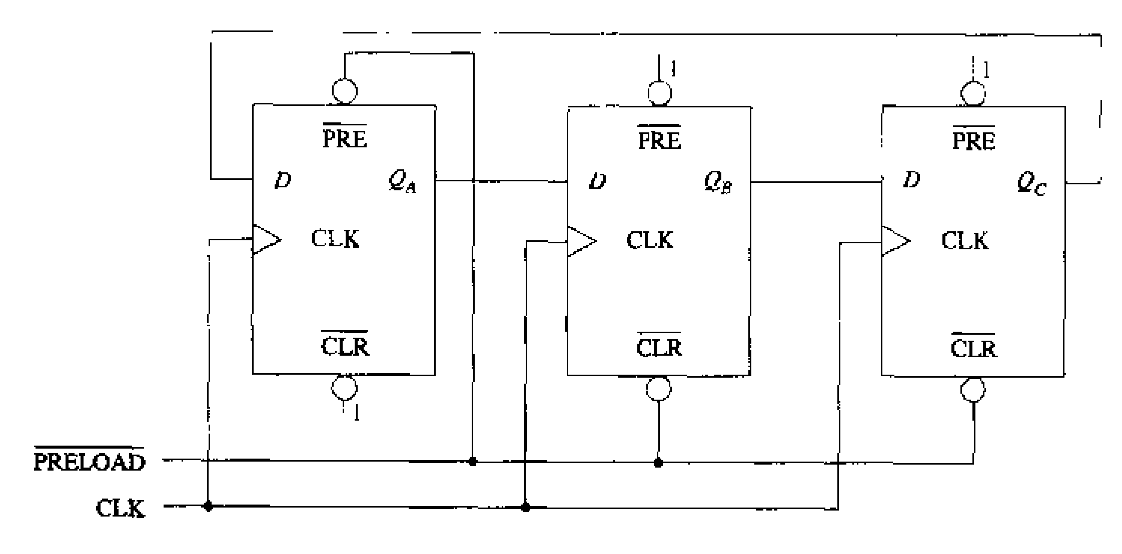


图7.109 3位环形计数器

图7.109中的环形计数器是采用PGT触发的触发器D实现的，可以看出触发器C的输出反馈连接到触发器A的数据输入端。

为了使环形计数器正常工作，环形计数器必须预置一个1。该计数器的目的是在每个时钟脉冲到来时使1在每个触发器中循环。如果计数器开始时是清零状态，那么通过环形计数器只是将0连续循环，不会实现任何功能。图7.109中的环形计数器通过及时启动$\overline{\text{PRELOAD}}$输入装入一个1，从而使触发器A置位，同时给触发器B和C清零。起初的计数状态是100，该数据在每一个有效的时钟转换时在每个触发器中串行移动。其计数序列如下所示：

100 ·· $\overline{\text{PRELOAD}}$
010 ·· t_1
001 ·· t_2
100 ·· t_3

图7.110中的波形显示，任意一个Q输出的频率均为$f_{in}/3$。环形计数器的模等于该计数器的触发器的个数。该计数器的每个触发器在每三个时钟脉冲时刻收到一次高电平，波形图表明环形计数器的状态数等于其触发器的个数。因此，环形计数器的输出（$f_{in}/3$）可以从任何一个触发器上得到，而不需要译码门。

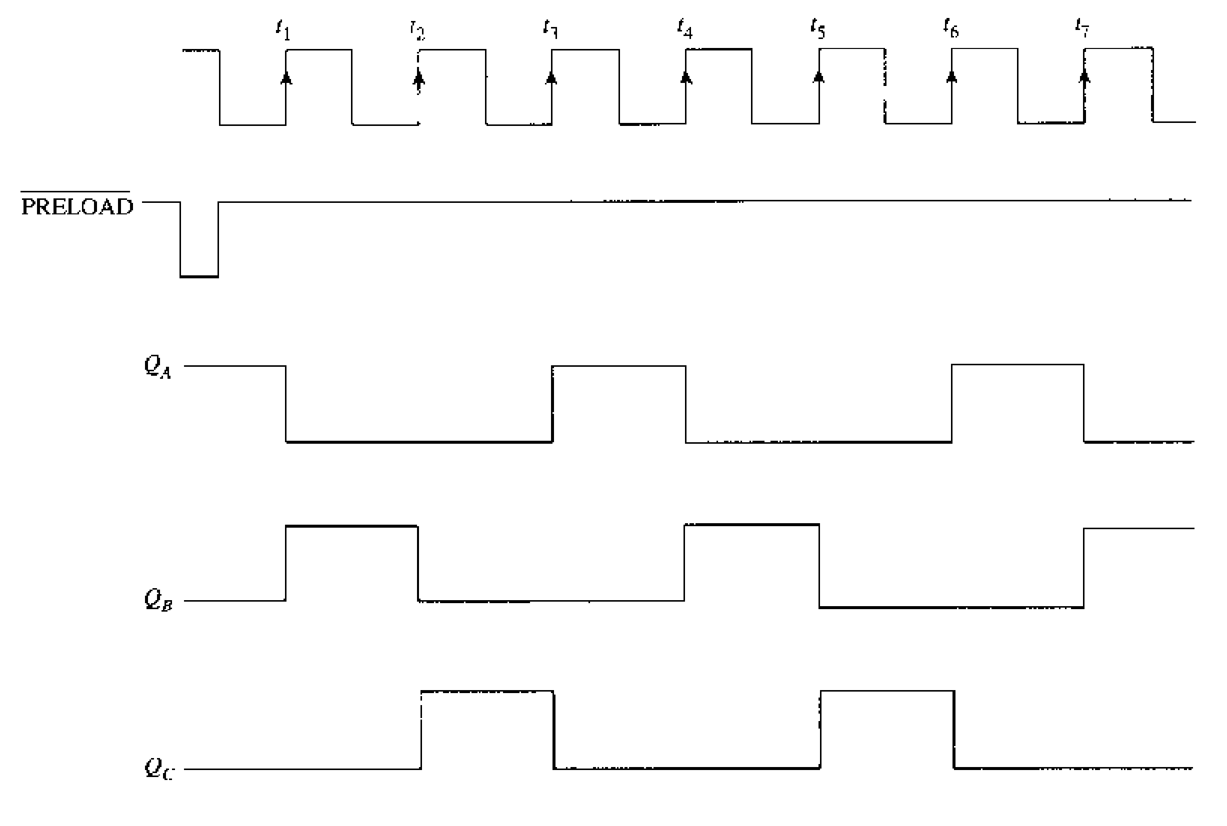


图7.110 3位环形计数器的波形

利用5个触发器可以实现模5环形计数器。图7.111中的环形计数器是利用J-K触发器实现的。使用和上一个环形计数器一样的预置对一个触发器置位，并将其他的触发器清零。其计数序列如下：

10000
01000
00100
00010
00001
10000

图7.112是这种环形转换器的输出波形。

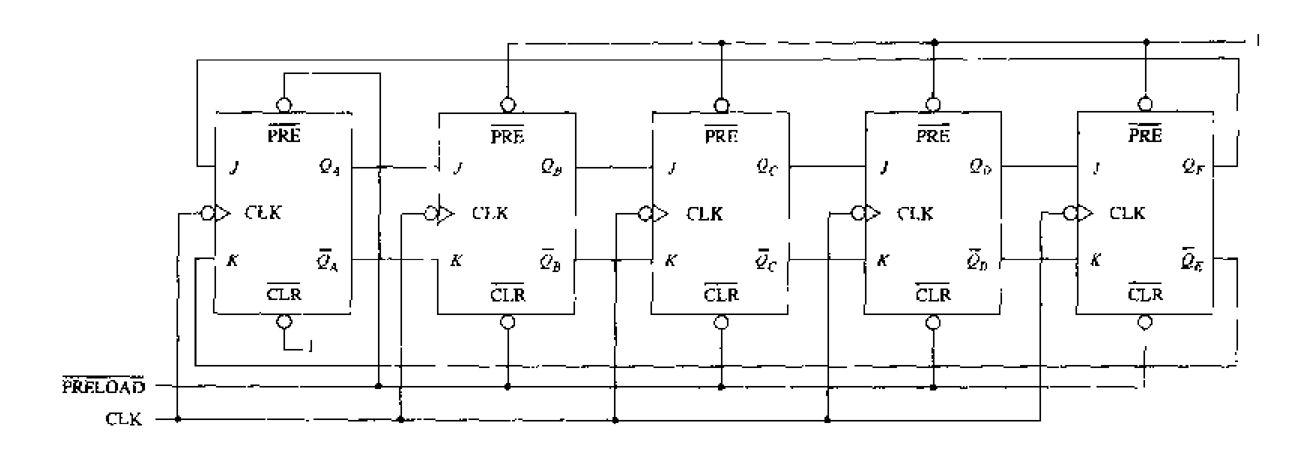


图7.111　5位环形计数器

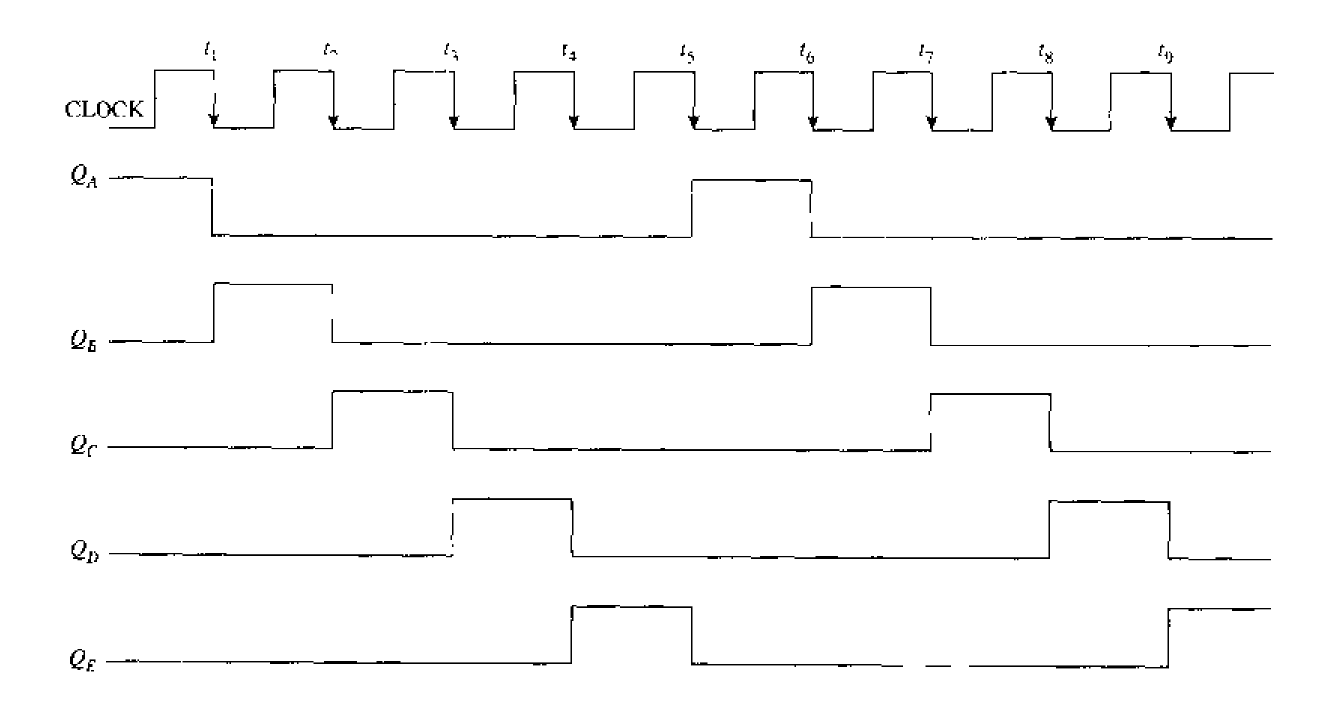


图7.112　5位环形计数器的波形

利用触发器实现环形计数器的问题在于，和类似模值的计数器相比，它们需要使用更多的触发器。不过，环形计数器的优点有时也是很明显的，因为它们的输出不需要译码门，这样可以消除由于译码门的存在而造成的传输延迟。

约翰逊计数器

将图7.109中的3位环形计数器改为如图7.113所示的约翰逊计数器。这种修改是将$\bar{Q}_C$而不是Q_C反馈连接到触发器A的数据输入端。

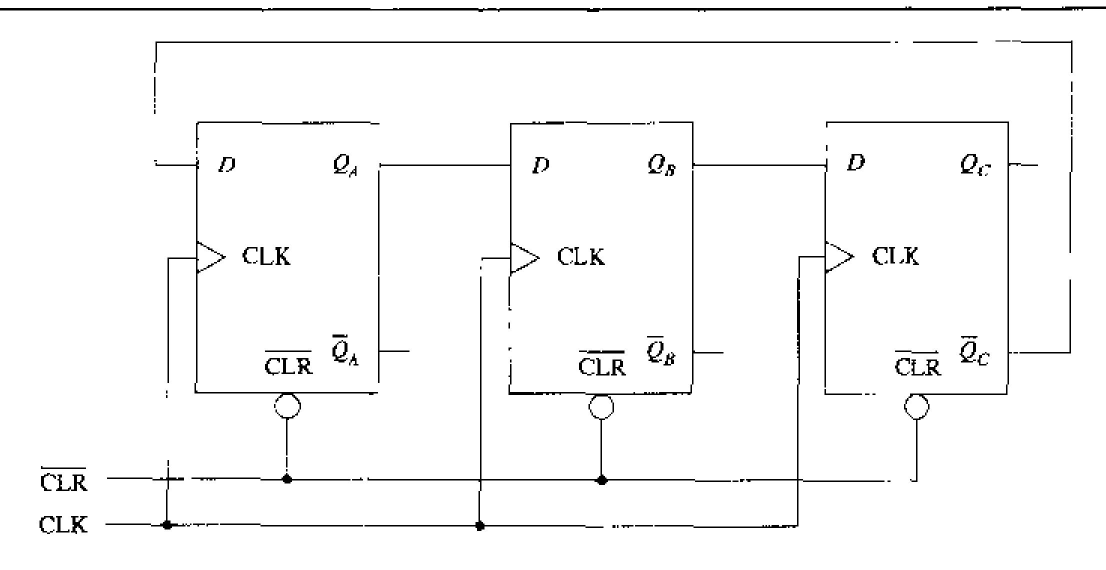


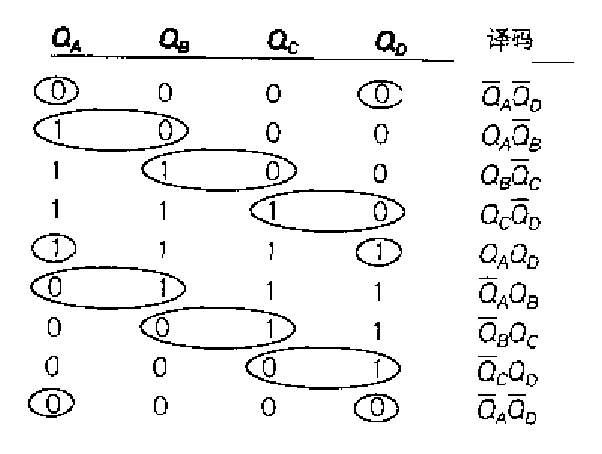
图 7.113　模 6 约翰逊计数器

该计数器可以通过有效的$\overline{CLR}$输入清零。因为Q_C反馈连接到触发器A的数据输入端，所以该触发器在第一个有效时钟转换时对其置位。从某种意义上讲，该计数器是自装入的，因为Q位产生了位的移动方式，其位方式如下所示：

000 ………………………… $\overline{CLR}$
100 ………………………… t_1
110 ………………………… t_2
111 ………………………… t_3
011 ………………………… t_4
001 ………………………… t_5
000 ………………………… t_6

这种位方式表明计数器先装入逻辑 1，再装入逻辑 0；同时，该方式显示了 6 种完全不同的状态，这说明约翰逊计数器的模等于计数器中触发器的个数的两倍。

在模 8 约翰逊计数器中，可以利用译码门检测计数器的所有输出序列，如图 7.114(a)所示。标准的 4 位二进制计数器需要一个四输入“与门”或“与非门”来检测其输出状态，而约翰逊计数器因为其独特的位方式，只需要一个二输入“与门”或“与非门”进行译码。正是由于其位方式，约翰逊计数器有时也称为扭环形计数器。下图可以证明这种特性：



Q_A	Q_B	Q_C	Q_D	译码
0	0	0	0	$\overline{Q}_A\overline{Q}_D$
1	0	0	0	$Q_A\overline{Q}_B$
1	1	0	0	$Q_B\overline{Q}_C$
1	1	1	0	$Q_C\overline{Q}_D$
1	1	1	1	Q_AQ_D
0	1	1	1	$\overline{Q}_AQ_B$
0	0	1	1	$\overline{Q}_BQ_C$
0	0	0	1	$\overline{Q}_CQ_D$
0	0	0	0	$\overline{Q}_A\overline{Q}_D$

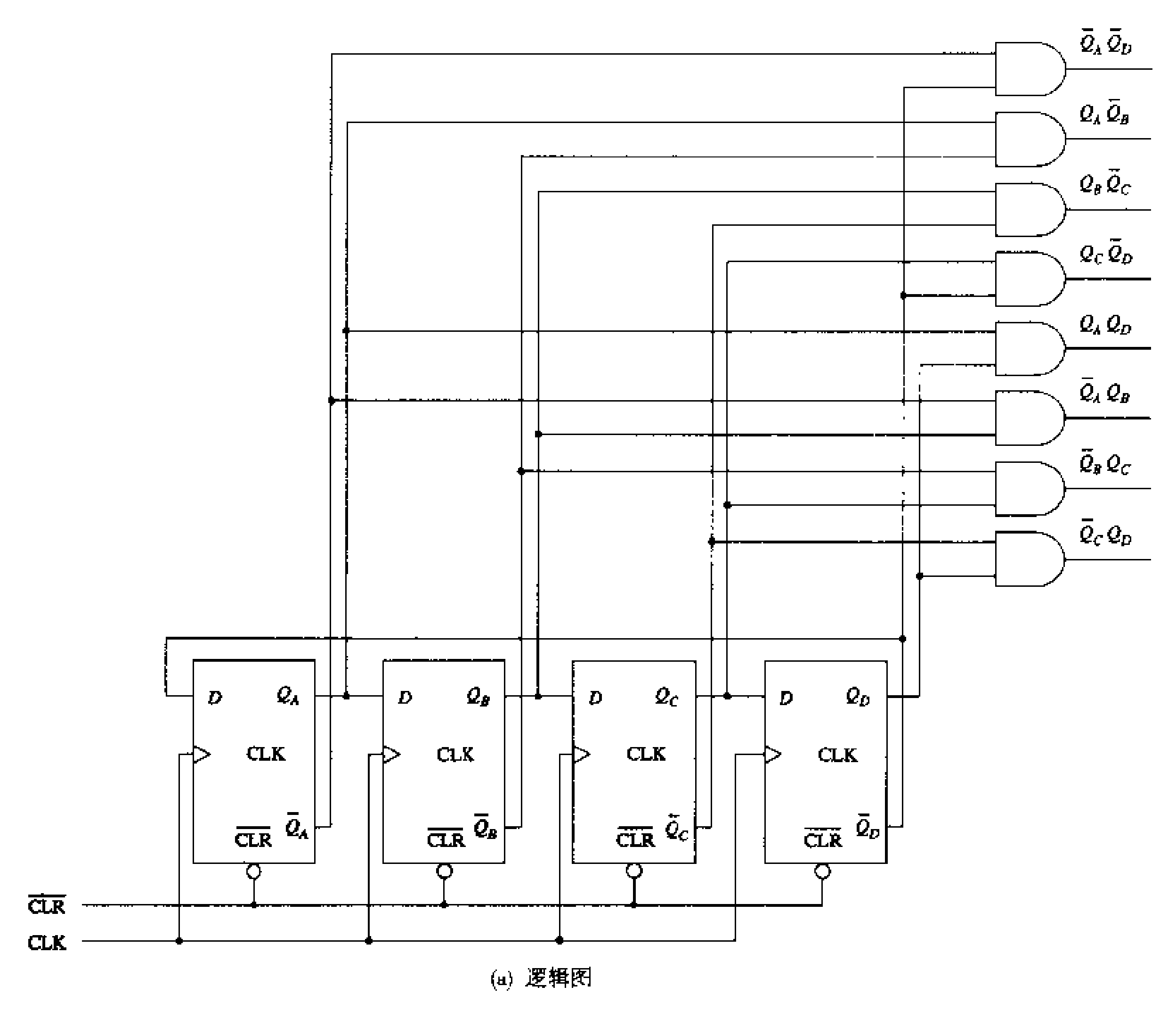
该计数器可以通过将$\bar{Q}_A$和Q_D相与或者相与非来进行译码。同样，所有的高电平输出都可以通过将Q_A和Q_D相与或者相与非来实现译码。所有其他状态的译码可以通过将触发器的Q输出和下一个触发器的$\bar{Q}$输出相与或者相与非来实现。无论约翰逊计数器中包含多少个触发器，上述结论都是正确的。图7.114(a)中的与门将会检测所有计数器的输出状态，约翰逊计数器和译码器的输出波形如图7.114(b)所示。

14018

14018集成电路是一种可以预置的n分频计数器，其中包含五级约翰逊计数器，其逻辑符号和功能表如图7.115(a)和图7.115(b)所示。

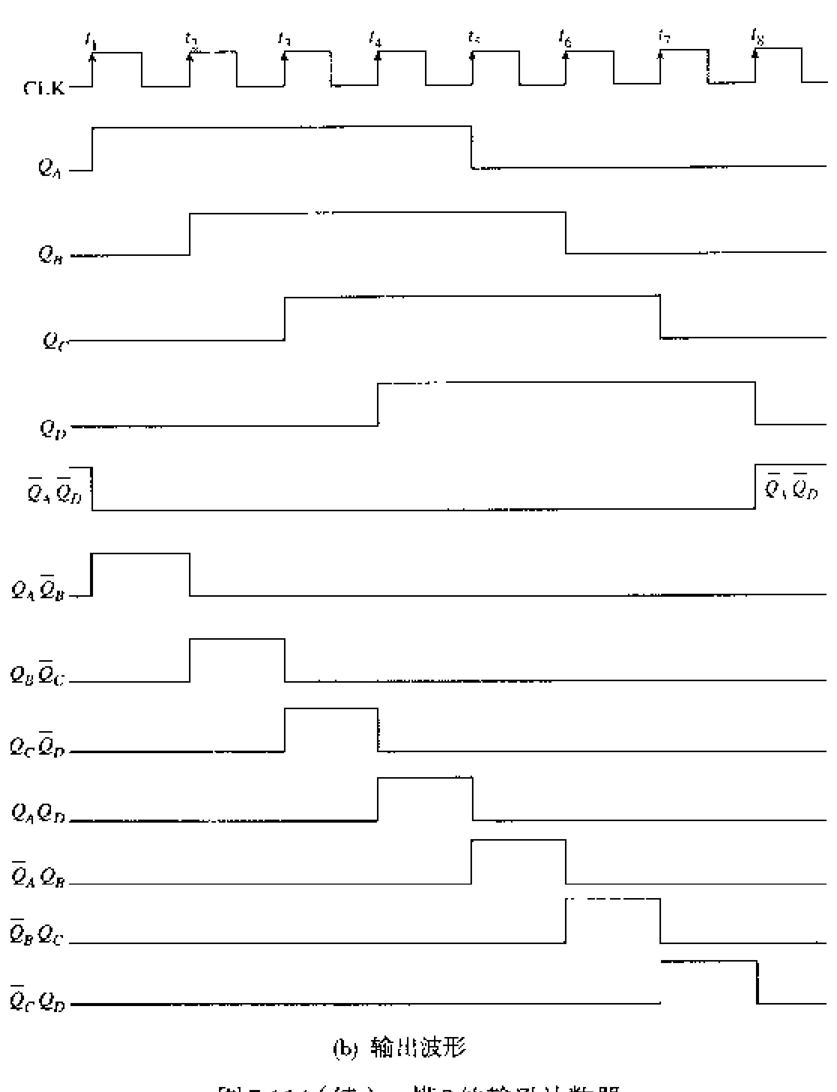
由功能表可以看出，如果RESET和可预置使能端（PE）为低电平，那么在时钟脉冲的PGT时刻，D输入的数据将锁存在$\bar{Q}$端。该功能表同时也表明，当PE有效且RESET无效时，其JAM输入数据异步装入$\bar{Q}_n$。术语“JAM”是指这样一种状态，即无论是数据输入还是时钟输入，其状态都将强制送入一个触发器。换句话说，这是一个异步装入。当RESET有效时，该计数器将会异步复位（$\bar{Q}_n = 1$）

14018的逻辑图和功能选择表如图7.116所示。14018可以组成从2到10任意分频的计数器。



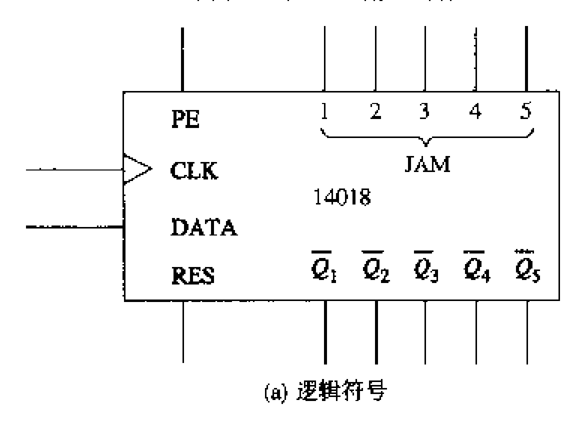
(a) 逻辑图

图7.114　模8约翰逊计数器



(b) 输出波形

图 7.114（续） 模 8 约翰逊计数器



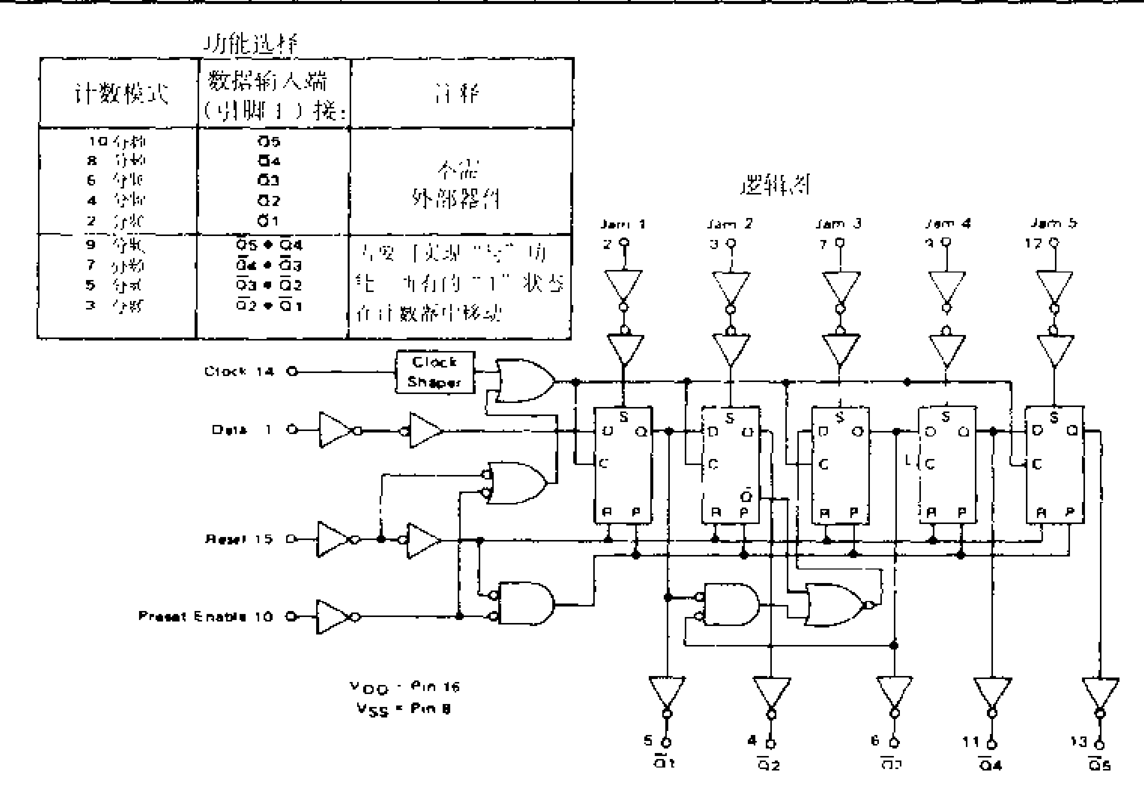
(a) 逻辑符号

RESET	PE	CLK	JAM IN	$\overline{Q}_n$
0	0	↑	X	$\overline{D}_n^*$
0	1	X	0	1
0	1	X	1	0
1	X	X	X	1

*N 阶输入数据

(b) 功能表

图 7.115 14018 组成的可预置的 n 分频约翰逊计数器


功能选择

计数模式	数据输入端（引脚1）接：	注释
10分频 8分频 6分频 4分频 2分频	Q̄5 Q̄4 Q̄3 Q̄2 Q̄1	不需外部器件
9分频 7分频 5分频 3分频	Q̄5 • Q̄4 Q̄4 • Q̄3 Q̄3 • Q̄2 Q̄2 • Q̄1	为了实现"与"功能，当有的"1"状态在计数器中移动

图 7.116 14018组成的可预置的n分频约翰逊计数器

14018 10分频计数器。当$\overline{Q}_5$连接到数据输入端时，约翰逊计数器进行10分频。这是前面讨论过的由5个触发器构成的标准约翰逊计数器结构，该结构如图7.117所示。

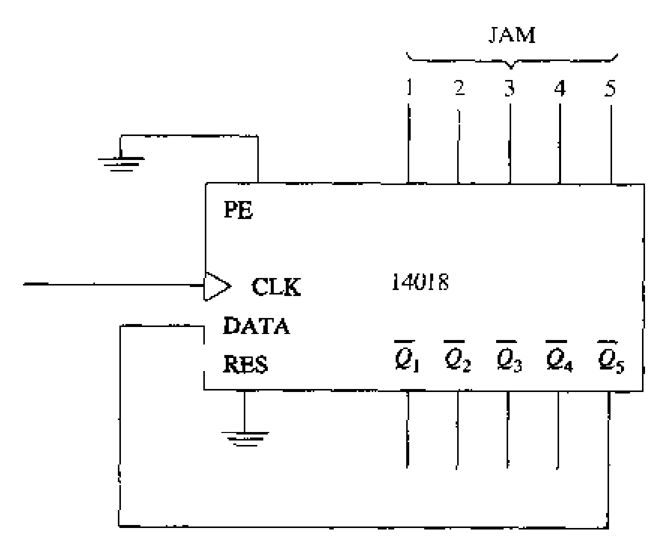


图 7.117 14018 10分频计数器

14018 6分频计数器。当$\overline{Q}_3$连接到数据输入端时，约翰逊计数器进行6分频。这样可以有效地构成一个含3个触发器的约翰逊计数器，该计数器的模是触发器个数的两倍。

14018 5分频计数器。从功能选择表中可以看出，为了实现5分频的功能，$\overline{Q}_3$必须与$\overline{Q}_2$相与。该模5计数器如图7.118所示。该电路在功能选择表中使用了一个外部与门，以实现5分频的功能。Q与$\overline{Q}$的输出如下所示：

Q_1	Q_2	Q_3	$\overline{Q}_1$	$\overline{Q}_2$	$\overline{Q}_3$	
0	0	0	1	1	1	与输出，使D输入为高电平
1	0	0	0	1	1	与输出，使D输入为高电平
1	1	0	0	0	1	与输出，使D输入为低电平
0	1	1	1	0	0	与输出，使D输入为低电平
0	0	1	1	1	0	与输出，使D输入为低电平
0	0	0	1	1	1	循环

图7.118　14018 5分频计数器

其中，Q_1为计数器的输出。

7.9节复习题

A. 由4个触发器组成的计数器的模等于4，这是哪一种计数器?

B. 为了使环形计数器能够正常工作，必须将一个高电平装入触发器吗?

C. 为了使约翰逊计数器能够正常工作，必须将一个高电平装入触发器吗?

D. 画出一个3位约翰逊计数器。

E. 如复习题D所述，t_5之后该约翰逊计数器的计数为多少?

F. 如复习题D所述，该约翰逊计数器的模是多少?

阶段性小结（7.7节～7.9节）

混合计数器利用同步和异步时钟方式驱动，这些计数器的主要优点是能够产生对称的n分频输出。

74LS92是一个可以12分频或6分频的混合计数器，相关的数据表提供了必要的信息以确定如何连接，从而完成对相应的集成电路的分频能力的控制。

74LS90是一个可以10分频或5分频的混合计数器。该计数器利用相应的线路连接可以产生两种不同的模10输出。该计数器可以产生一个正常的BCD输出（0000~1001），此外还能够进行10分频，产生一个可以用于二－五进制操作的对称输出。

当在某一时刻需要利用计数器的输出去驱动一个电路时，该输出需要进行译码。与门可以产生有效高电平译码输出，而当使用与非门作为译码器时，可以产生有效低电平译码输出。

二进制数101对应于$Q_C=1$，$Q_B=0$，$Q_A=1$。如果将这些位连接到与门上，其输出布尔表达式将会是$Q_C\overline{Q}_BQ_A$。因为在这个计数中Q_B是低电平，所以将$\overline{Q}_B$接到与门上。注意，为了将该输出译码，其中的高电平位应该直接连接到译码门上，低电平位的补码也必须连接到译码门上，如图7.119所示。当所有的输入为高电平时，与门才输出高电平。这种情况只有在二进制计数为101时发生。

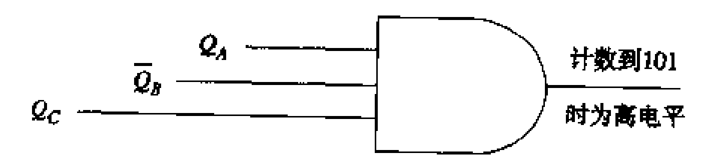


图7.119　二进制数101的与门译码器

在计数器的短时脉冲波形干扰期间，译码电路的选择脉冲抑制了译码门。就是在这个短时脉冲波形干扰期间，才会发生瞬时误码。通过利用选择脉冲可以控制译码器，从而将瞬时误码从译码器的输出中消除。具体过程是在短时脉冲波形干扰期间关掉译码器，重新设置计数器的输出，然后再将译码器打开。

两类基本的移位寄存器计数器是环形计数器和约翰逊计数器。

环形计数器是一个将其 Q 输出反馈到其输入端的移位寄存器。为了实现分频，该计数器必须预置一个1。环形计数器的模等于其触发器的个数。

约翰逊计数器是一个将其 $\bar{Q}$ 输出反馈到其输入端的移位寄存器。该计数器不需要进行预置，因为它可以从"清零"状态进行自动装入。一旦时钟开始后，计数器开始装入逻辑1，然后是逻辑0。约翰逊计数器的模等于其触发器个数的两倍。

阶段性练习（7.7节～7.9节）

参照制造商数据表回答下列各题。

1. 混合计数器使用________时钟。
   a. 同步
   b. 异步
   c. 可逆
2. 与其他计数器相比，混合计数器的主要优点在于它们能够________。
   a. 译码　　c. 截位
   b. 级联　　d. 产生对称的 n 分频输出
3. 可以买到集成电路块形式的商用混合计数器。
   a. 对　　b. 错
4. 图7.120中的74LS92集成电路可以构成一个________分频的计数器。
   a. 5　　c. 10
   b. 6　　d. 12

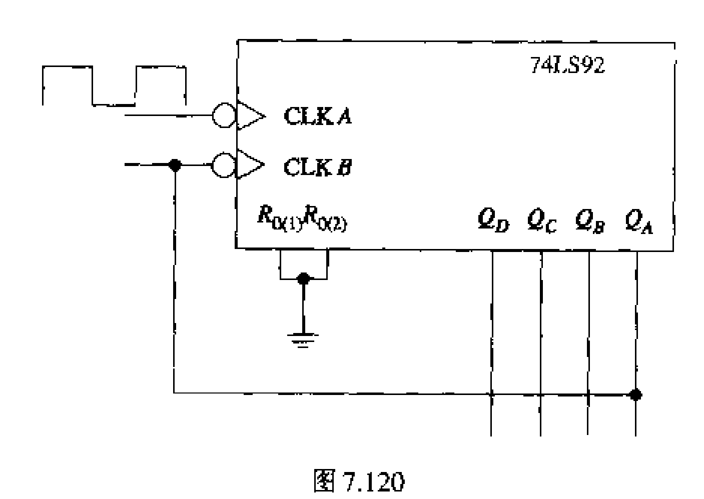


图7.120

5. 图7.121中的74LS92集成电路可以构成一个________分频的计数器。
   a. 5　　c. 10
   b. 6　　d. 12

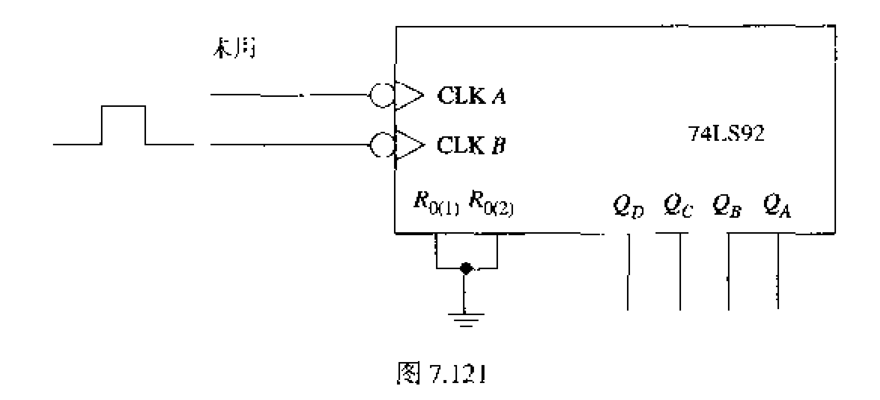


图 7.121

6. 图 7.122 中的 74LS90 计数器可以构成一个________分频的计数器。
   a. 5
   b. 16
   c. 模 10 BCD
   d. 模 10 二－五进制

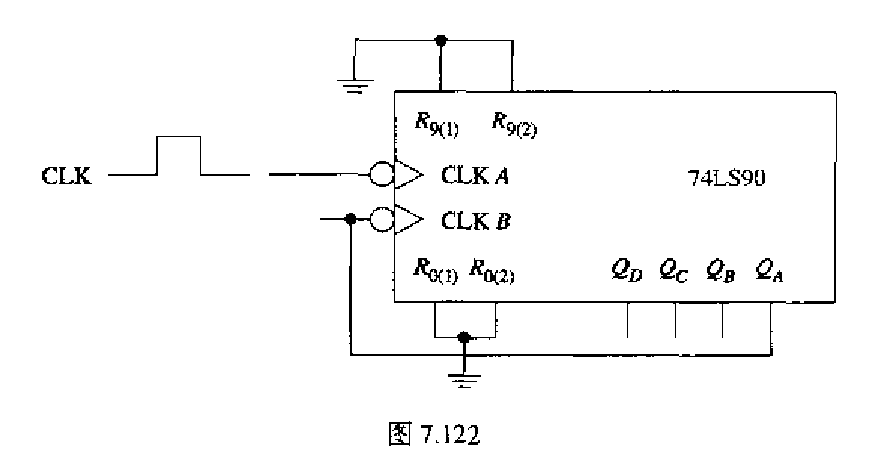


图 7.122

7. 图 7.123 中的译码门能够产生一个________电平有效输出。
   a. 低
   b. 高

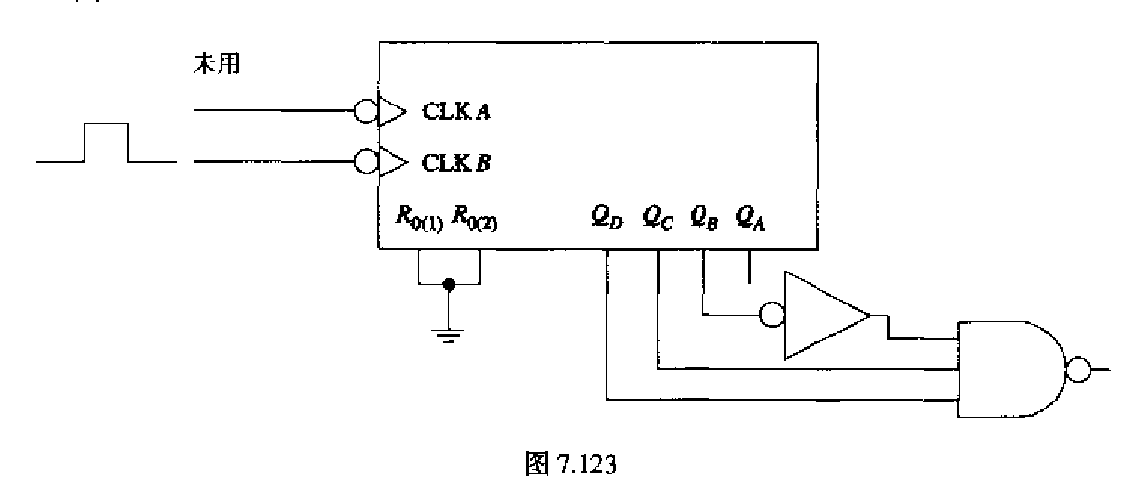


图 7.123

8. 图 7.123 中的译码器能将二进制数________译码。

a. 000　　c. 110

b. 011　　d. 111

9. 如果在某一计数时刻需要执行某个动作，那么必须译码该二进制计数。

a. 对　　b. 错

10. 选择脉冲通常作为计数器的时钟，从而使输出端不会产生短时脉冲波形干扰。

a. 对　　b. 错

11. 确定图7.124所示的电路

a. 模4环形计数器

b. 模8环形计数器

c. 模4约翰逊计数器

d. 模8约翰逊计数器

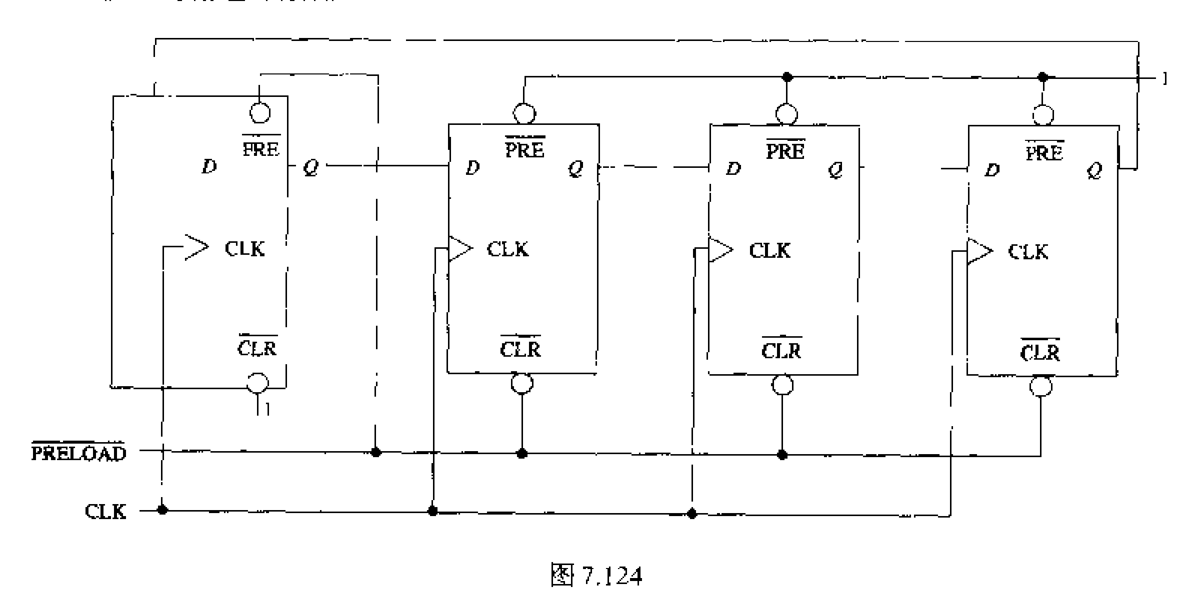


图7.124

12. 确定图7.125所示电路的模。注意，前两个触发器置位，后两个触发器清零。

a. 2　　c. 6

b. 4　　d. 8

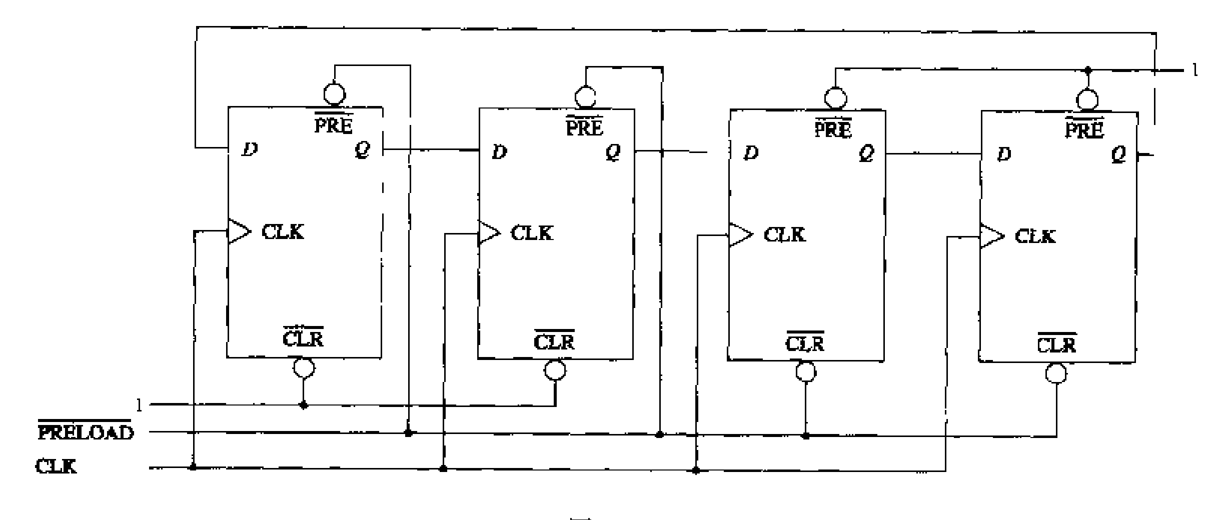


图7.125

13. 确定图 7.126 所示的电路为________。
 a. 环形计数器
 b. 约翰逊计数器
 c. 同步计数器
 d. 异步计数器
14. 图 7.126 所示计数器的模是多少?
 a. 3 b. 6
 c. 8 d. 16

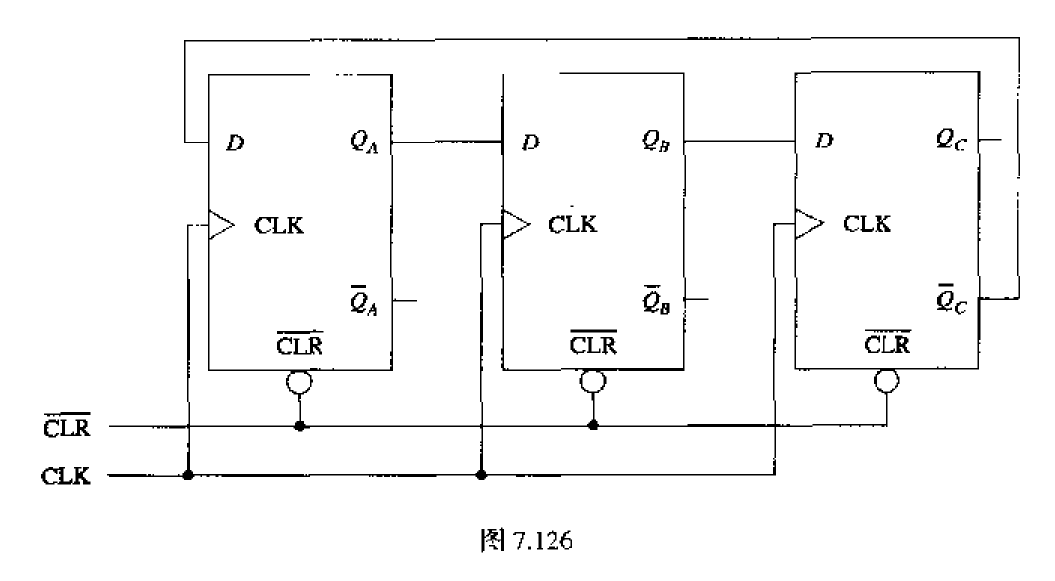


图 7.126

15. 在如图 7.126 所示的电路中，在 4 个时钟脉冲之后该电路的输出是什么? 从 CLEAR 状态开始。
 a. 110 c. 011
 b. 111 d. 001

7.10 计数器的实际应用

要点

将计数器作为分频器来设计数字电路。

7.10.1 分频

使用计数器和触发器来实现分频的一个典型的例子如图 7.127 所示。该系统利用分频技术来获得一天时间（TOD）的时钟滴答信号，以此来保持该数字系统的时钟更新。这种时间/日期信息有时应用在日常时间标记文件中。

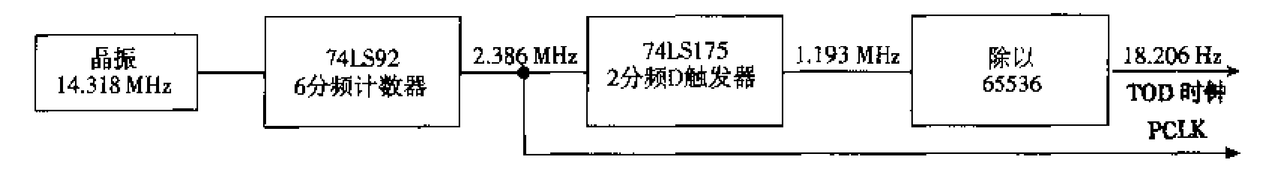


图 7.127 TOD 时钟逻辑电路图

在这个例子中，基频来源于一个标准的14.318 18 MHz的晶振，该频率被6分频后得到2.386 MHz的频率。在有些系统中利用这种频率来启动较慢的外围设备，因此将之称为外围时钟（PCLK）信号。2.386 MHz 频率能够进一步被 2 分频为 1.193 MHz 的信号，这种信号用于可编程的间隔时钟电路，以获得 TOD 时钟滴答信号。

在可编程的间隔时钟电路中，利用一个 16 位的减计数器将 1.193 MHz 的信号进行 65 536 分频之后可得到 18.206 Hz 的频率信号，该信号为一天时间（TOD）的时钟滴答信号。

相关的数学表述如下：

14.318 18 MHz/6 = 2.386 MHz

2.386 MHz/2 = 1.193 MHz

1.193 MHz/65 356 = **18.206 Hz**（TOD 时钟滴答信号）

18.206 Hz/65 356 = 277.8^{-6} Hz ≈ 3 600 秒

TOD时钟电路利用18.206 Hz的时钟信号来驱动一个16位的加计数器。当计数到$FFFF_{(16)}$时，时钟的小时部分加1，因为65 356 个 TOD 时钟滴答信号刚好等于一个小时（3 600 秒）。

7.10.2 计数

十进制计数单元

图 7.128 所示为一个十进制计数电路。该电路从 000 开始计数，直到 999 结束（模 1000）。通过将 3 个 7490 IC 的 BCD 计数器级联来实现，每一个计数器的输出通过一个 BCD-7 段译码器/驱动器译码，在第 10 章将介绍这些译码器。一旦进行了译码，译码器的输出将在 7 段码显示器上正确地显示相应的计数。该计数器单元的计数序列如下所示：

Q_D	Q_C	Q_B	Q_A	
0	0	0	0	
0	0	0	1	t_1
0	0	1	0	t_2
0	0	1	1	t_3
0	1	0	0	t_4
0	1	0	1	t_5
0	1	1	0	t_6
0	1	1	1	t_7
1	0	0	0	t_8
1	0	0	1	t_9
*0	0	0	0	t_{10}

从 t_9 到 t_{10}，每 10 个时钟脉冲，计数序列在个位计数器的 Q_D 端产生一个 NGT。这个 NGT 使十位上的计数器加 1。在个位和十位上的计数器均增加到计数值 9（t_{99}）后，在十位计数器的 Q_D 输出的 NGT 时刻，百位计数器将加 1。这样，每 100 个时钟脉冲，就产生了百位计数器的 NGT。当计数器增加到最大数 999 时，系统复位到 000。

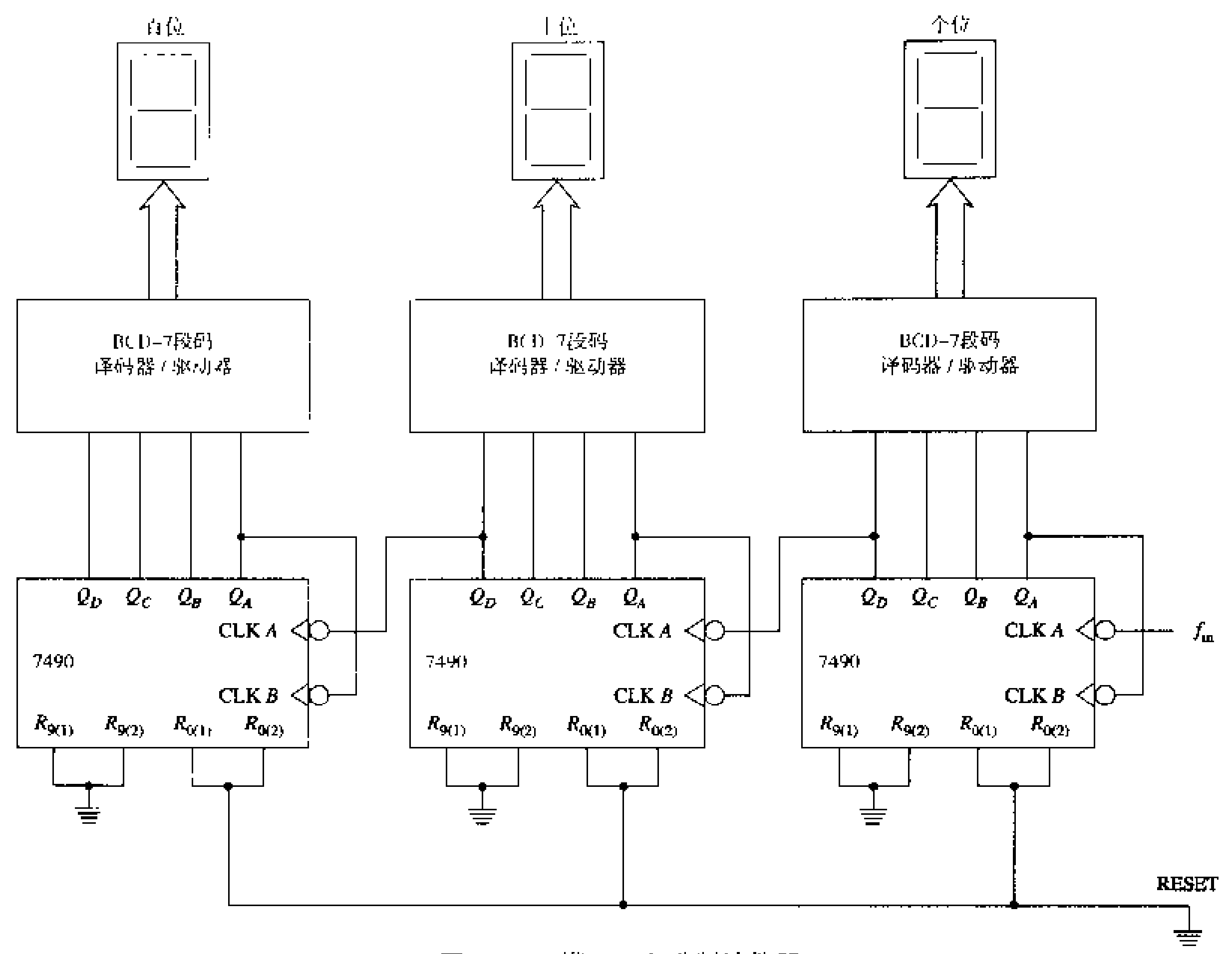


图 7.128 模 100 十进制计数器

24 小时时钟

计数的另一个应用如图 7.129 所示，即为 24 小时时钟。该时钟包括 BCD 以及截位计数器，用于控制时钟的小时、分钟和秒的各个部分。计数器的输出经过译码，用于驱动 7 段码显示器，就像它们在十进制计数单元中一样。

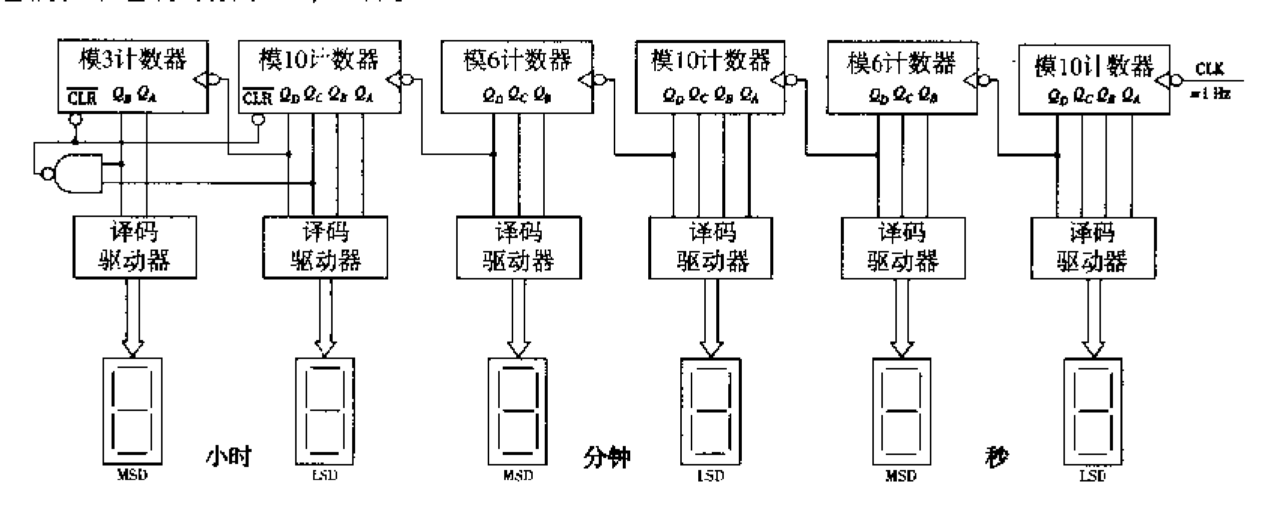


图 7.129 24 小时时钟

电路的时钟是一个1 Hz的时钟脉冲，该1 Hz的时钟脉冲是将电源插座输出的60 Hz的信号进行60分频后得到的。60 Hz的信号首先必须与TTL或者CMOS输入要求相兼容。秒部分必须从00到59计数。可以用一个BCD计数器对秒的LSD（0~9）进行计数。每1秒钟，BCD计数器就从0000加1，直到$1001_{(BCD)}$。一般使用一个模6计数器对秒的MSD（0~5）进行计数。

LSD秒计数器产生的输出计数等于前面所讲的十进制计数单元中的计数。另外，从t_0到t_{10}的计数序列将每10秒在LSD秒计数器的Q_D输出端产生一个NGT。因此，每10秒MSD秒计数器将加1。秒部分的MSD计数器是一个模6计数器，该计数器每10秒加1，计数序列如下所示：

Q_D	Q_C	Q_B	
0	0	1	t_1
0	1	0	t_2
0	1	1	t_3
1	0	0	t_4
1	0	1	t_5
0	0	0	t_6

该模6计数器从000开始增加至101，然后复位。每当模6计数器复位时，在其Q_D输出端产生一个NGT，这将导致分钟电路的LSD计数器加1，这样的动作每60秒发生一次。

我们将对该计数器的分钟计数器再进行一次详细的讨论，它等同于该计数器的秒计数器部分。59分钟之后，分钟部分的计数器将会复位，此时，分钟部分的模6计数器的Q_D输出端产生一个NGT。该NGT使小时部分的LSD计数器加1。

每60分钟，小时部分的计数器加1。这样的计数将持续到23：59：59秒结束。小时部分计数到24时，将通过"与非门"进行译码，然后小时部分将会复位为00。

实际上有很多种方法可以实现24小时时钟，而且很容易将其改为12小时时钟。利用IC计数器实现时钟，可以节省主板的很多空间。数字时钟电路与目前已有的单个IC芯片的电路一样。

7.11 计数器的故障诊断

要点

给出某一计数器的特征，确定其可能的故障源。

在进行计数器的故障诊断时，可能遇到的问题是错误计数。这类问题在异步计数器中非常普遍，因为它们的内部传输延迟是附加的。在异步计数器中产生短时脉冲波形干扰现象是很正常的。总之，如果计数器的运行频率超过其最大频率，一定会发生计数错误。

图7.130所示为异步计数器超过最大频率f_{max}后所产生的结果。该图为模8计数器的波形图，其中每个触发器的延迟为40 ns，整个计数器的传输延迟是120 ns。这种延迟允许计数器的最大工作频率为8.3 MHz。该例中的计数器的时钟频率为15 MHz。希望得到的和实际得到的计数以十进制数的形式标在波形下方。通过降低时钟输入频率，可以确定计数错误问题是否与当前输入的时钟频率有关。

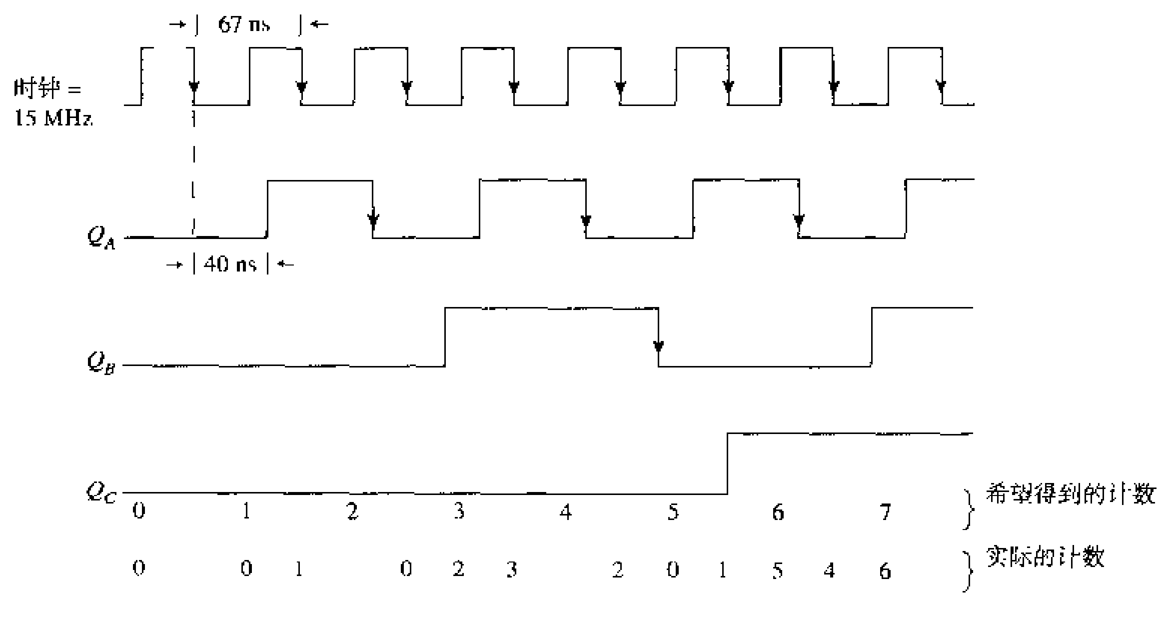


图 7.130 模 8 异步计数器的波形（时钟为 15 MHz）

利用分立触发器可以构成一个简单的计数器电路，以便进行故障诊断。图 7.131 所示的是一个模 8 异步计数器。该电路将会产生大量的错误输出。无论是什么故障特征，首先使用逻辑探针检查触发器 IC 的 V_{CC} 和地线是非常简单方便的。一般将其作为第一步，因为如果没有给电路正常加电，集成电路将无法正常工作。为了实现电路的基本功能，J 和 K 输入以及 $\overline{CLR}$ 和 $\overline{PRE}$ 都必须为高电平。使用逻辑探针可以很快检测到错误的电平并将故障隔离。注意，如果查出电源出现问题，则应该使用伏特表检查 V_{CC}。使用逻辑探针无法检测到电源供电不正常的问题，但是这个问题将会导致不稳定工作状态的出现，以及很多令技术人员头疼的问题。

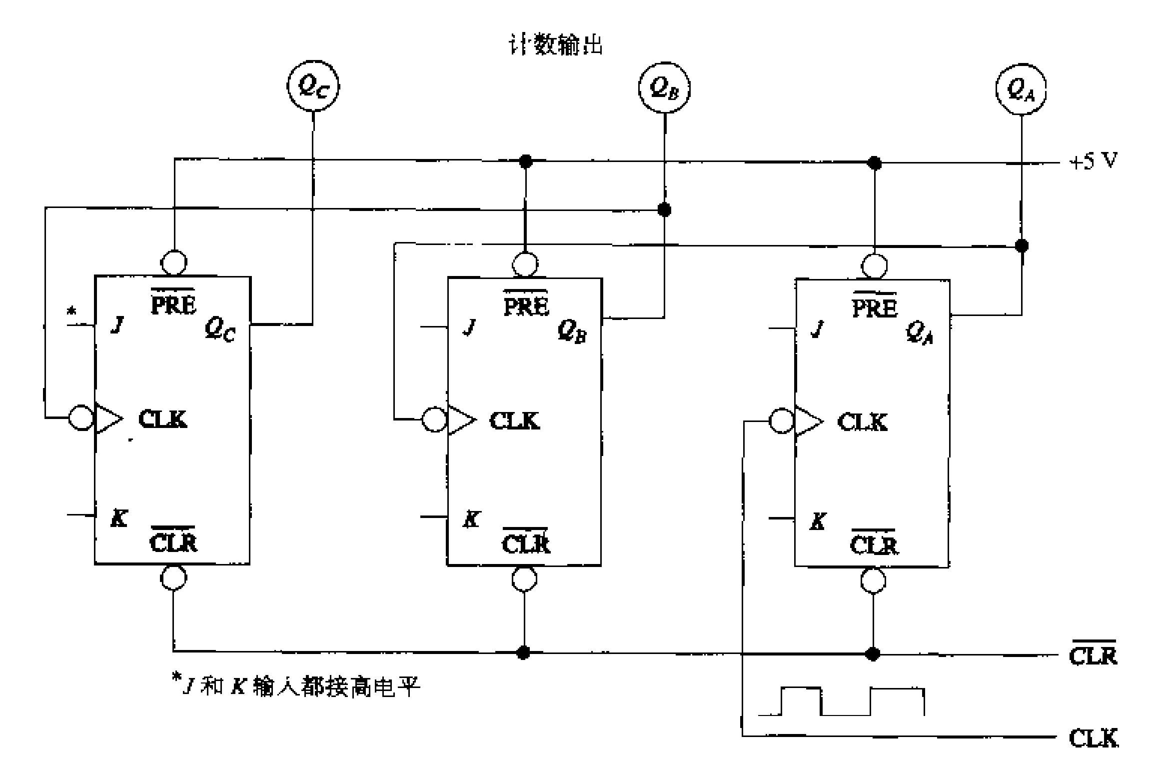


图 7.131 模 8 异步加计数器

在使用逻辑探针时，要注意观察下列现象并预防这些问题：(1) 当将逻辑探针放在集成电路的线路或者引脚上的时候，如果此时为低电平，则逻辑探针的绿灯会亮；(2) 当将逻辑探针放在集成电路的线路或者引脚上的时候，如果此时为高电平，则逻辑探针的红灯会亮。当将逻辑探针放在集成电路的线路或者引脚上的时候，如果逻辑探针上的两个灯都没有亮，此时就应该怀疑这里会有故障。一旦检查了触发器的所有静态电平并且没有问题，那么此时就应该检查时钟输入端。

如图7.131所示的计数器中，触发器A的正常的时钟输入应该使逻辑探针的灯呈现黄色。如果触发器A的时钟脉冲是正常的，就应该使用逻辑探针依次去检查Q_A，触发器B的时钟输入，Q_B，触发器C的时钟输入，最后是Q_C

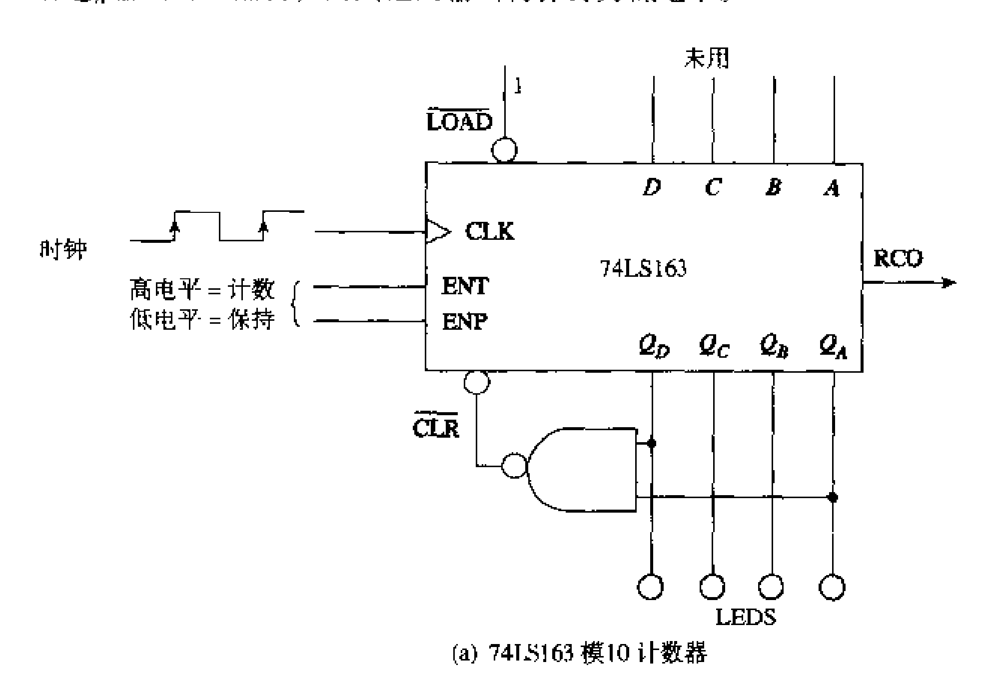
如果逻辑探针的灯没有亮，那么很可能问题就在该点上。如果有负载接入，不要忘了将负载与故障输出断开。

假设如图7.131所示的计数器的时钟输入是正常的，但是在Q_A输出上却没有黄色的灯光出现。如果已经进行过静态检测，那么说明触发器供电正常，并且由于异步输入（$\overline{\text{PRE}}$或$\overline{\text{CLR}}$）有效，也没有禁止触发器。而且，因为J和K检查为高电平，所以可确定计数器设置在TOGGLE状态。因此，剩下需要检查的就是负载了。如果一个LED或译码器／驱动器的输入与Q_A连接，则将其断开。如果仍然存在问题，那么断开触发器B的时钟输入。如果去掉了所有的负载但仍然存在问题，那么说明触发器本身出现了故障。

记住，如果出现短时脉冲波形干扰问题，可以用同步计数器来代替异步计数器。同步计数器中的传输延迟不是附加的，所以它们可以使用较高的工作频率。

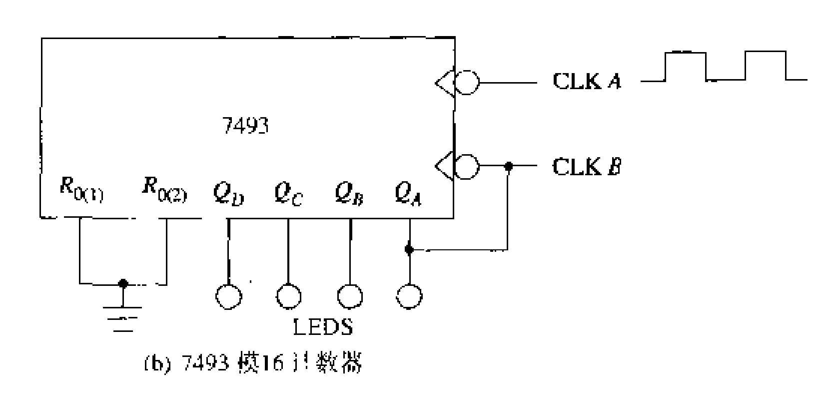
在计数器中可能遇到的另一个问题是负载。如图7.132(a)所示的是一个74LS163模10同步计数器。LED连接到这个计数器的Q输出端，分去了很大的电流，从而使输出电平降低，并且使截位门电路不能对短计数进行处理。

另一个负载的例子如图7.132(b)所示，这是一个7493模16异步计数器。如果LED分去了太多的电流，来自Q_A输出端的CLK B信号就会太弱，从而不能触发内部触发器B。如果发生这种现象，那么只有Q_A输出可以翻转，而其他的输出将保持为低电平。



(a) 74LS163 模10 计数器

图7.132 计数器加负载



(b) 7493 模16 计数器

图 7.132（续） 计数器加负载

在计数器的输出端和用来监视计数器的LED之间使用限流电阻是一个很不错的主意。当使用BCD-7段译码器/驱动器的输出去控制7段码显示器时也可以使用限流电阻。此时，电阻应该接在译码器/驱动器的输出端和显示器的输入端之间。错误地使用限流电阻一般会导致一些问题。

可以利用分立触发器构成的计数器的故障诊断方法对图7.132(b)中的7493模16 IC计数器进行故障诊断。使用逻辑探针确保 V_{CC} 为高电平，地线和复位（$R_{0(1)}$和 $R_{0(2)}$）脚为低电平，CLK A 和CLK B 以及所有的 Q 输出都应为脉冲信号。我们将在本章的习题中进行故障诊断分析。

本章小结

计数器在数字电路中主要实现两个主要功能。计数器一般用来进行连续（加或减）计数，或者以一些特殊码的形式（例如BCD或格雷码）进行计数，当然也可以利用计数器进行分频。

计数器一般分为两大类：异步计数器和同步计数器。计数器的种类是由该计数器的时钟输入方式决定的。

异步计数器将时钟输入送到一个触发器中，该触发器的输出再作为下一个触发器的时钟输入。这种时钟方式正是将这类计数器称为脉动计数器的原因。异步计数器中的触发器都处于TOGGLE运行模式，触发器的输出频率是输入时钟频率的一半。当几个触发器级联时，每一个触发器对其输入时钟频率进行二分频。

计数器的最大计数序列是它的模（MOD）。全程计数器的模是 2^n，其中 n 是触发器的个数。计数器的MSB输出的分频因数就是其模值。

截位逻辑门用来对计数器进行短计数。异步计数器的截位规则是"将希望的模值中的高电平位接入截位门"。有些集成电路计数器不能使用这个规则。

从商业价值的角度来看，7493/74293/74393系列的集成电路比TTL集成电路计数器要流行得多。为了获取引脚信息以及其运行特征，数据表是非常必要的。

计数器可以通过级联的方式来增加其模值。级联计数器的模等于单个计数器的模之积。

异步计数器的主要缺点在于它们的内部传输延迟是附加的。与同样的同步计数器相比，异步计数器的最大工作频率较低。短时脉冲波形干扰现象在异步计数器中非常常见。

同步计数器会把时钟脉冲同时加在所有触发器的输入端。这种时钟方式消除了异步计数器中常见的瞬时误码，也消除了异步计数器的附加传输延迟，从而提高了最大工作频率。

同步计数器中的触发器不能在每一个有效时钟转换时翻转，因此需要控制电路来确定触发器的翻转。这使同步计数器相对来说比较复杂，设计起来也困难一些。

无论是哪一种模10的计数器，都将产生10种不同的状态。这种计数器能够从0000计数到1001或者从1001计数到0000。有时也称其为十进制计数器。

许多可编程计数器的模可以通过给计数器异步预置一个数来控制。有些计数器是互逆的(加或减)，有些计数器利用计数终值输出对计数器重复预置，或者将计数器与其他的计数器进行级联。有些互逆的CMOS计数器除了具有以上所有特性以外，还可以对二进制或十进制计数进行编程。

异步计数器的设计有几个基本步骤。第一步是要完成现态(Q^n)表。该表是计数器希望的计数序列。第二步是次态(Q^{n+1})表。设计表将现态数据、次态数据和转换数据结合在一起。转换数据显示了J和K或D的输入数据和它们确定的下一状态的数据。

最后的设计步骤要求将J和K或D的电平从设计表中转换到卡诺图中。由卡诺图可以得到计数器的最简等式，通过这些等式可以实现同步计数器。

混合计数器使用同步和异步时钟驱动。这些计数器能够产生对称的n分频的输出电平。比较普遍的TTL混合集成电路能够产生12，6，10和5分频的输出。

为了使某一计数输出可以用于时序的时钟或触发输入，必须对计数器的输出进行译码。有效高电平译码通过与门实现，有效低电平译码则通过与非门实现。译码电路可以通过选择脉冲的方式来抑制短时脉冲波形干扰造成的计数误码现象。

两种比较常用的移位寄存器计数器是环形计数器和约翰逊计数器。环形计数器必须预置高电平，该高电平通过计数器在触发器中移动。环形计数器的模值等于其触发器的个数。约翰逊计数器是自装入的，一旦时钟脉冲开始后，计数器就装入逻辑1，然后是逻辑0。约翰逊计数器的模值等于其触发器个数的两倍。

计数器的故障诊断是一个系统的过程，该过程依赖于正确的操作。计数器的连续动作使得点到点的信号检测变得非常简单。

习题

参照制造商数据表回答下列各题。

7.1 节

1. 定义模。
2. 识别如图7.133所示的计数器，包括模和类型等。
3. 如图7.133所示，4个时钟脉冲后计数器的计数应该是什么？
4. 如图7.133所示，30个时钟脉冲后计数器的计数应该是什么？
5. 如图7.133所示，计数器Q_A输出端的信号频率是多少？
6. 如图7.133所示，计数器Q_B输出端的信号频率是多少？
7. 如图7.133所示，计数器Q_C输出端的信号频率是多少？
8. 识别如图7.134所示的计数器。
9. 识别如图7.135所示的计数器。
10. 如图7.135所示，3个时钟脉冲后计数器的计数是什么？在第一个时钟脉冲到来之前将计数器置于CLEAR状态。
11. 如图7.135所示，计数器Q_C输出端的信号频率是多少？
12. 模为128的计数器需要多少个触发器？

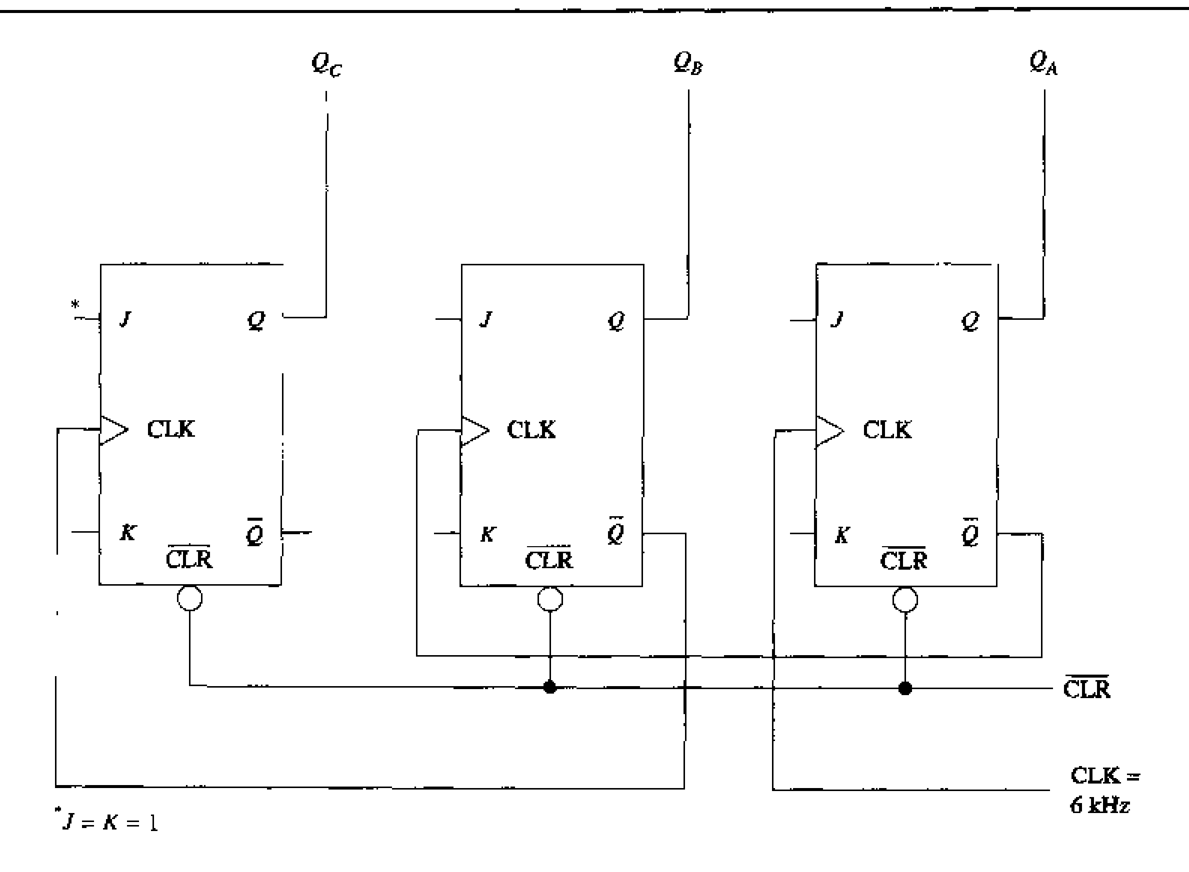


图 7.133

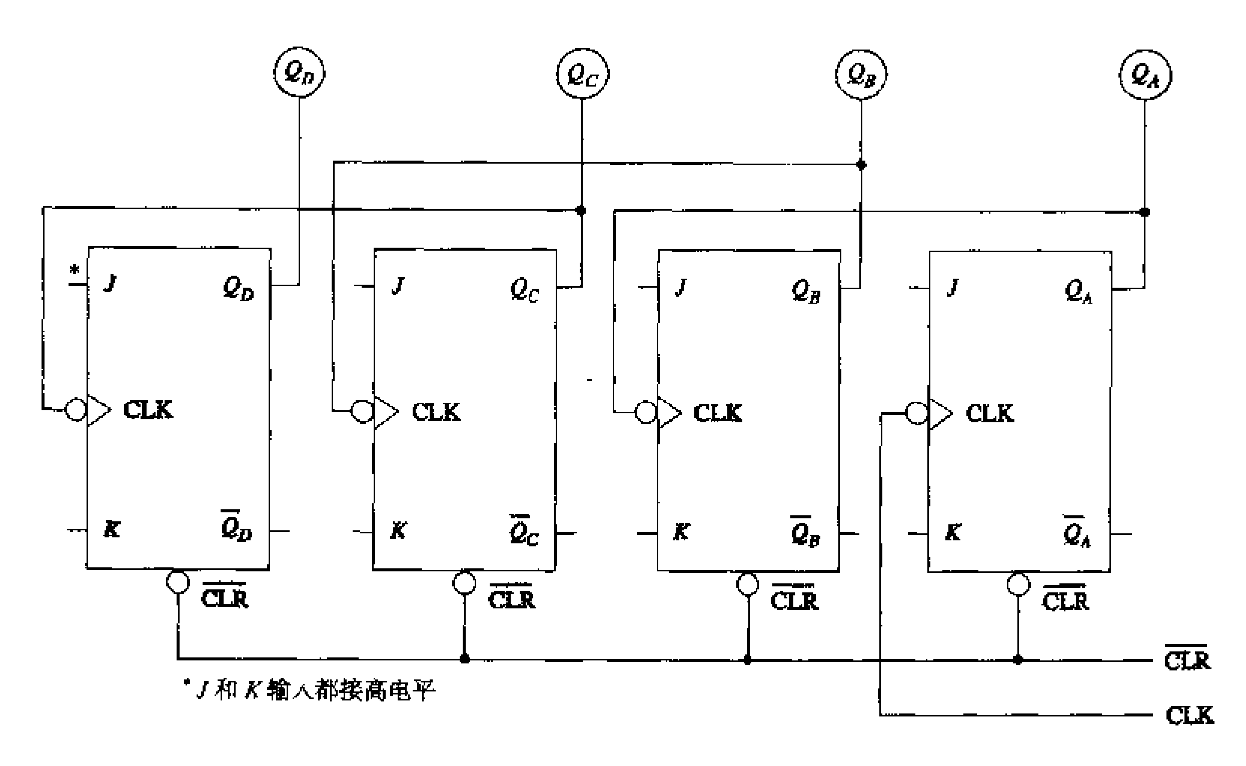
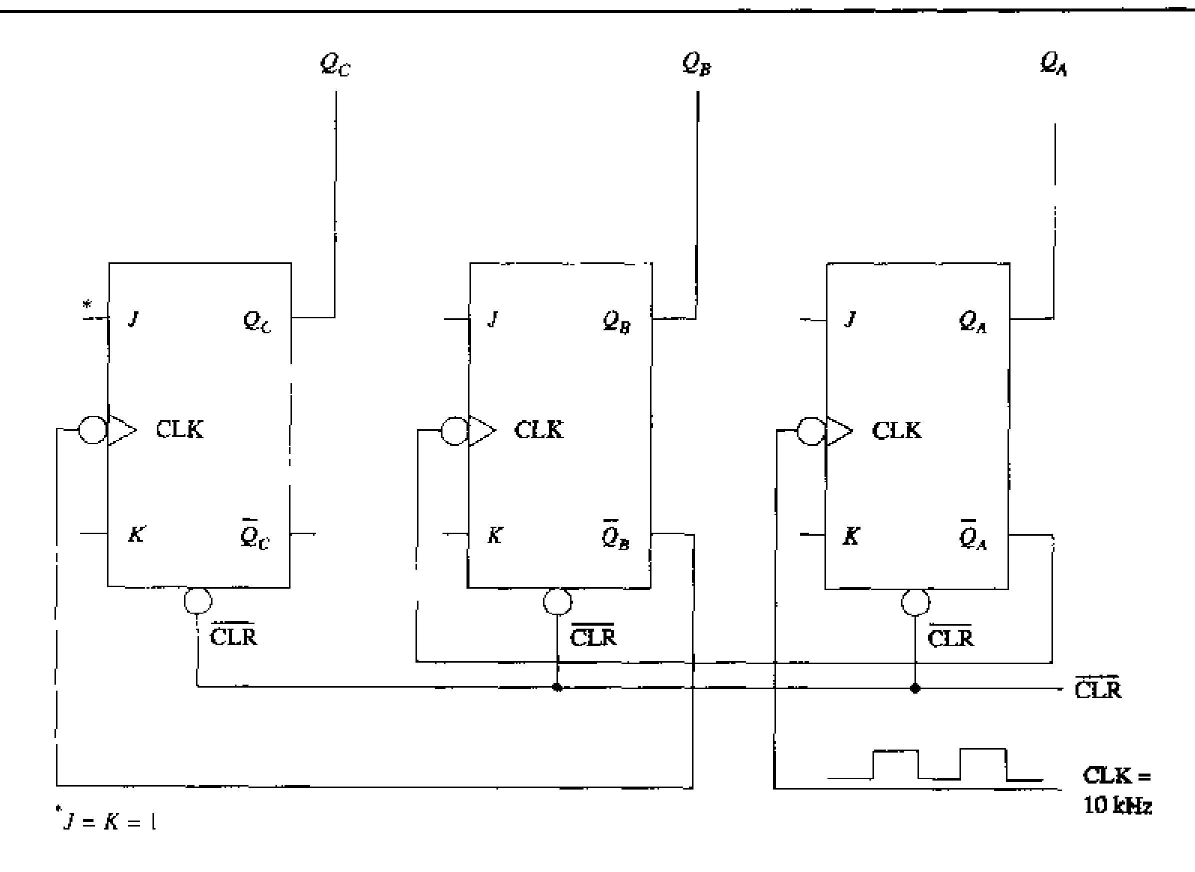


图 7.134

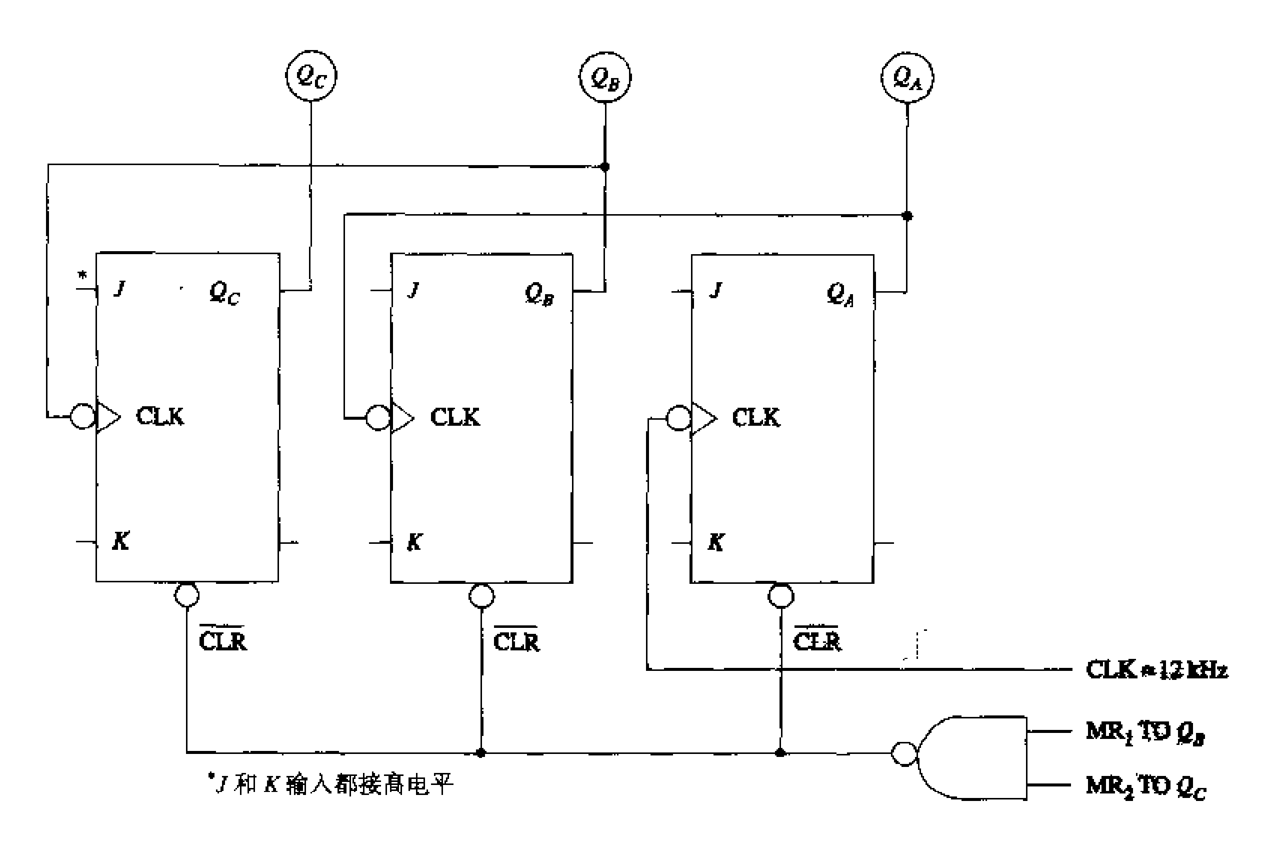
7.2 节

13. 识别如图 7.136 所示的电路。



Q_C
Q_B
Q_A
J
Q_C
CLK
K
$\bar{Q}_C$
$\overline{CLR}$
J
Q_B
CLK
K
$\bar{Q}_B$
$\overline{CLR}$
J
Q_A
CLK
K
$\bar{Q}_A$
$\overline{CLR}$
$\overline{CLR}$
CLK = 10 kHz
*J = K = 1

图 7.135



Q_C
Q_B
Q_A
J
Q_C
CLK
K
$\overline{CLR}$
J
Q_B
CLK
K
$\overline{CLR}$
J
Q_A
CLK
K
$\overline{CLR}$
CLK = 12 kHz
MR_1 TO Q_B
MR_2 TO Q_C
*J 和 K 输入都接高电平

图 7.136

14. 如图 7.136 所示，计数器 Q_C 输出端的信号频率是多少？

15. 如图 7.136 所示，该电路的最大计数是什么？

CT 16. 利用 NGT 触发的 J-K 触发器设计一个模为 25 的异步计数器，画出电路图。

17. 如图 7.137 所示，该集成电路计数器的模为多少？

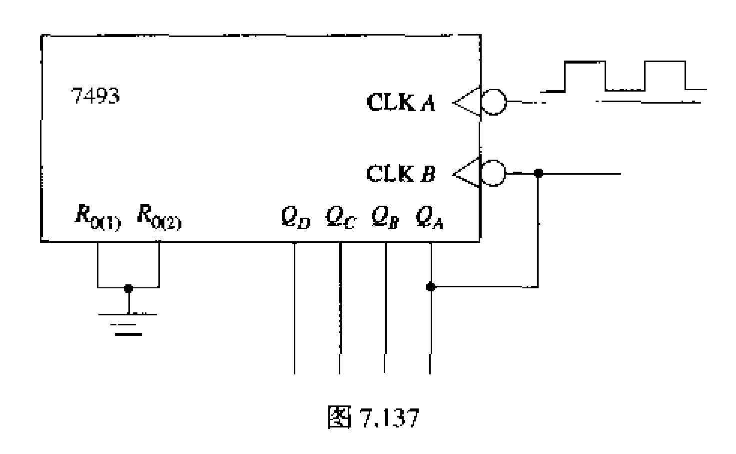


图 7.137

18. 如图 7.138 所示，该集成电路计数器的模为多少？

19. 如图 7.139 所示，该级联计数器的模为多少？

20. 如图 7.139 所示，计数器 1 的 Q_D 输出端的信号频率是多少？

21. 如图 7.139 所示，计数器 2 的 Q_D 输出端的信号频率是多少？

22. 利用 J-K 触发器构成的具有 25 ns 传输延迟的模 16 异步计数器的最大时钟频率为多少？

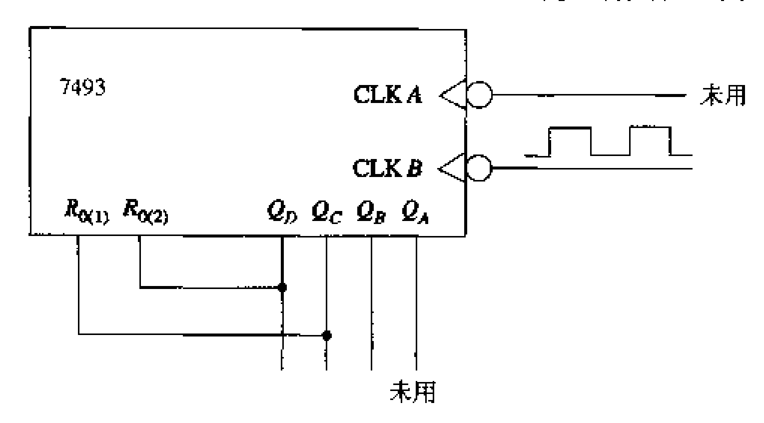


图 7.138

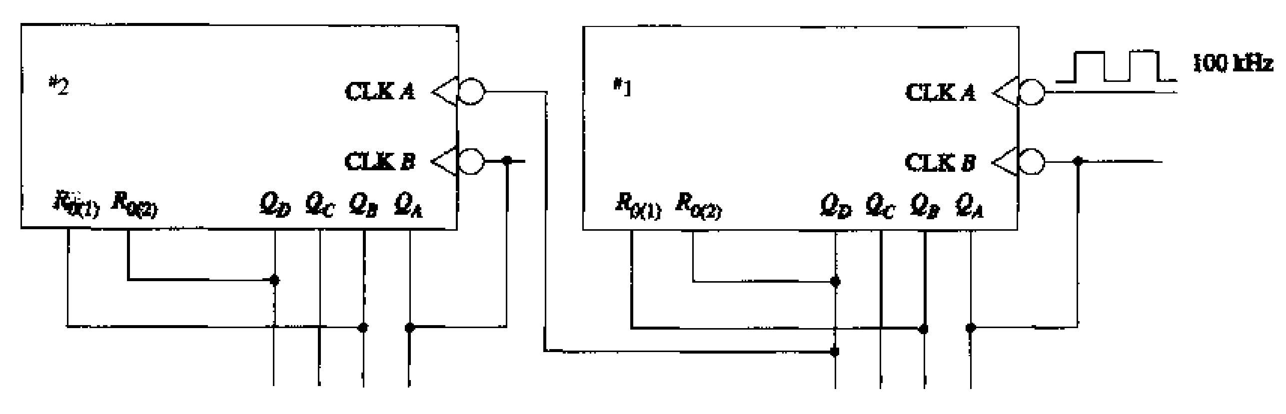


图 7.139

7.3节

23. 识别如图 7.140 所示中电路。

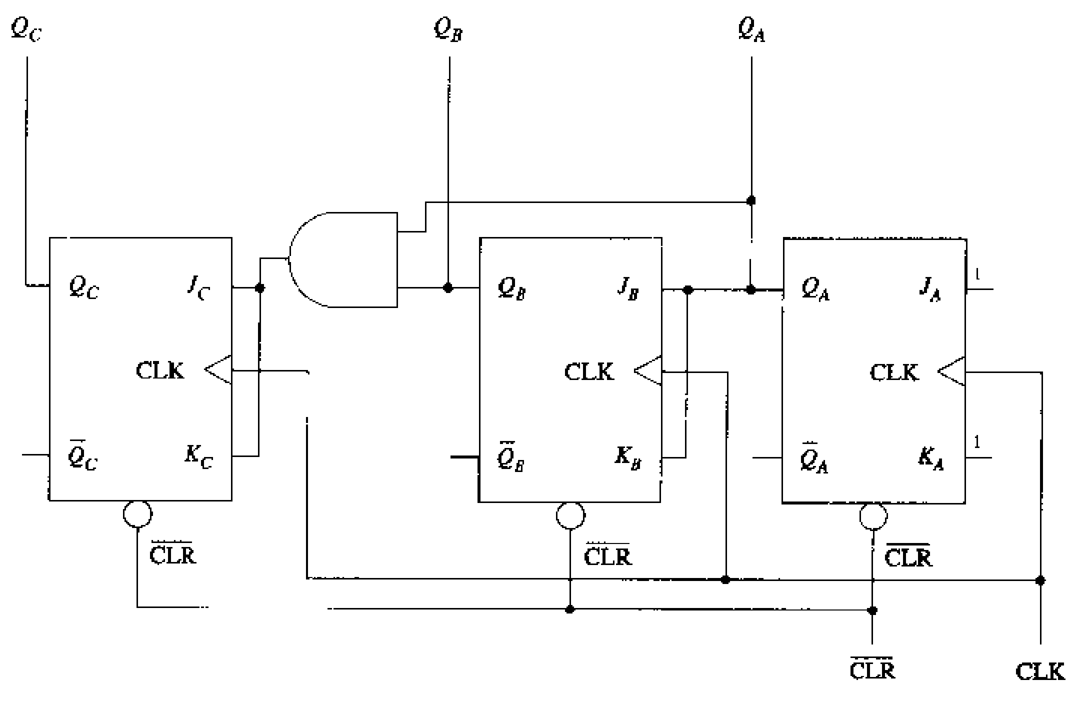


图 7.140

24. 如图 7.140 所示，该电路的最大计数为多少？
25. 如图7.140所示，如果CLK端输入频率为4 kHz，那么计数器Q_C输出端的信号频率是多少？
26. 如图 7.140 所示，与门的目的是什么？
27. 识别如图 7.141 所示的计数器。

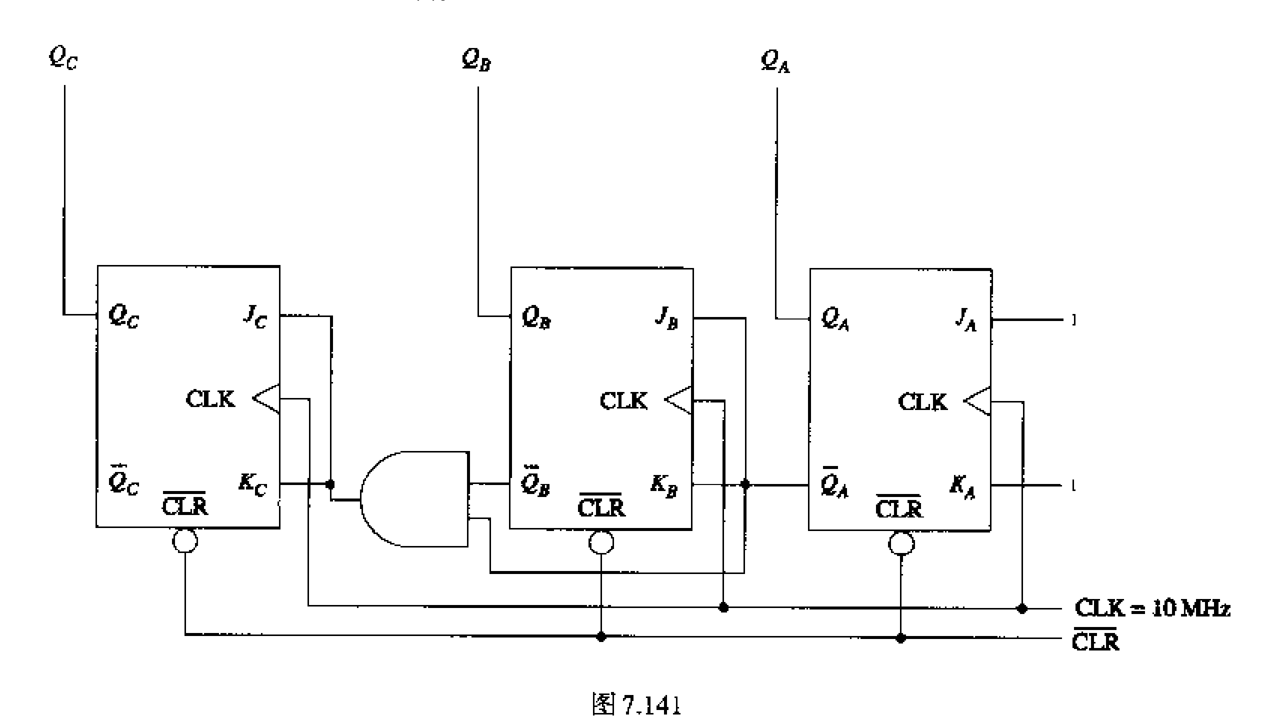


图 7.141

28. 如图 7.141 所示，计数器的输出频率从________端输入？

a. Q_A

b. Q_B

c. Q_C

29. 识别如图 7.142 所示的计数器

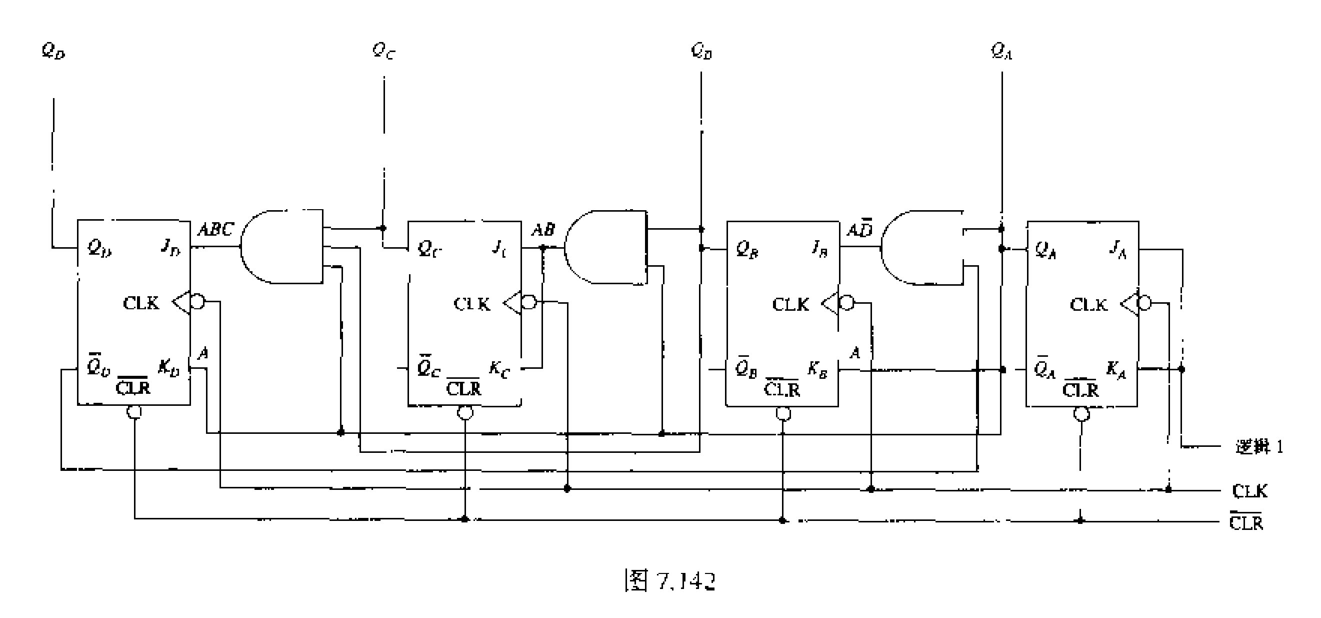


图 7.142

CT 30. 如图 7.142 所示，画出该计数器 Q 端的输出波形。

7.4 节

CT 31. 如图 7.143 所示，画出该计数器 Q 端的输出波形。

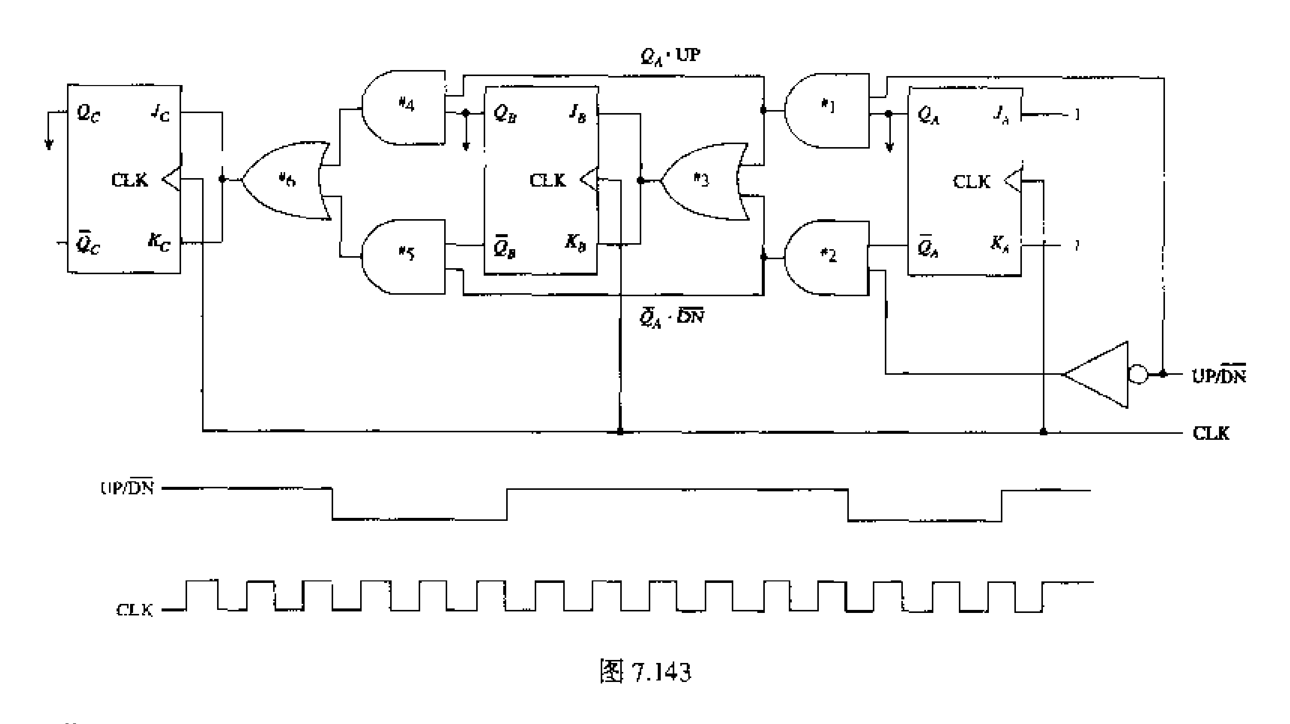


图 7.143

7.5 节

32. 如图 7.144 所示，该同步可编程计数器的模为多少？

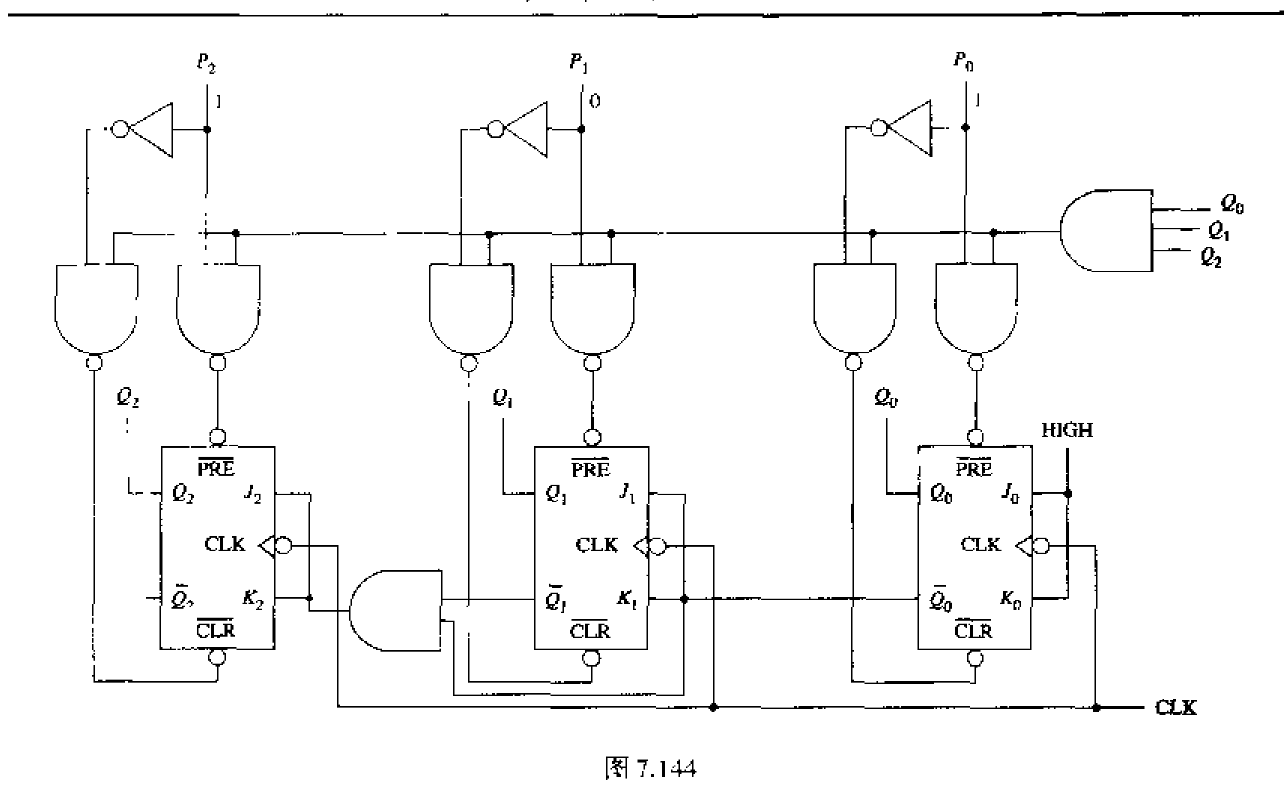


图 7.144

33. 画出 74193 集成电路的逻辑符号，利用预置输入将它接成一个模 5 加计数器。
34. 画出 74193 集成电路的逻辑符号，利用预置输入将它接成一个模 5 减计数器。
35. 画出 74LS163 集成电路的逻辑符号及实现计数器计数到 $1111_{(2)}$的连接图。
36. 画出 74LS163 集成电路的逻辑符号，使其成为一个模 10 计数器。注意，74LS163 的清零动作是同步发生的。
37. 如图 7.145 所示，当 $\overline{\text{LOAD}}$ =________，$\overline{\text{CTEN}}$ =________，D/$\overline{\text{U}}$ =________时，74LS190 BCD 计数器在时钟脉冲的 PGT 时刻进行减计数。

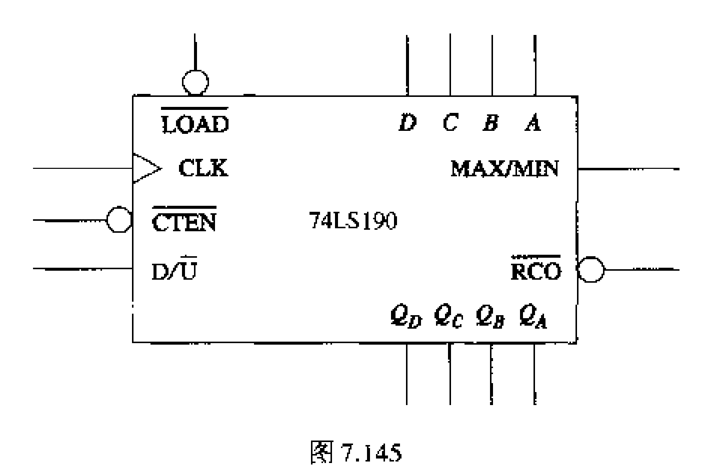


图 7.145

CT 38. 利用 74LS190 IC 画出一个级联的模为 100 的 BCD 加计数器，画出所有的连接，使用并行时钟。

7.6 节

CT 39. 利用 J-K 触发器设计一个 3 位同步格雷码计数器。

7.7 节

40. 定义混合计数器。
41. 画出 74LS92 混合计数器的逻辑符号，将它设计成模 6 计数器。
42. 画出 74LS92 混合计数器的逻辑符号，将它设计成模 12 计数器。
43. 画出 74LS90 混合计数器的逻辑符号，将它设计成：
    a. 模 5 计数器
    b. 模 10 计数器
    c. 模 10 二 - 五计数器

7.8 节

44. 定义/解释计数器译码的概念。
45. 画出一个三输入"与非门"，对模 8 计数器的 010 输出进行译码（输出从 Q_C 到 Q_A）。
46. 参考复习题 45，在这个译码过程中，与非门的输出是低电平还是高电平？

7.9 节

47. 识别如图 7.146 所示的计数器。
48. 利用 PGT 触发的 D 触发器，画出一个模 8 约翰逊计数器。
49. 确定如图 7.147 所示电路的模值。注意，将两个触发器置位，将另两个清零。

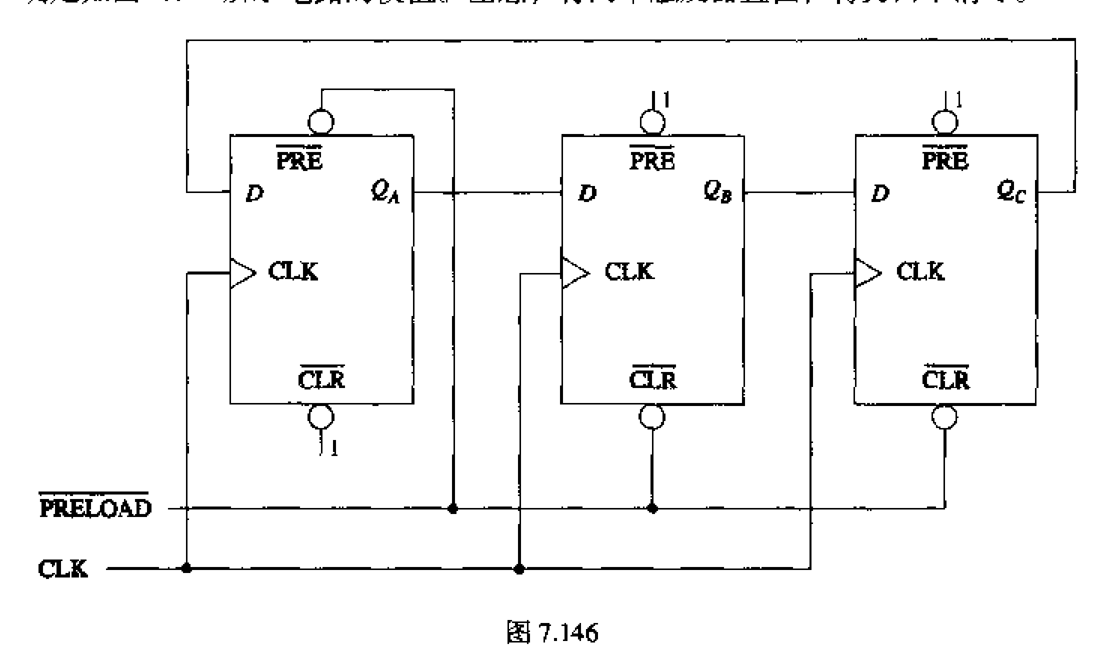


图 7.146

7.10 节～7.11 节

50. 识别如图 7.148 所示的电路。
51. 在如图 7.148 所示的电路中，与门的目的是什么？
52. 如图 7.148 所示，计数器 Q_C 输出的信号频率是多少？

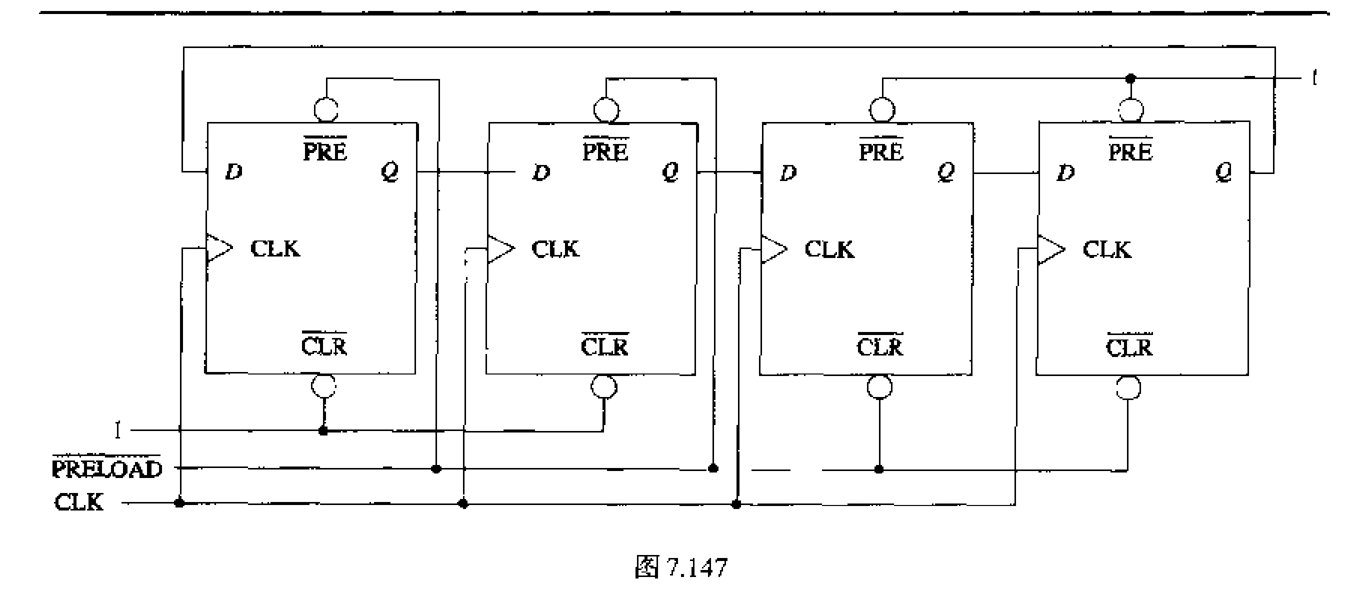


图 7.147

CT　53. 如图 7.148 所示，计数器有如下所示的计数序列：

Q_C	Q_B	Q_A
0	0	0
0	0	1
0	1	0
0	1	1
0	0	0
0	0	1
0	1	0
0	1	1
0	0	0

列出最可能的原因。

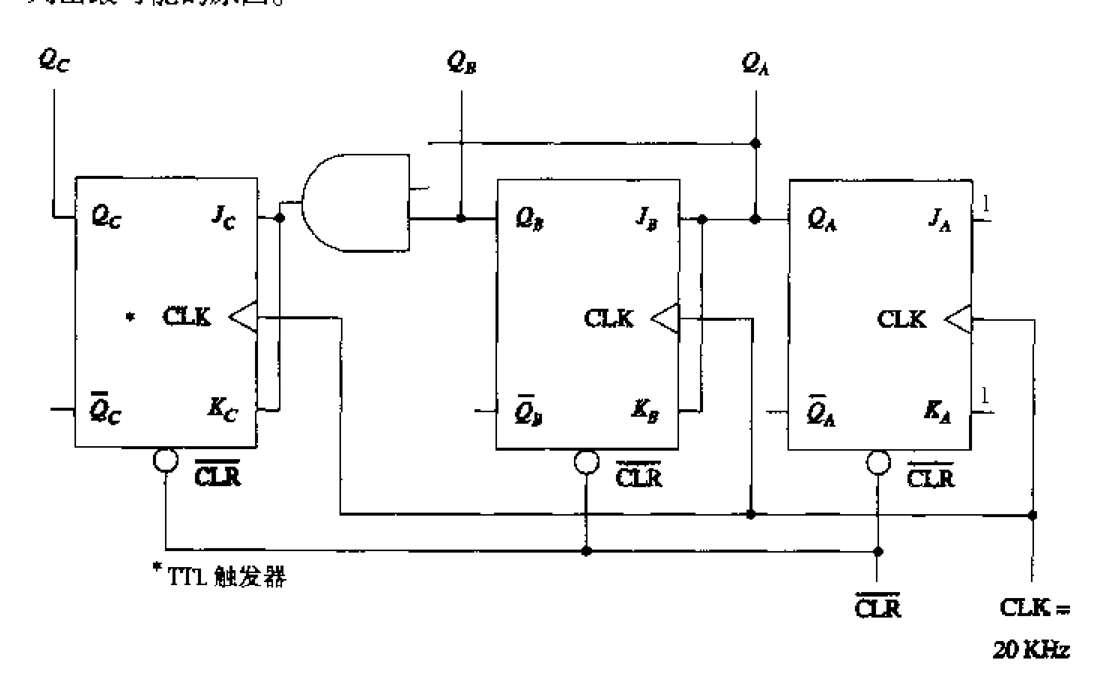


图 7.148

CT 54. 如图 7.148 所示，计数器有如下所示的计数序列：

Q_C	Q_B	Q_A
0	0	0
1	0	1
0	1	0
1	1	1
0	0	0
1	0	1
0	1	0
1	1	1

列出最可能的原因。

第8章 寄 存 器

重要术语

Broadside 扩展
Destination Register 目的寄存器
Load 装入
Nibble 半字节
Parallel-In/Parallel-Out 并行入/并行出
Parallel-In/Serial-Out 并行入/串行出
Register 寄存器
Serial-In/Parallel-Out 串行入/并行出
Serial-In/ Serial-Out 串行入/串行出
Source Register 源寄存器

本章要点

1. 定义"寄存器"的概念、陈述数字电路中寄存器的一些应用。
2. 按照串行入/串行出、串行入/并行出、并行入/串行出、并行入/并行出或通用的方式确定寄存器的分类。
3. 给出寄存器的逻辑图或符号，并结合输入数据和控制电平确定X个时钟输入脉冲后的输出。
4. 描述寄存器的问题或观察到的结果，确定最可能的结果或故障。

概述

寄存器是一组用于存储、传输或移动数据的锁存器或触发器。在数字系统中，为了存储数据，需要能够记忆数据。有些寄存器的数据在每个时钟脉冲作用下可以向左移动（通过一个触发器移动）和/或向右移动。本章中提到的一些寄存器主要用于存储信息，能够存储逻辑0和逻辑1，从而使数字系统具有记忆的功能。8.3节详细讨论了这些应用。

本书已介绍了寄存器的工作过程及其原理的基础知识。5.4节介绍了串行和并行寄存数据的一般原理，6.7节介绍了串行移位寄存器的工作过程。本章将回顾这些原理并将其展开来讨论。

可以根据存入和取出的二进制数将寄存器进行分类。数据可以串行输入或并行输入，也可以串行或并行取出。数据以串行的方式移动，表明在一个机器周期内的某一时刻只有一位数据在移动；数据以并行的方式移动，表明在一个机器周期内的某一时刻有几位数据在移动。

本章提到的寄存器属于串行输入寄存器（串行入/串行出和串行入/并行出）和并行输入寄存器（并行入/并行出和并行入/串行出），其框图如图8.1所示。

图8.1(a)是串行输入数据在左边的4位寄存器，输出数据从右边取出。这种串行入/串行出寄存器一般称为移位寄存器。在这种情况下数据是向左移的，因此称这种寄存器为左移寄存器。如果把输入端和输出端颠倒一下，方框图代表的就是右移寄存器。在数字系统中，双向移位寄存器的应用非常广泛。

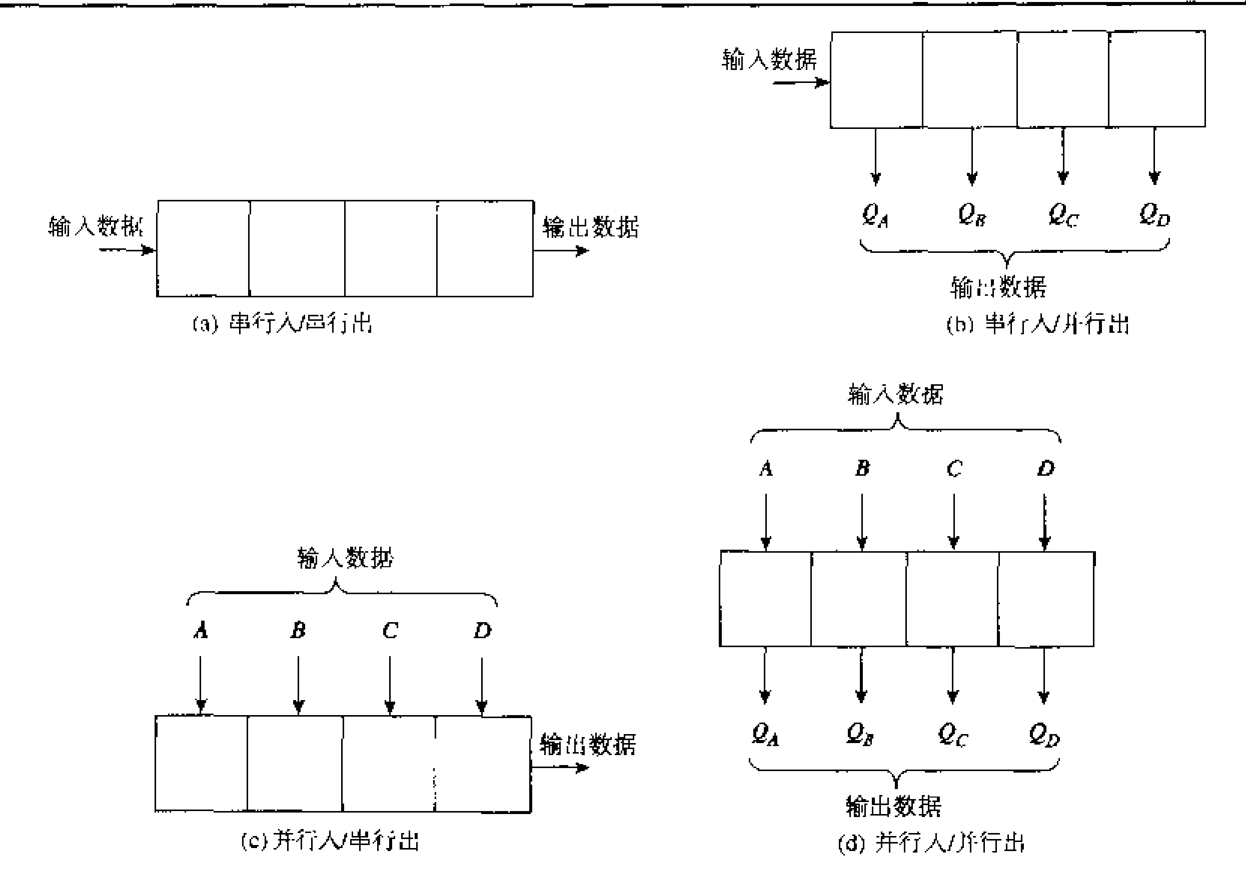


图 8.1 4位寄存器框图

图 8.1(b)是串行入/并行出移位寄存器的框图。数据以串行的方式输入，以并行的方式从寄存器取出。大家应该记得，在前边的讨论中，将4位数据串行寄存到这种寄存器时需要4个时钟脉冲，完成寄存后，数据便存在了 Q_A，Q_B，Q_C 和 Q_D 输出端。如果需要，在另外 4 个时钟脉冲作用下，就可以从 Q_D 端串行取出。这就是串行入/串行出寄存器的工作方式。

图 8.1(c)说明了并行入/串行出的数据运动过程。这种类型的一些寄存器是在寄存输入脉冲的作用下异步寄存并行数据，其他类型的并行入/串行出寄存器是在系统时钟脉冲作用下同步寄存并行数据。寄存的数据某一时刻在时钟作用下只有一位移出寄存器。

并行入/并行出寄存器的框图如图 8.1(d)所示。数据从 A，B，C，D 输入端同步寄存，在输出端立即输出。这种寄存器常用于存储系统中。

许多集成寄存器是通用的。换句话说，数据可以以串行或并行的方式寄存，也可以以串行或并行的方式取出。

寄存器除了具有存储能力外，还可以将数据从串行转换为并行或由并行转换为串行。8.3 节介绍了用于密码检测器的寄存器，如用于启动或关闭保密系统的那些器件。8.3 节也介绍了乘以 2 和除以 2 的寄存器，以及用于环形计数器和约翰逊计数器的寄存器。

8.1 串行输入寄存器

要点

1. 定义串行输入寄存器。

2. 给出串行输入寄存器的串行输入数据电平，确定X个时钟脉冲后的输出电平。

8.1.1 串行入/串行出移位寄存器

利用D触发器构成的4位串行入/串行出移位寄存器如图8.2(a)所示。在下列分析中需要记住的关键点是，触发器是在有效的时钟转换之前和之间响应输入端的数据的。

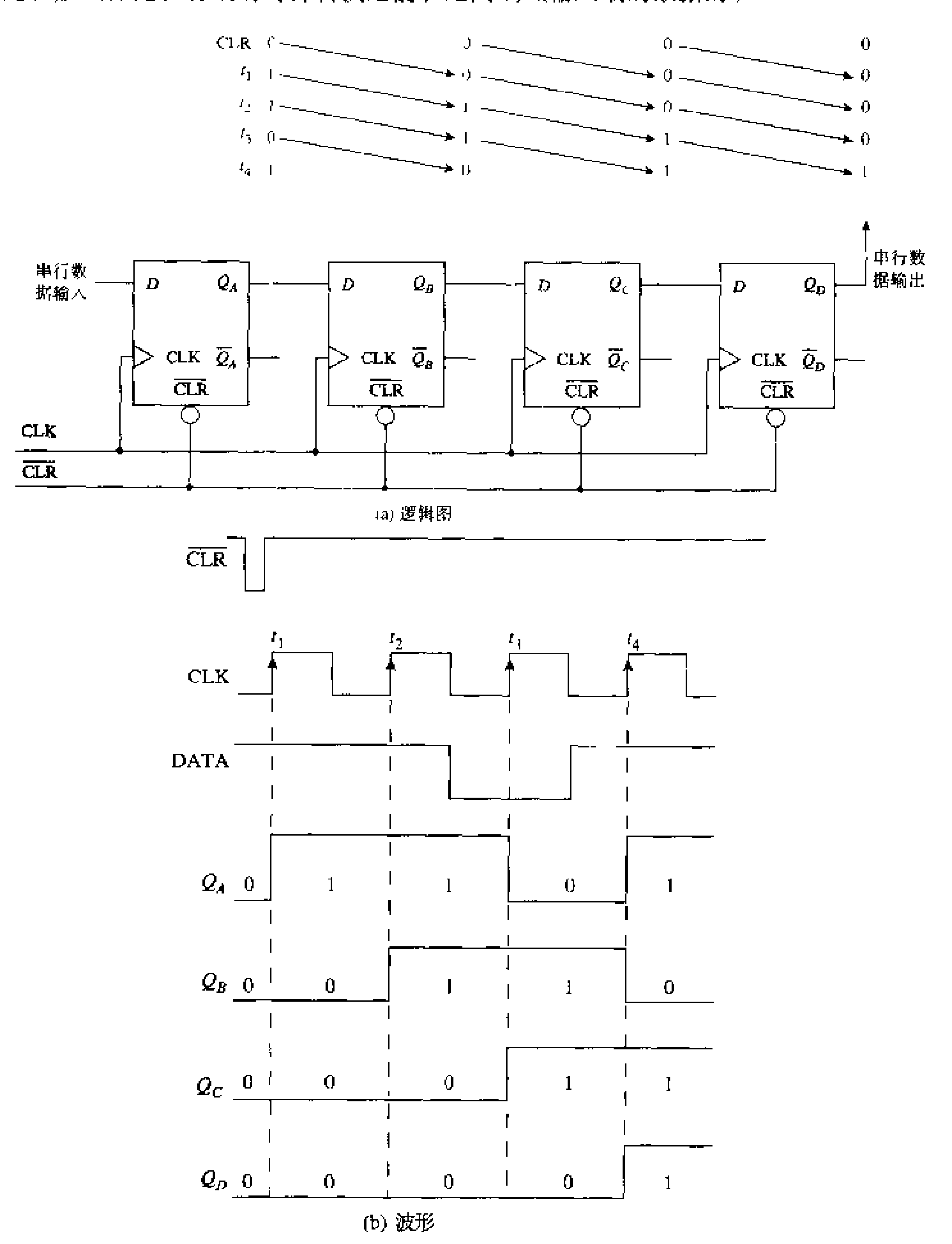


图8.2　串行入/串行出移位寄存器

从图8.2(a)中可以看出，寄存器中所有的触发器是在共同的时钟作用下同时触发的。该例中串行输入数据为1011，如图8.2(b)所示。在4个时钟脉冲之后完成数据的寄存。

- t_1：t_1时刻串行输入数据为高电平，如图8.2(b)所示，此时该数据锁存在触发器A中。同时，在t_1时钟脉冲的PGT到来之前，B，C和D触发器的输入数据都为低电平，因此，t_1时刻逻辑0锁存在这些触发器中。第一个时钟脉冲之后，寄存器的数据为1000，如图8.2(a)所示。
- t_2：t_2时刻串行输入数据仍为高电平。在t_2时钟脉冲的PGT，该数据锁存在触发器A中，所有触发器的输出数据在t_2时刻向右移动到下一个触发器，即Q_A的数据移动到触发器B中，Q_B的数据移动到触发器C中，Q_C的数据移动到触发器D中。t_2之后寄存器的数据为1100
- t_3：t_3时刻串行输入数据为低电平，该数据锁存在触发器A中。其余的数据依次右移到下一个触发器，t_3之后寄存器的数据为0110
- t_4：t_4时钟脉冲的PGT到来时输入数据又为高电平，t_4时刻右移的结果使寄存器的数据为1011

我们可以看出，这种串行入/串行出移位寄存器在某一时刻只寄存一位。由于只有一个数据输出端Q_D，为了将寄存的数据（1111）传输到另一个数字器件，某一时刻在时钟作用下只能输出1位。

将两个寄存器连接在一起的逻辑图如图8.3所示。一个称为源寄存器（寄存器A），另一个称为目的寄存器（寄存器B）。本例中串行输入数据在第一组4个时钟脉冲（t_1~t_4）期间为高电平，在第二组4个时钟脉冲（t_5~t_8）期间变为低电平。

这里的基本电路相对比较简单，4位数据称为半字节数据。在第一组4个时钟脉冲（t_1~t_4）作用下，第一个半字节数据存入寄存器A中，如前所述。在另外4个时钟脉冲（t_5~t_8）作用下，该数据从寄存器A传输到寄存器B，同时新的数据（0000）存入寄存器A中。

由该例可以得出两个结论。首先，要向寄存器中存入串行数据，所需的时钟脉冲个数与触发器的个数相同。同样，要将串行数据从已存入的寄存器中传输到另一个器件时，需要的时钟脉冲个数与触发器的个数也相同。在本例中，向寄存器A中存入数据需用4个时钟脉冲，将这些数据传输到寄存器B需要4个以上的时钟脉冲。第二，数据从寄存器A中移出时，改变了寄存器A中的数据，这是因为第二个半字节数据（0000）在传输过程中覆盖了原始数据（1111）。

7491 8位移位寄存器

图8.4是这种商用串行入/串行出移位寄存器的逻辑图和符号。该寄存器包括8个高电平有效的SET-CLEAR触发器，一个输入控制门和一个时钟驱动器。输入控制与非门在输入控制信号A或B的作用下被禁止或使能，从而控制串行数据存入寄存器。当A或B为低电平输入时，第一个触发器的输入端$S=0$，$C=1$。因此，第一个触发器在下一个时钟脉冲的PGT清零。当A或B为高电平输入时，使输入控制门工作，从而使另一个输入数据在时钟作用下存入第一个触发器。与非门输出端的反相器将输入数据的补码送到触发器中。时钟驱动电路将时钟信号反相，再去驱动所有8个触发器。时钟驱动电路使触发器在输入时钟脉冲的PGT移动信息。图8.4(a)所示的寄存器也可以用D触发器或J-K触发器实现。

8.1.2 串行入/并行出移位寄存器

利用D触发器构成的4位串行入/并行出移位寄存器如图8.5所示。与串行入/串行出寄存器类似，该寄存器的所有触发器都是同时锁存的。该寄存器可以将串行方式转换为并行方式，第5章介绍了转换过程。在系统内部，由于快速的要求，数据常以并行的方式移动。而为了把数据传输到远处的另一个系统中，又需要将其转换为串行方式，通过电话线传输。当然，在接收系统中还要将数据再转换为并行方式接收。

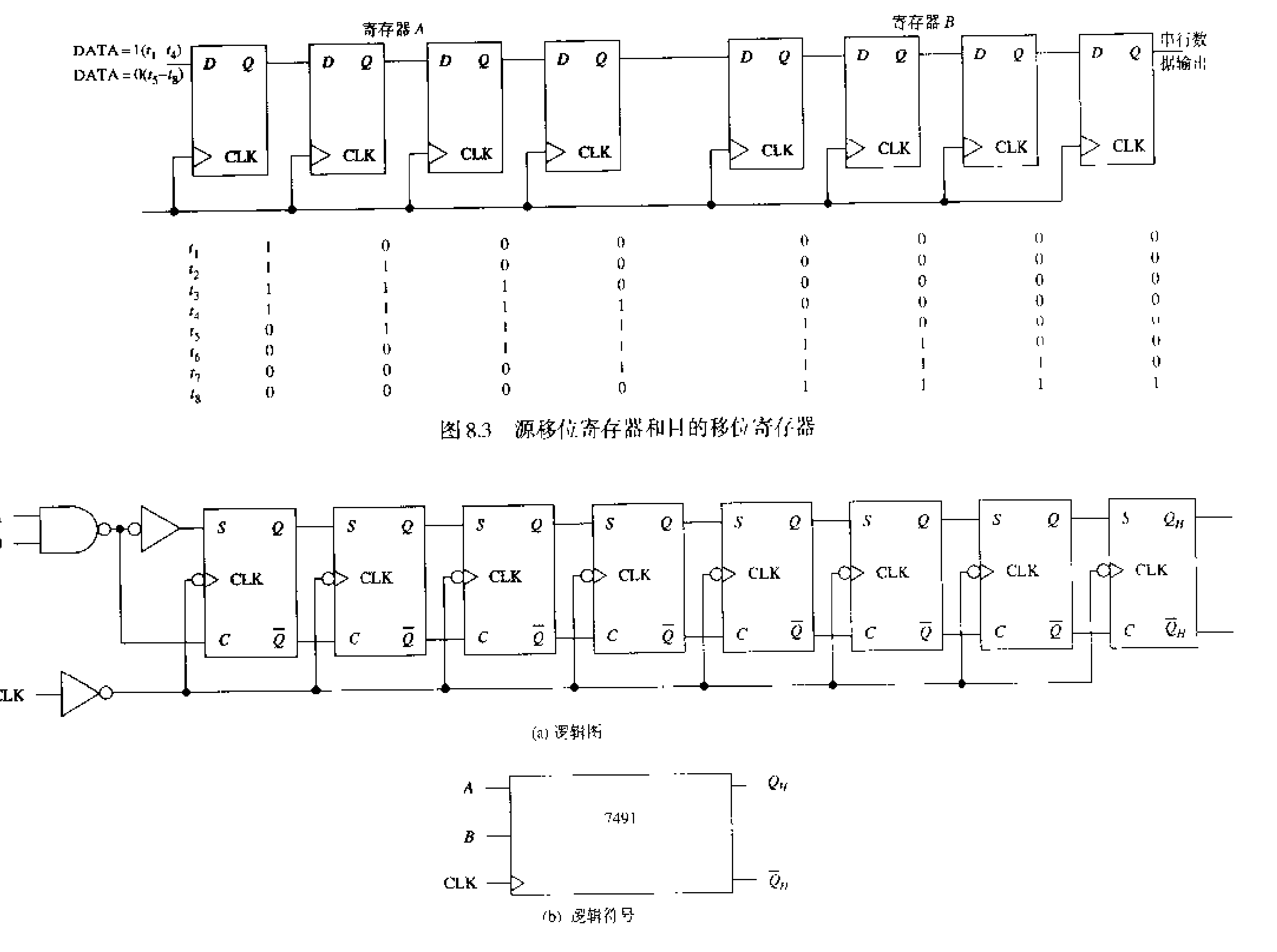


图 8.3 源移位寄存器和目的移位寄存器

图 8.4 7491 8位串行入/串行出移位寄存器

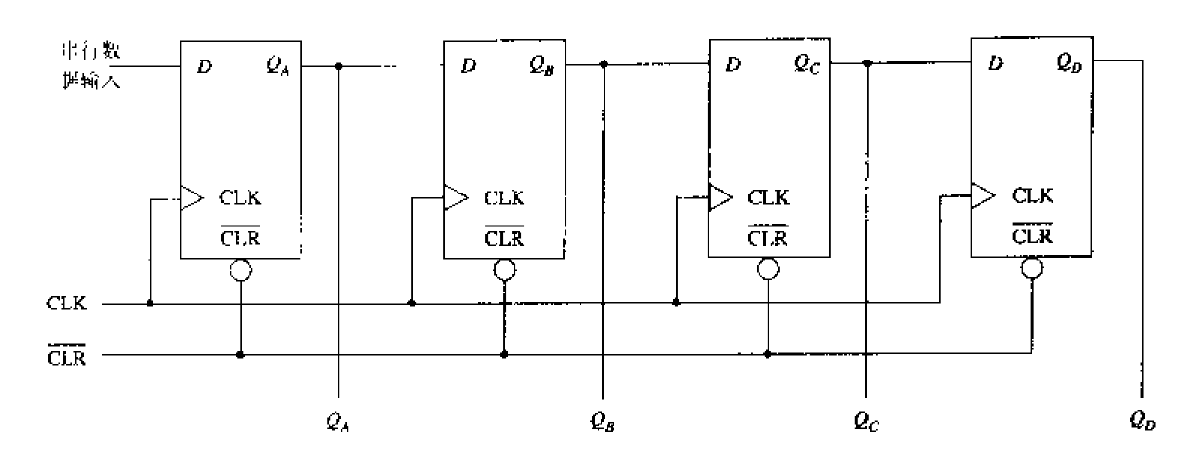


图 8.5 串行入 / 并行出移位寄存器逻辑图

在图 8.5 中，向寄存器存入数据需要 4 个时钟脉冲，这是因为数据是以串行方式锁存的。存入方式与上一节介绍的串行入 / 串行出移位寄存器的相同。存入数据后，在 Q_A, Q_B, Q_C 和 Q_D 端就可以得到输出数据。数据可以从这里以并行输入方式在一个时钟脉冲作用下存入另一个数字器件。

74164 8 位并行输出串行移位寄存器

这种串行入 / 并行出移位寄存器的逻辑图和符号如图 8.6 所示。这种寄存器的逻辑图与图 8.4(a) 所示的 7491 寄存器非常相似。除了 $\overline{\text{CLR}}$ 输入端，惟一的区别是每个触发器的 Q 输出端作为集成芯片的输出脚。图中 S 和 C 输入都反相了，$\overline{\text{CLR}}$ 输入画在每个触发器的上端，从而简化了电路的画法。

该触发器也是由 8 个高电平有效的 SET–CLEAR 触发器、一个输入控制门和一个时钟驱动器组成的。它们的功能与已经讨论过的 7491 寄存器的相同。

74164 的 ANSI/IEEE 符号如图 8.7 所示。该符号包括一个公共控制模块和代表 8 个触发器的 8 个部分。在公共控制模块上标出的 SRG8 代表 8 位移位寄存器。记住，公共控制模块的输入端代表模块下边的每一部分（触发器）的输入端，RESET 输入端（R）是低电平有效。模块的输入端 $C_1/\rightarrow$ 表示在时钟控制下数据 1D 移动到触发器 A 中。箭头（→）表示在每个时钟脉冲的 PGT 作用下数据移动的方向（$Q_A \rightarrow Q_B \rightarrow \cdots \rightarrow Q_H$）。触发器 A 输入端的与符号（&）代表逻辑门输入电路，它可以禁止或允许输入数据从触发器 A 输入。

8.1 节复习题

A. 定义“寄存器”的概念。

B. 指出两种串行输入寄存器。

C. 为了向 8 位串行输入寄存器中存入数据，需要多少个时钟脉冲？

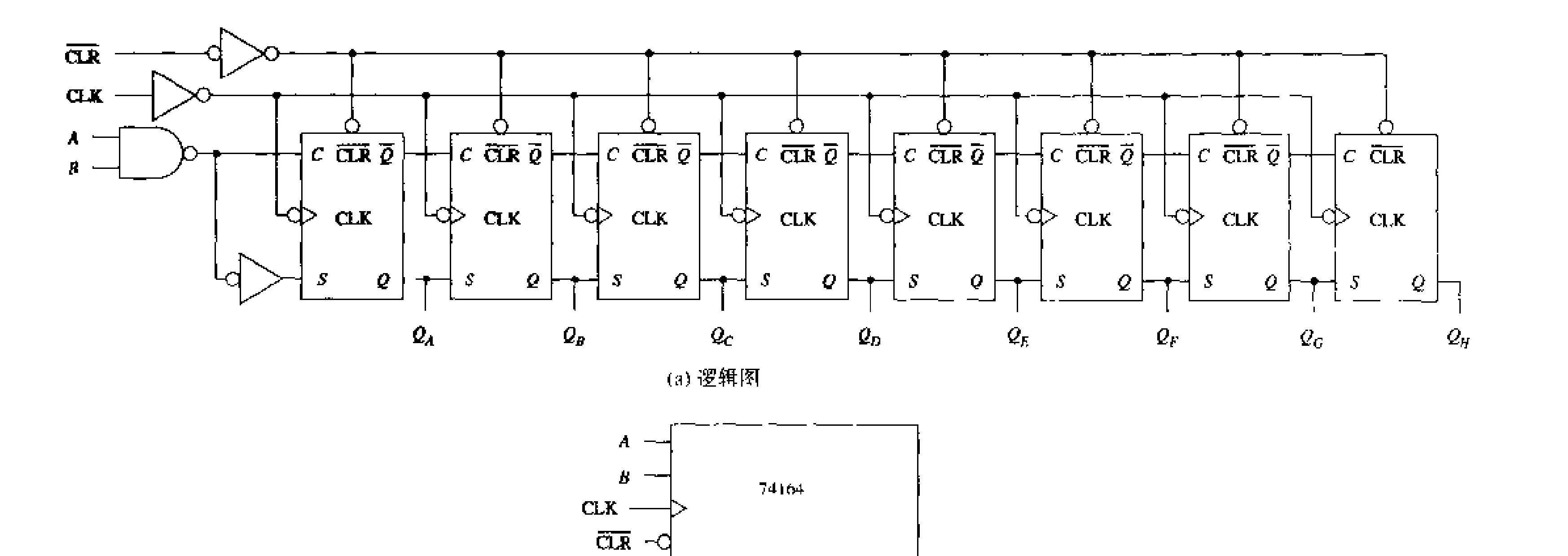
D. 一旦8位串行入/串行出移位寄存器已存入数据，要将数据移出寄存器需要多少个时钟脉冲？

E. 在串行入 / 串行出寄存器中，当数据移出时，已存入的数据一般会改变。

(1) 对

(2) 错

F. ANSI/IEEE 符号中的标识符 SRG16 表示__________。



(a) 逻辑图

A
B
CLK
CLR
74164
Q_A Q_B Q_C Q_D Q_E Q_F Q_G Q_H

(b) 逻辑符号

图8.6　74164 8位串行入/并行出移位寄存器

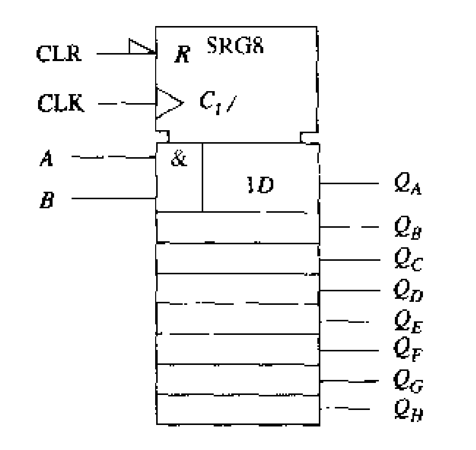


图8.7　74164寄存器ANSI/IEEE符号

8.2 并行输入和通用寄存器

要点

1. 定义并行输入寄存器和通用寄存器。
2. 给出通用寄存器的逻辑图和输入，确定 X 个时钟脉冲之后它的输出。

8.2.1 并行入 / 串行出移位寄存器

并行入/串行出移位寄存器可以用于将数据从并行方式转换为串行方式。利用D触发器构成的4位并行入/串行出移位寄存器如图8.8所示。图中在每个触发器的输入端标出的小方格DS表示数据选择器。当LOAD = 0时，数据选择器选择并行输入数据（A，B，C和D）；当$\overline{\text{LOAD}}$ = 1时，选择串行输入数据（D_S）。详细的数据选择电路见第10章。

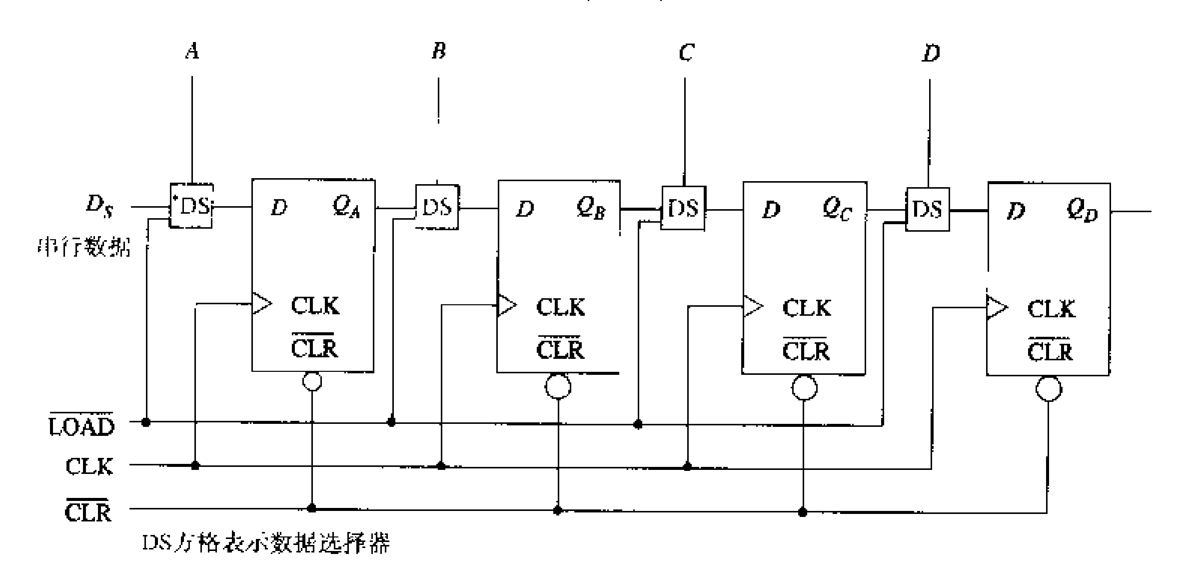


图8.8 并行入 / 串行出移位寄存器逻辑图

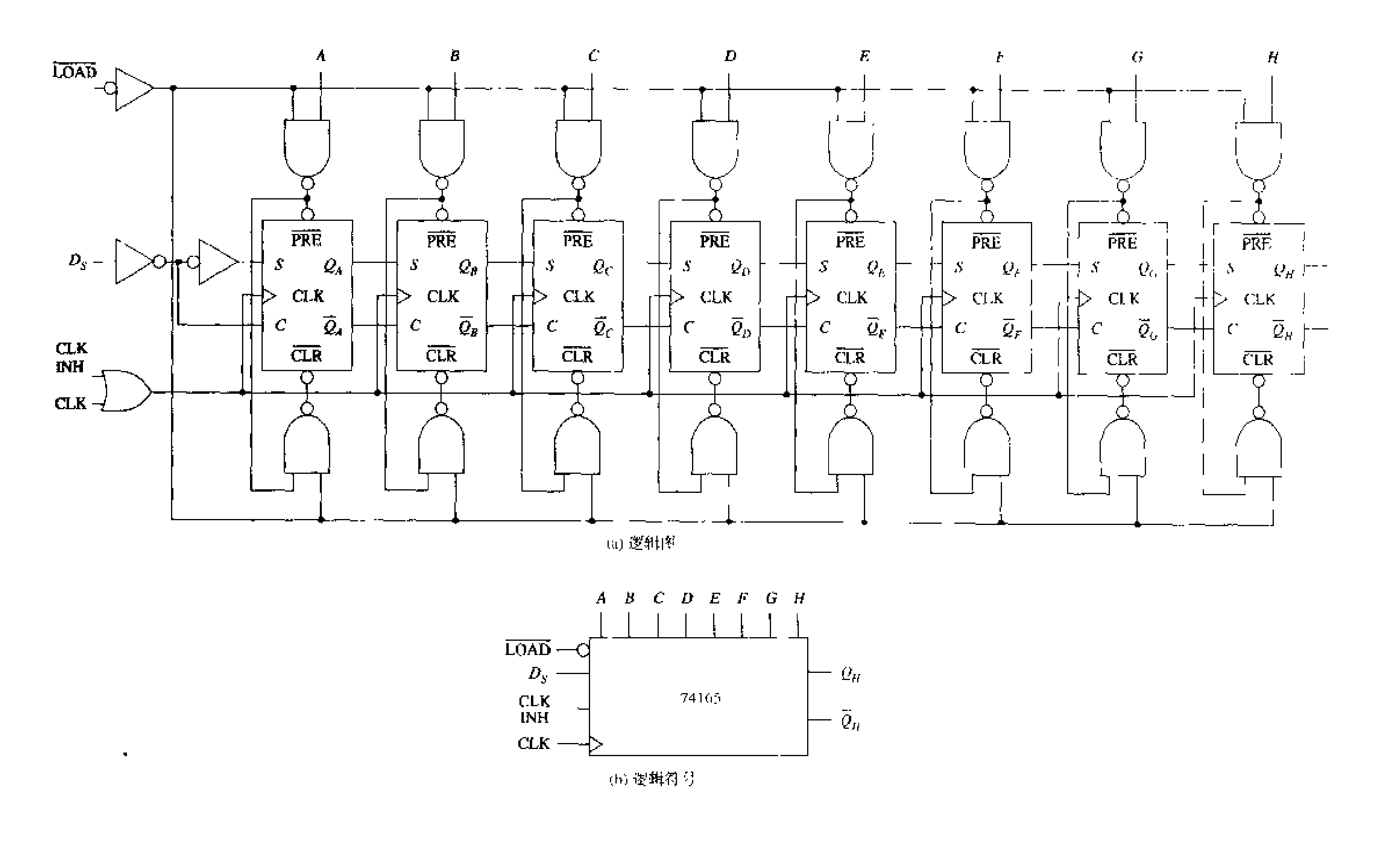
当$\overline{\text{LOAD}}$输入有效时，A至D的并行输入数据在时钟脉冲的PGT进入触发器。并行寄存有时也称为位扩展寄存，这种并行寄存器是同步的。有些并行入 / 串行出寄存器不受时钟控制，是异步寄存器。不管哪种情况，在并行寄存过程中，串行数据的运动都是被禁止的。

如果有时钟脉冲，那么一旦$\overline{\text{LOAD}}$输入变为高电平，寄存器中的数据就会向右串行移动。当已存入寄存器的数据移出到另一个数字电路时，它本身也会改变。像大多数商用并行入 / 串行出移位寄存器一样，这种寄存器也有一个串行数据输入端（D_S），因此也可以作为串行入 / 串行出移位寄存器。

74165 8位并行寄存移位寄存器

这种寄存器的逻辑图和符号如图8.9所示。对该寄存器进行分析的最简单方法是只考虑一个触发器，其相应的逻辑门如图8.10所示。74165中所有8个触发器的寄存电路都相同。

当$\overline{\text{LOAD}}$ = 0时，图8.10中的寄存电路工作。$\overline{\text{LOAD}}$的反相信号使两个与非门都工作，从而完成触发器的异步寄存过程。如果$\overline{\text{LOAD}}$输入有效，且并行输入数据的A位为高电平，那么第一个与非门的输出变为低电平。触发器的$\overline{\text{PRE}}$输入异步变为低电平。第一个与非门的低电平输出也使第二个与非门禁止，从而使它的输出（CLR）保持为无效电平。



(a) 逻辑图

(b) 逻辑符号

图8.9 74165 8位并行寄存移位寄存器

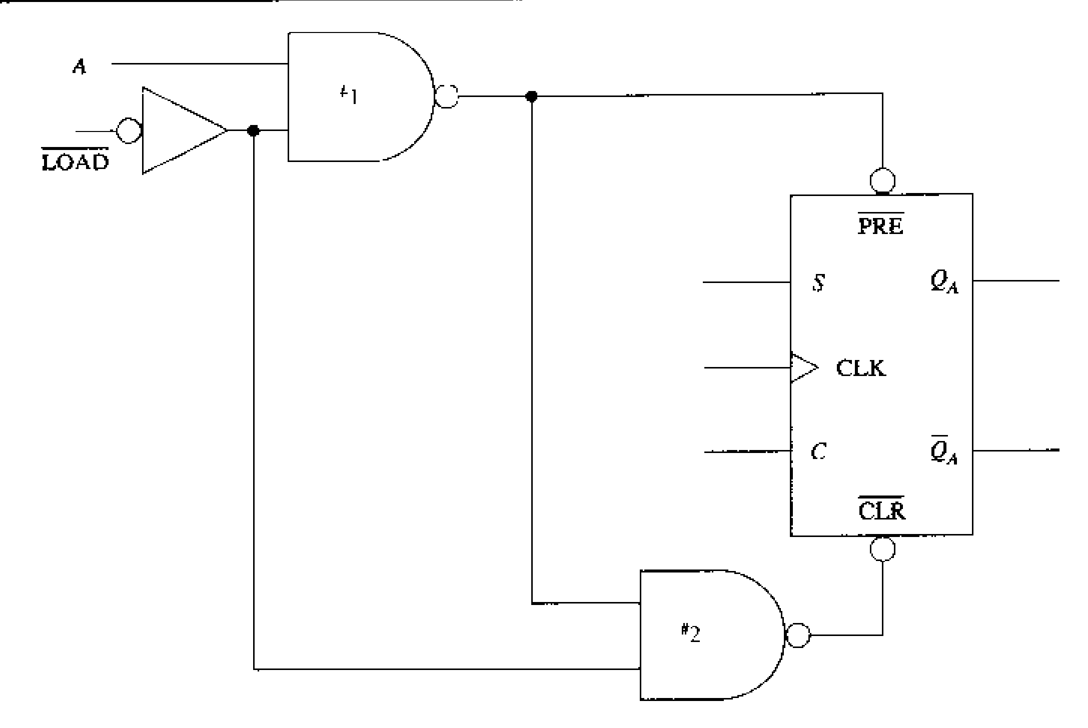


图8.10 74165寄存器，异步寄存电路

如果$\overline{\text{LOAD}}$输入变为低电平（有效），且输入数据的A位为低电平，那么，第一个与非门的输出变为高电平。这个高电平输出和经非门后的高电平LOAD输入一起进入第二个与非门，使CLR有效，从而将触发器清零。

当$\overline{\text{LOAD}}$输入为高电平时，两个与非门的输出都为高电平，从而使$\overline{\text{PRE}}$和$\overline{\text{CLR}}$输入都无效。图8.10中将两个与非门级联的方式保证了在某一时刻只有一个触发器的异步输入有效，而另一个则无效。

图8.9(a)所示的逻辑图显示了并行寄存数据在每个时钟脉冲的PGT作用下向右移动到下一个触发器的过程。如果一个字节数据是并行存入的，那么在8个时钟脉冲作用下移出，而另一个字节数据再并行存入，此时串行数据（D_s）输入脚可以接地。读者可以看出，该寄存器的数据输出脚只有Q_H和$\overline{Q}_H$，这使数据只能从该寄存器的输出端串行输出。某一时刻在时钟禁止（CLK INH）输入脚加一个逻辑高电平将禁止时钟脉冲输入。

8.2.2 并行入/并行出寄存器

并行入/并行出寄存器可以用于存储二进制数据。因为以并行方式传输数据的速度很快，所以计算机之间的数据传输一般都是并行方式。数据一般以并行方式存储，因为这样可以提供高速、非破坏性的读操作。所以说，并行入/并行出寄存器电路是一种非常好的存储电路。

由D触发器构成的4位并行入/并行出寄存器如图8.11所示。这种寄存器是并行寄存输入数据的。当数据送到输入端（A~D）后，只需要一个时钟脉冲寄存数据。在时钟脉冲作用下，可以在寄存器的Q输出端得到数据。存入寄存器的数据可以不发生改变地传输（读），而当数据移出串行入/串行出或并行入/串行出寄存器时，数据发生了改变。

74178 4位并行访问移位寄存器

该寄存器的逻辑图、功能表和逻辑符号如图8.12所示。它有3种工作方式：LOAD，SHIFT和HOLD。

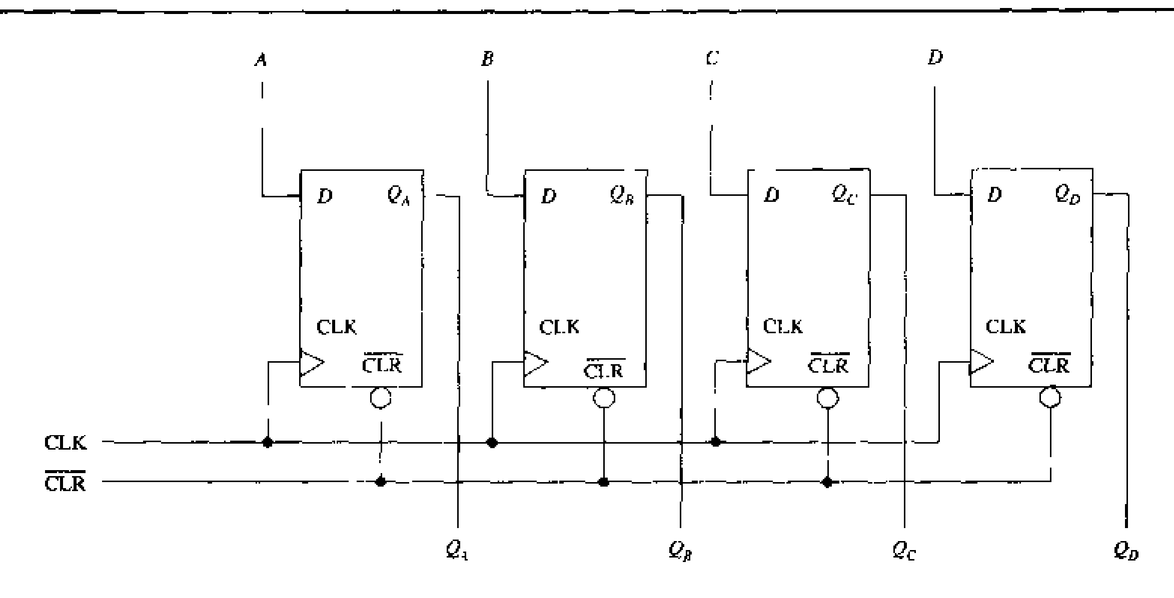


图8.11 并行入/并行出寄存器逻辑图

LOAD功能。由图8.12(b)所示的功能表可以看出，当LOAD = 1且SHIFT = 0时，该寄存器并行寄存数据。在图8.12(a)中，每个触发器的输入端有3个与控制门和1个或非门，与门用于控制寄存器的工作方式。当LOAD = 1且SHIFT = 0时，每组与门正中间的那个与门工作，而另外两个与门禁止。工作的门允许A，B，C和D的并行输入数据作为触发器的输入。不过，要将并行输入数据送到触发器中，必须有一个时钟脉冲，这个寄存过程是与时钟那一列中箭头所示的NGT同步进行的，如功能表所示。如果这种寄存器与前面介绍的74165一样以异步方式寄存数据，那么在时钟那一列中将有一个X。并行输入数据在时钟脉冲作用下，从集成芯片的并行输出脚输出。

SHIFT功能。一旦存入数据，当SHIFT = 1时，该寄存器就可以串行移位了。图8.12(a)所示的逻辑图表示串行数据的移动是通过每组与门中最上方的那个与门进行的。在SHIFT操作期间，这个与门是每组与门中惟一工作的门。当SHIFT = 1时，串行数据的输入端与触发器A的输入端连接，Q_A又与触发器B的输入端连接，依次类推，数据在每个时钟脉冲的NGT移向下一个触发器。

HOLD功能。该寄存器可以通过两种不同的方法设置在保持工作方式下。第一种方法是，如果不用时钟传输，该寄存器将保持存入的数据。第二种方法是，当SHIFT = 0且LOAD = 0时，每组与门最下方的那个与门工作，这样就使输出Q_A反馈到触发器A的输入端，在时钟脉冲作用下，该寄存器的数据就形成了一个循环。在这种工作方式下，每个触发器的输出都反馈到自己的输入端。

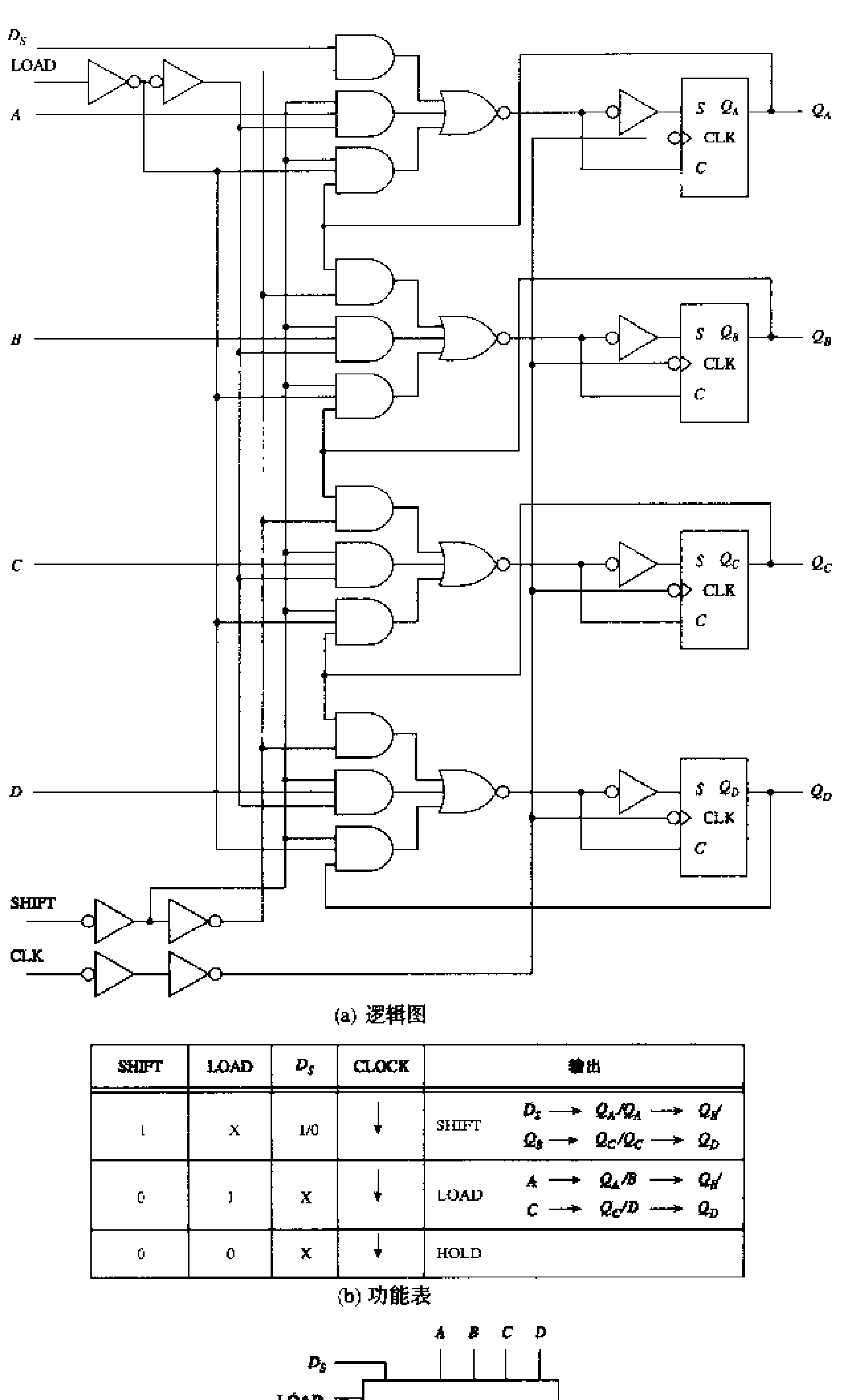
逻辑符号如图8.12(c)所示的寄存器是一种并行入/并行出寄存器。不过，它也是一种通用寄存器，因为它可以用于串行数据输入和输出。下面以4位通用寄存器为例，展开讨论通用寄存器理论。

8.2.3 通用寄存器

典型的通用寄存器可以作为串行入/串行出、串行入/并行出、并行入/串行出及并行入/并行出寄存器使用。由于它的多功能，这些寄存器在电路设计中应用得很广泛。

74194 4位双向通用移位寄存器

该寄存器在一个集成芯片上集中了前边讨论的大多数功能。该寄存器可以串行或并行寄存数据，另外，数据也可以串行或并行移出寄存器。寄存器内部的数据可以左移或右移，其工作方式由两个选择输入（S_1和S_0）控制，其逻辑图、功能表和逻辑符号如图8.13所示。



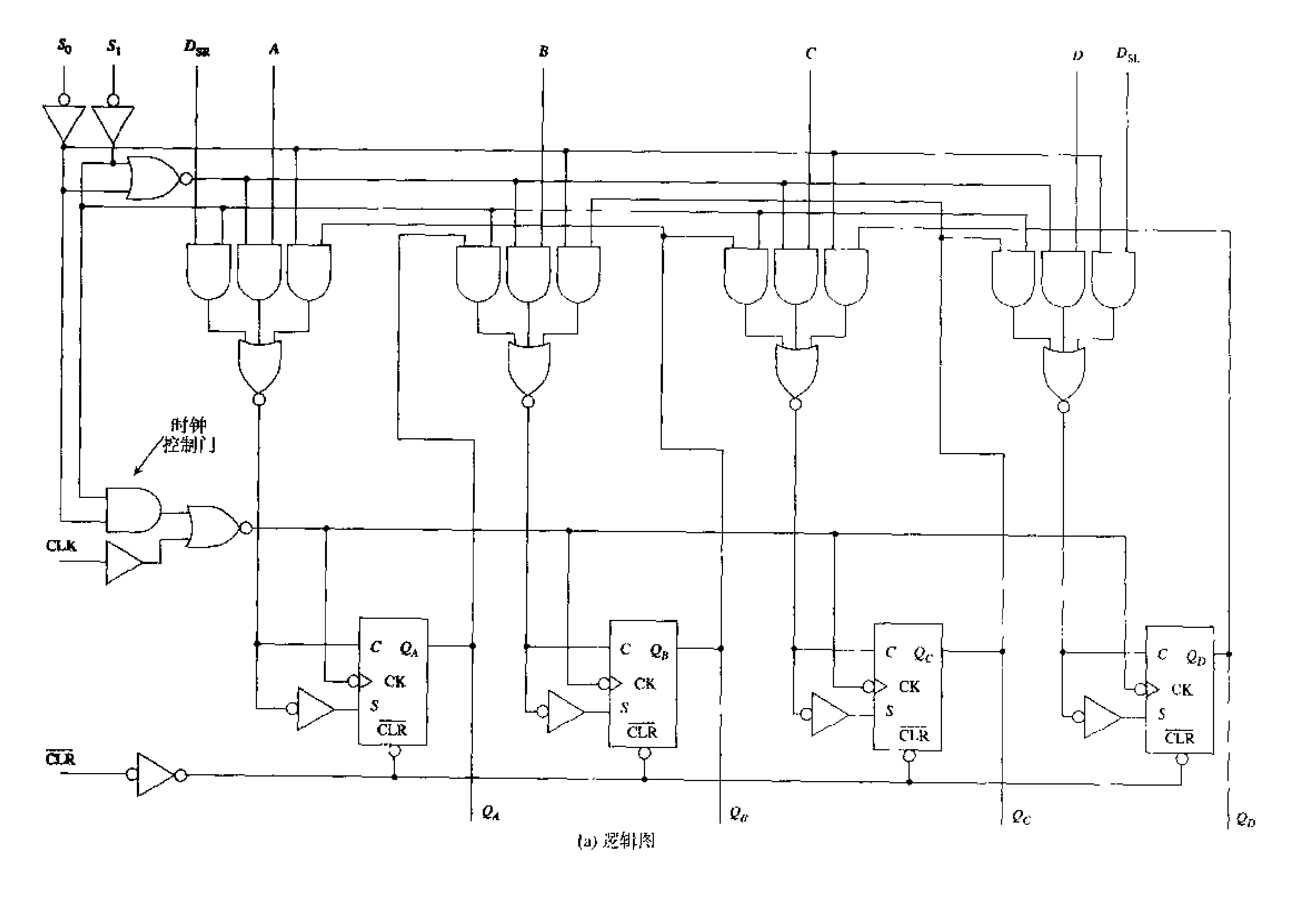
(a) 逻辑图

SHIFT	LOAD	D_S	CLOCK	输出
1	X	1/0	↓	SHIFT $D_S \rightarrow Q_A/Q_A \rightarrow Q_B/$ $Q_B \rightarrow Q_C/Q_C \rightarrow Q_D$
0	1	X	↓	LOAD $A \rightarrow Q_A/B \rightarrow Q_B/$ $C \rightarrow Q_C/D \rightarrow Q_D$
0	0	X	↓	HOLD

(b) 功能表

(c) 逻辑符号

图 8.12　74178 4 位并行访问移位寄存器

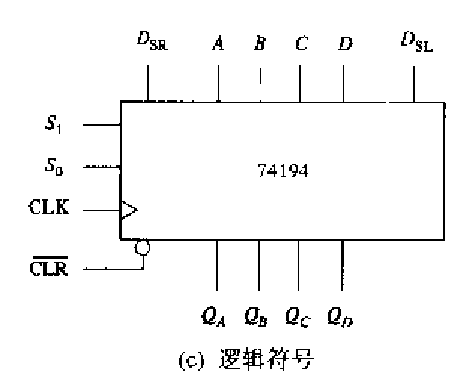


(a) 逻辑图

图8.13　74194 4位双向通用移位寄存器

$\overline{CLEAR}$	模式		CLOCK	串行		输出	
	S_1	S_0		左	右		
0	X	X	X	X	X	清零	
	1	1	↑	X	X	并行装入	$A \to Q_A/B \to Q_B/$ $C \to Q_C/D \to Q_D$
	1	0	↑	1	X	左移	$1 \to Q_D/Q_D \to Q_C/$ $Q_C \to Q_B/Q_B \to Q_A$
	1	0	↑	0	X	左移	$0 \to Q_D/Q_D \to Q_C/$ $Q_C \to Q_B/Q_B \to Q_A$
1	0	1	↑	X	1	右移	$1 \to Q_A/Q_A \to Q_B/$ $Q_B \to Q_C/Q_C \to Q_D$
1	0	1	↑	X	0	右移	$0 \to Q_A/Q_A \to Q_B/$ $Q_D \to Q_C/Q_C \to Q_D$
1	0	0	X	X	X	保持	

(b) 功能表



(c) 逻辑符号

图 8.13（续） 74194 4位双向通用移位寄存器

74194的工作方式与刚讨论过的74178的工作方式一样，是通过一组与门控制的。这些门反过来又受选择输入的控制，并产生如下工作方式：

S_1	S_0	工作方式
1	1	并行寄存（PARALLEL LOAD）
1	0	左移（SHIFT LEFT）
0	1	右移（SHIFT RIGHT）
0	0	保持（HOLD）

这些工作方式如图8.13(b)的功能表所示。由功能表可知，$\overline{CLEAR}$输入是低电平有效，它优先于寄存器其他的所有输入。要使寄存器工作在这4种工作方式中的某一种，该端必须无效(高电平)。

LOAD 功能。当选择输入端都为高电平时，图8.13(a)所示的寄存器通过A~D同步寄存并行输入数据。当 $S_1 = S_0 = 1$ 时，每组与门正中间的那个门工作，其他两个门禁止。在时钟脉冲的PGT，数据出现在触发器的输出端。在寄存工作过程中禁止串行数据的移动。

SHIFT LEFT 功能。当 $S_1 = 1$ 和 $S_0 = 0$ 时，寄存器进行数据左移。这种工作方式利用每组控制门最右边的那个与门。新的串行数据从左移串行数据输入端（D_{SL}）进入寄存器，如图8.13(a)的逻辑图所示。新的串行数据在时钟脉冲的PGT存入触发器D中。图8.13(b)所示的功能表展示了寄存器

在左移工作方式下所有数据的移动过程。该表中有两行，一行是$D_{SL}=1$时的情况，一行是$D_{SL}=0$时的情况。

SHIFT RIGHT 功能。当$S_1=0$和$S_0=1$时，寄存器进行数据右移。存入寄存器的新的串行数据从右移串行数据输入脚（D_{SR}）进入。如果S_1和S_0的逻辑电平送入寄存器，就使每组控制门中最左边的与门工作，而其他两个门禁止。

右移的工作方式在功能表中也有两行，一行是$D_{SR}=1$时的情况，一行是$D_{SR}=0$时的情况。在这种方式下，寄存器内部的数据移动过程在图8.13(b)所示的功能表中给出。

HOLD 功能。当两个选择输入都变为低电平时，寄存器工作在保持方式下。时钟脉冲（CLK）通过一个缓冲器进入或非门中。当$S_1=S_0=0$时，受时钟控制的与门的输出使或非门禁止，因此没有数据移动过程。这是由于寄存器的时钟被禁止了。或非门工作，从而使触发器的时钟在其他几种工作方式下通过。只要有一个选择输入为高电平，就会有一个低电平进入时钟控制的与门，从而产生一个低电平输出，使或非门工作。

在上述讨论中，缓冲器是指用于隔离驱动能力不断增加的输入和输出信号的电路。缓冲器没有反相，且完全满足信号要求，其符号显示在图8.13(a)所示的CLK输入端，与没有反相标志的非门符号相同。该电路的$\overline{CLR}$输入也通过缓冲器作为触发器的$\overline{CLR}$输入。该符号的输入端和输出端的圆圈说明输入是低电平有效，输出也是低电平有效。这种通用寄存器标准的逻辑符号如图8.13(c)所示。

8.2 节复习题

A. 叙述两种并行输入寄存器

B. 为了在8位并行输入寄存器中存入数据，需要多少个时钟脉冲?

C. 为了在8位串行输入寄存器中存入数据，需要多少个时钟脉冲?

(1) 对

(2) 错

D. 数据可以同步或异步存入并行输入寄存器。

(1) 对

(2) 错

E. 通用寄存器一般可以以串行或位扩展的方式存入数据，也可以以串行或并行的方式取出数据。

(1) 对

(2) 错

阶段性小结（8.1 节～8.2 节）

寄存器是指一组触发器。寄存器可用于存储、传输或移动数据。数据可以以串行或并行方式存入寄存器和从寄存器取出。这种寄存器决定了数据的形式。

寄存器可分为串行输入和并行输入两大类。串行输入寄存器允许以串行或并行的方式从寄存器取出数据，并行输入寄存器也允许以串行或并行的方式从寄存器取出数据。

串行入/串行出寄存器可以用于存储数据、左移或右移数据。所需时钟脉冲的个数等于该串行入/串行出寄存器中触发器的个数。当数据从已存入的寄存器中串行取出时，也需要同样多个时钟脉冲。

串行入/并行出寄存器一般用于数据形式的转换。当从另外一个系统中把数据接收到该系统时，一般利用一条线路接收串行数据。这种寄存器再将串行数据转换为并行数据，以提高系统的速度。并行入/串行出寄存器的工作过程正好相反，它们是将并行数据转换为串行数据。

并行入/并行出寄存器用于存储或传输数据，它们没有数据移动的功能，常作为存储器件使用。许多集成电路寄存器具有串行或并行传输数据的功能，这种通用寄存器可以进行双向数据移动。

阶段性练习（8.1 节～8.2 节）

1. 寄存器是一组用于传输、存储或移动数据的锁存器或触发器。
   a. 对
   b. 错
2. 将数字系统中的一组并行数据取出，并转换为只用一条线路传输的形式，需用哪一种寄存器？
   a. 串行入 / 串行出
   b. 串行入 / 并行出
   c. 并行入 / 串行出
   d. 并行入 / 并行出
3. 要将 8 位数据装入串行入 / 并行出移位寄存器，需要多少个时钟脉冲？
   a. 1　b. 4　c. 8　d. 16
4. 要从一个已装入的 8 位串行入 / 并行出移位寄存器中读出数据，需要多少个时钟脉冲？
   a. 1　b. 4　c. 8　d. 16
5. 图 8.14 所示的符号代表什么？
   a. 串行入 / 串行出寄存器
   b. 串行入 / 并行出寄存器
   c. 并行入 / 串行出寄存器
   d. 并行入 / 并行出寄存器

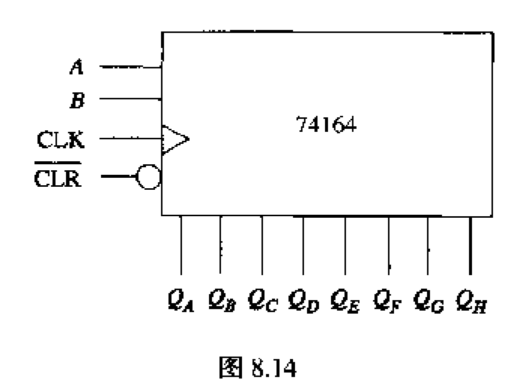


图 8.14

6. 图 8.15 所示寄存器可以装入串行或并行数据。
   a. 对
   b. 错

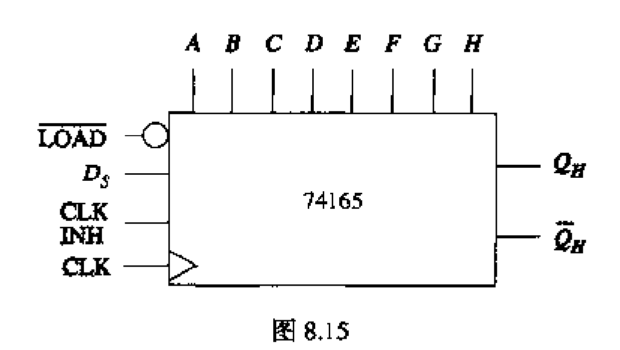


图 8.15

7. 图 8.15 所示的寄存器可以以串行或并行方式传出数据。
   a. 对
   b. 错
8. 图 8.16 中，要使 74178 IC 装入并行数据，输入是什么条件？
   a. SHIFT = 1；LOAD = 1
   b. SHIFT = 1；LOAD = 0
   c. SHIFT = 0；LOAD = 1
   d. SHIFT = 0；LOAD = 0

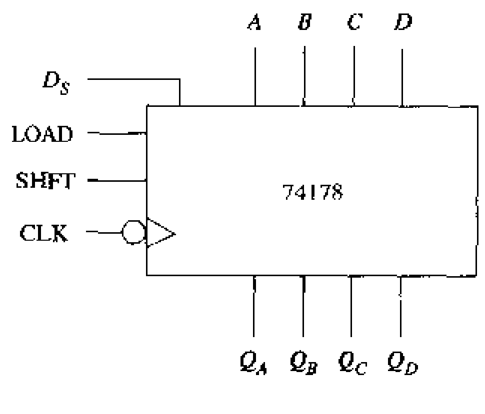


图 8.16

9. 图 8.16 中，要使 74178 移动数据，输入是什么条件？
   a. SHIFT = 1；LOAD = 1
   b. SHIFT = 1；LOAD = 0
   c. SHIFT = 0；LOAD = 1
   d. a 或 b
10. 确定图 8.17 所示的寄存器。
   a. 串行入 / 串行出
   b. 并行入 / 串行出
   c. 并行入 / 并行出
   d. 通用

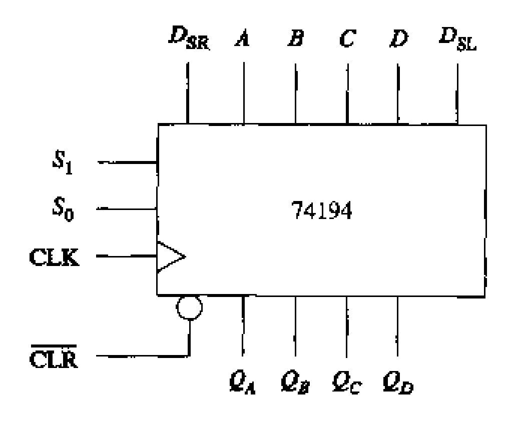


图 8.17

11. 当 $\overline{CLR}=1$、$S_1=0$、$S_0=1$、CLK = PGT 时，图 8.17 所示寄存器的工作方式是什么？
   a. 保持（HOLD）
   b. 左移（SHIFT LEFT）
   c. 右移（SHIFT RIGHT）
   d. 并行存入（PAPALLEL LOAD）
12. 在图 8.17 中，如果：

第 1 步： $\overline{CLR}=0$，然后变为高电平；$S_1=1$，$S_0=1$，$D_{SR}=0$，$D_{SL}=1$，$A=B=C=D=1$，CLK = PGT
第 2 步： $S_1=0$，$S_0=1$，CLK = PGT（一个脉冲）

那么寄存器中的数据是什么？
a. 0110　　c. 1111
b. 0111　　d. 1110

8.3 寄存器的实际应用

要点

1. 给出 IC 组成的环形或约翰逊计数器的逻辑图，确定 X 个时钟脉冲后的输出及模（MOD）。
2. 给出双向移位寄存器的逻辑图和输入电平，确定 X 个时钟脉冲后寄存器的积或商。

8.3.1 码检测器

串行入/串行出移位寄存器的一种实际应用是如图8.18所示的码检测器电路。该电路用于检测一个特定码（一组顺序排列的数），当送入正确的码时产生一个脉冲。输出码脉冲可以用于给保密系统加密或解密。

键盘可以将一个码送入电路。要产生正确的输出码脉冲，必须将一个确定的码以正确的顺序传入电路。每按下一个键，就会产生一个正脉冲。如果将键5按下并释放，就会产生一个PGT；当释放该键时，该按键脉冲又回到一般情况下的低电平状态。由图8.18可以看到，按下键2时，就给或非门送入一个逻辑1，或非门的低电平输出就将所有的触发器清零。如果按下键5，6，7，8或9再释放，结果是一样的。

该电路最终的目的是使一个保密系统输出一个高电平的码脉冲。在这个特殊的检测器中，只有键入3140码时才会产生这个高电平输出，其他的码都不会产生正确的输出。

注意，在这个逻辑图中，触发器A的D输入接在 + 5 V上。当按下键3时，触发器A的时钟脉冲的PGT和其输出（Q_A）都变为高电平，这使触发器B的输入也为高电平。如果接着按下键2，那么或非门的低电平输出将触发器清零，该过程就结束了。

读者很容易看出，必须按顺序键入码。如果键入顺序不对，逻辑高电平就不会通过寄存器移动。按下键3后，触发器A被置位；如果下一步按下键1，触发器B被置位；如果再按下键4，触发器C被置位；最后按下键0，触发器D也将被置位。当触发器D被置位时，该保密系统就被加密或解密了。

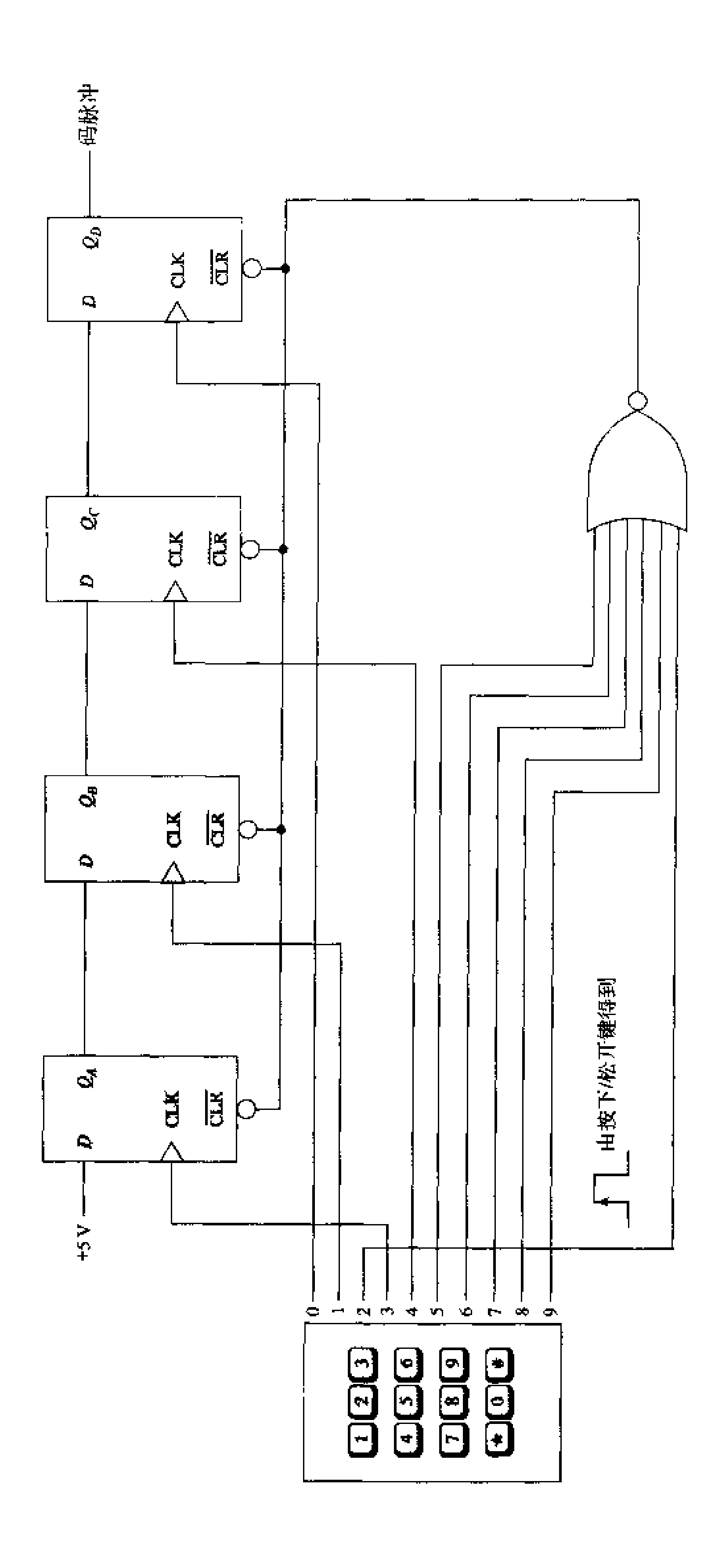

码脉冲
D
Q_D
Q_C
Q_B
Q_A
CLK
$\overline{CLR}$
+5 V
由按下/松开键得到
0 1 2 3 4 5 6 7 8 9
1 2 3
4 5 6
7 8 9
* 0 #

图 8.18 码检测器电路

8.3.2 数据循环移位寄存器

在8.1节中曾经提到，在串行入/串行出移位寄存器的数据传输过程中，数据一般会在寄存器中发生改变，但是，利用一个简单的逻辑电路就可以解决数据改变的问题。图8.19所示的电路在读操作期间将数据反馈了回来。

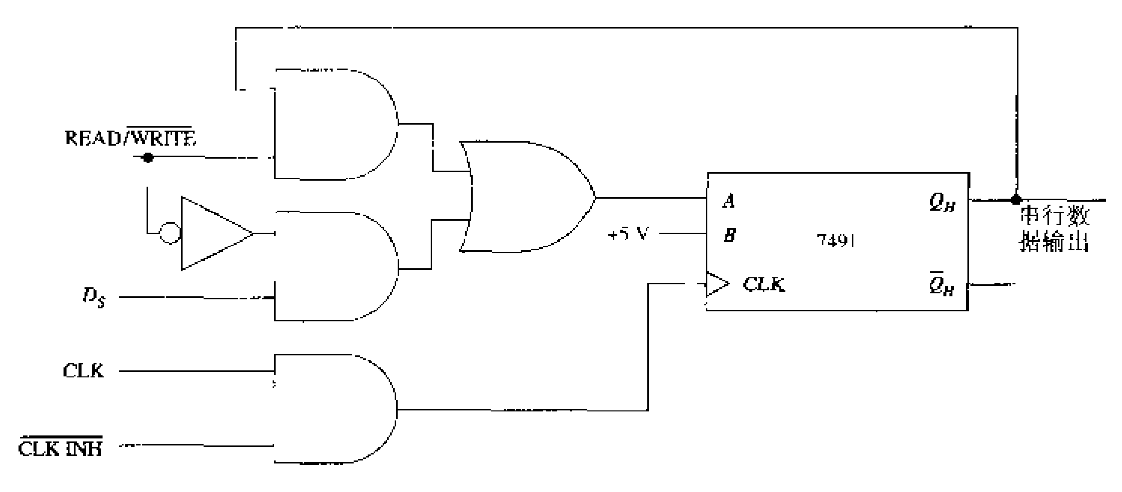


图8.19 数据循环移位寄存器

7491 8位寄存器可用于数据的串行移动。利用逻辑门来控制READ和WRITE操作。READ操作自动使数据循环。

READ/$\overline{\text{WRITE}}$ = 0，$\overline{\text{CLK INH}}$ = 1：该输入下，可向寄存器写入数据。高电平$\overline{\text{CLK INH}}$（时钟禁止）信号使最下方的与门工作，并允许时钟脉冲进入寄存器。低电平$\overline{\text{WRITE}}$信号反相后，作为中间那个与门的使能信号，该信号使串行数据（D_S）可以装入移位寄存器中。8个时钟脉冲后，一个字节的串行数据被装入寄存器。$\overline{\text{CLK INH}}$信号此时可能变成了低电平。

READ/$\overline{\text{WRITE}}$ = 1，$\overline{\text{CLK INH}}$ = 1：该输入允许寄存器读出存入的数据。高电平READ/$\overline{\text{WRITE}}$信号使最上方的那个与门工作，从而允许数据移出寄存器，同时经串行数据输出端，在时钟作用下又进入寄存器，再传输到输出端，这个简单的电路可以避免READ操作出错。

8.3.3 环形/约翰逊计数器

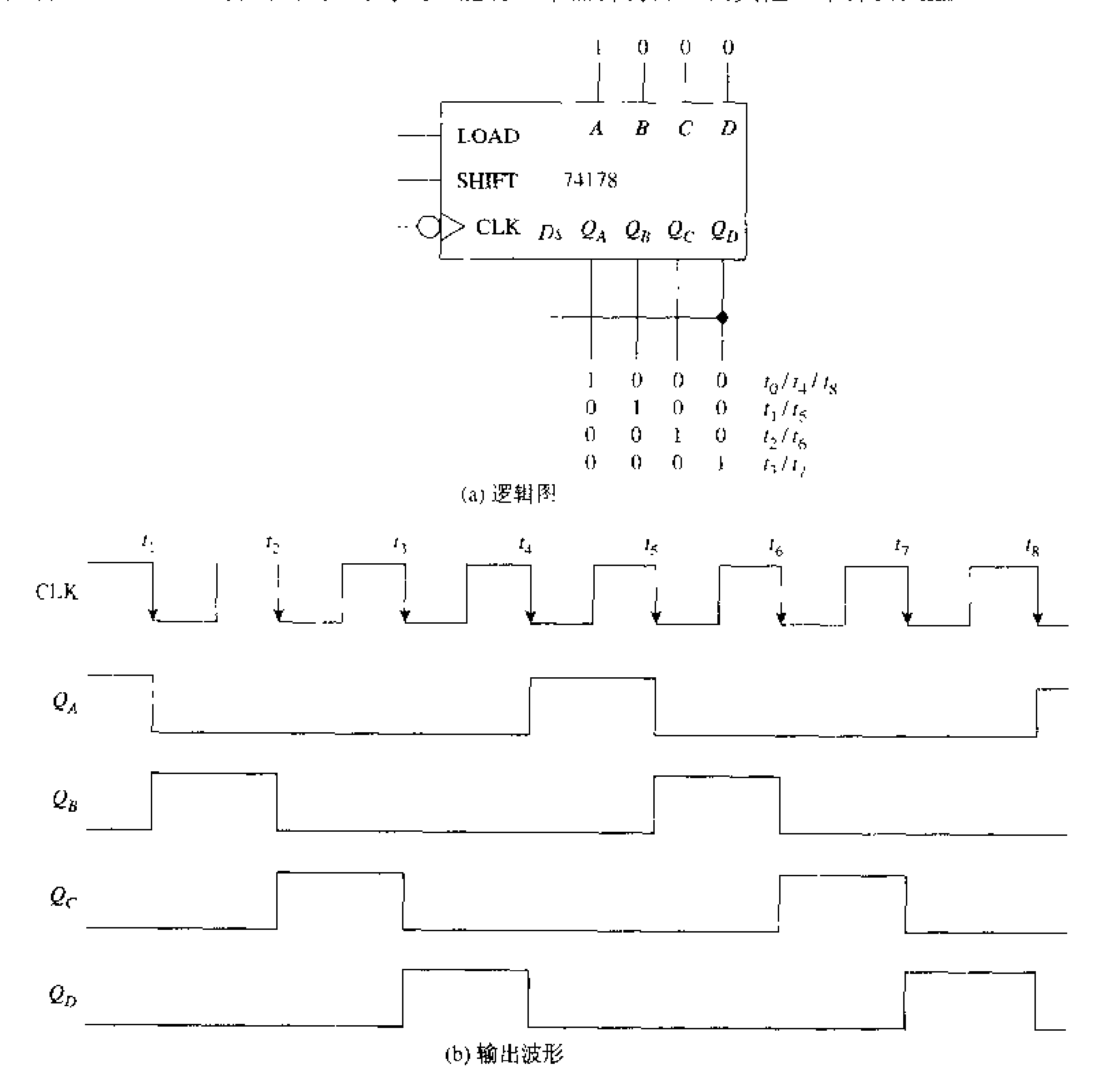
在7.9节中曾提到环形计数器。该计数器是一个移位寄存器，它的输出端与输入端相连。用IC构成的环形计数器如图8.20(a)所示。图中的IC为74178 4位移位寄存器。在进行下面的讨论之前先回顾一下图8.12所示的逻辑图和功能表。

要想正常运行，环形计数器必须先装入一个数。当74178的LOAD = 1，SHIFT = 0时（图8.20(a)）可以做到这一点。因为预先装入的输入为$A = 1$，$B = C = D = 0$，所以在时钟脉冲的NGT，触发器A被置位，其余的触发器都清零了。

由图中可见，当移位输入为高电平时，寄存器中装入的1在每个时钟脉冲作用下依次移向左边的触发器。当SHIFT = 1时，LOAD输入与输入无关。Q_D输出与串行数据输入（D_S）以刚才讨论的环路的形式连接。在每个输出端得到的信号频率为$f_{in}/4$（模4计数器）。

环形计数器一般通过顺序触发开和关来控制事件（电路）。因为其具有等间隔的输出脉冲，所以环形计数器有时也称为序列发生器，能够控制脉冲发生的顺序。模4计数器的输出波形如图8.20(b)

所示。该图表明，在任何一个时刻，四个输出中只有一个为高电平。这是因为输入CLK脉冲的一个NGT只能使一个输出为高电平，而下一个CLK NGT使其输出为低电平。因此，要想用环形计数器来控制四个器件（事件），在任何时刻只能有一个器件打开，而其他三个都要关上。



(a) 逻辑图

(b) 输出波形

图8.20 用74178实现的环形计数器

环形计数器的另外一种结构如图8.21所示，该电路是一种自装入的环形计数器。外接的或非门使之具有自装入的特性。在电源作用下，不管该寄存器最初条件是什么，电路正常工作时最终的输出都是一个高电平，三个低电平。从图中也可以看出，Q_D输出与电路输入端的触发器之间的连接被去掉了。

假设电路最初的输入条件为1100（Q_A~Q_D）。Q_A和Q_B的高电平使或非门产生一个低电平输出。在时钟的下一个NGT（t_1），该电平装入A触发器。在右移操作完成后，输出变为0110。Q_B和Q_C的高电平输入又使或非门产生低电平输出，该输出电平在下一个有效的传输时钟（t_2）作用下将另一个0装入触发器A中，其他的数据又右移产生0011。Q_C高电平输出通过D_S输入（t_3）又将另一个0装入触发器A中，寄存器现在的输出为0001。进入或非门的三个逻辑0使其输出为高电平，在下一个有效的时钟转换时刻（t_4）使触发器A置位，此时寄存器的输出为1000。

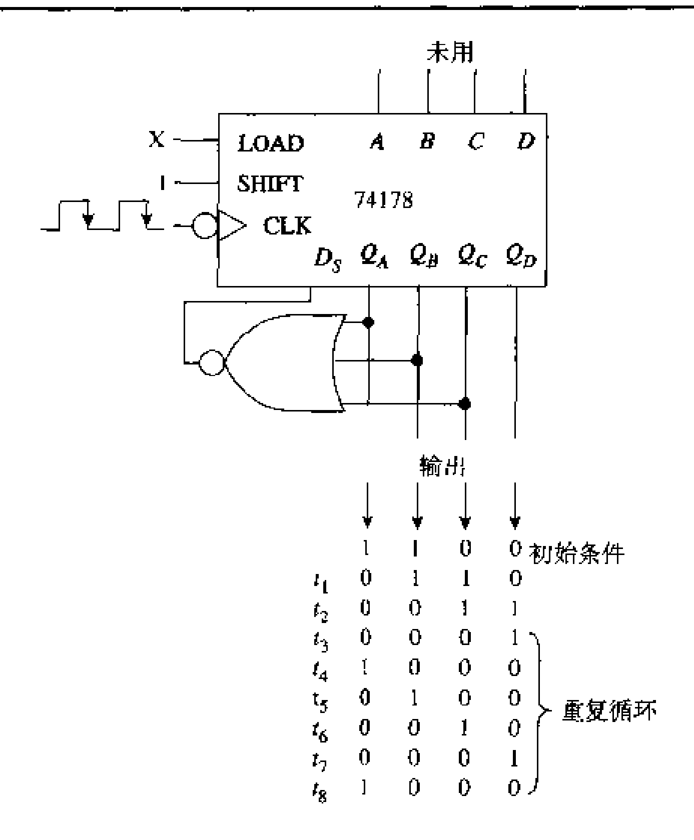


图 8.21 用 74178 实现的自装入环形计数器

无论寄存器最初的条件是什么,或非门在至多三个时钟脉冲之后只允许计数器中有一个逻辑1。

环形计数器的另外两种自装入的方法如图8.22(a)和图8.22(b)所示。图8.22(a)所示的环形计数器是用一个与门来为 D 触发器装入，该电路无需将输出端与移位寄存器的输入端相连。其原因很明显。当计数器的输出为 X000（Q_A~Q_D）时，与门的输出为高电平，从而使 D 触发器置位，这是因为 $\bar{Q}_B$，Q_C和 $\bar{Q}_D$ 和与门相连。每当高电平移出触发器 A 时，这种设计可以自动为触发器 D 装入高电平。另一种自装入的环形计数器是利用J-K触发器构成的，如图 8.22(b)所示。该电路工作过程的分析留给学生自己完成。

约翰逊计数器如图 8.23(a)所示，它是用一片 74178 4 位移位寄存器构成的。第 7 章讨论了将环形计数器改造成约翰逊计数器的过程。MSB 触发器的 Q 输出变成了 $\bar{Q}$ 输出，且通过 D_S 输入脚与输入端触发器相连。用非门来使 Q_D 反相，因为 IC 中没有 $\bar{Q}_D$ 输出脚。

这种模 8 约翰逊计数器的输出为：

Q_A	Q_B	Q_C	Q_D
0	0	0	0
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1

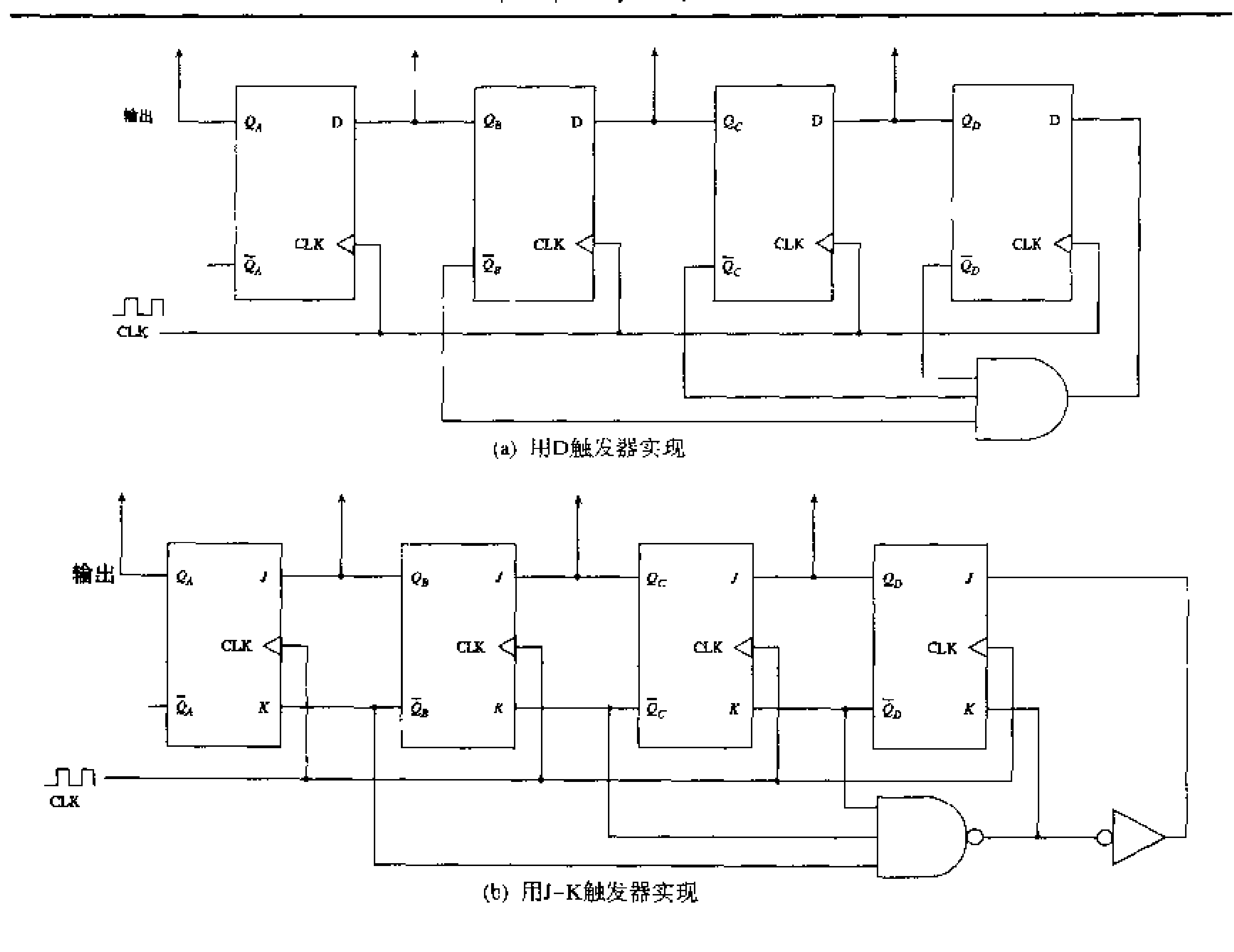


图 8.22 自装入环形计数器

由图8.23(b)所示的模8约翰逊计数器的输出波形可以看出，任何一个输出在4个周期内为高电平，而在另4个周期内又为低电平。因此，一个器件（电路）打开后，在接下来的3个CLK脉冲期间一直打开。当要求器件打开后一直保持打开状态，直到所有的器件都打开，这个功能就很有用。

利用约翰逊计数器的一个很好的例子是点亮EXIT信号，如图8.23所示。该波形说明了点亮各个字母的过程，如下所示：

E
EX
EXI
EXIT
XIT
IT
T

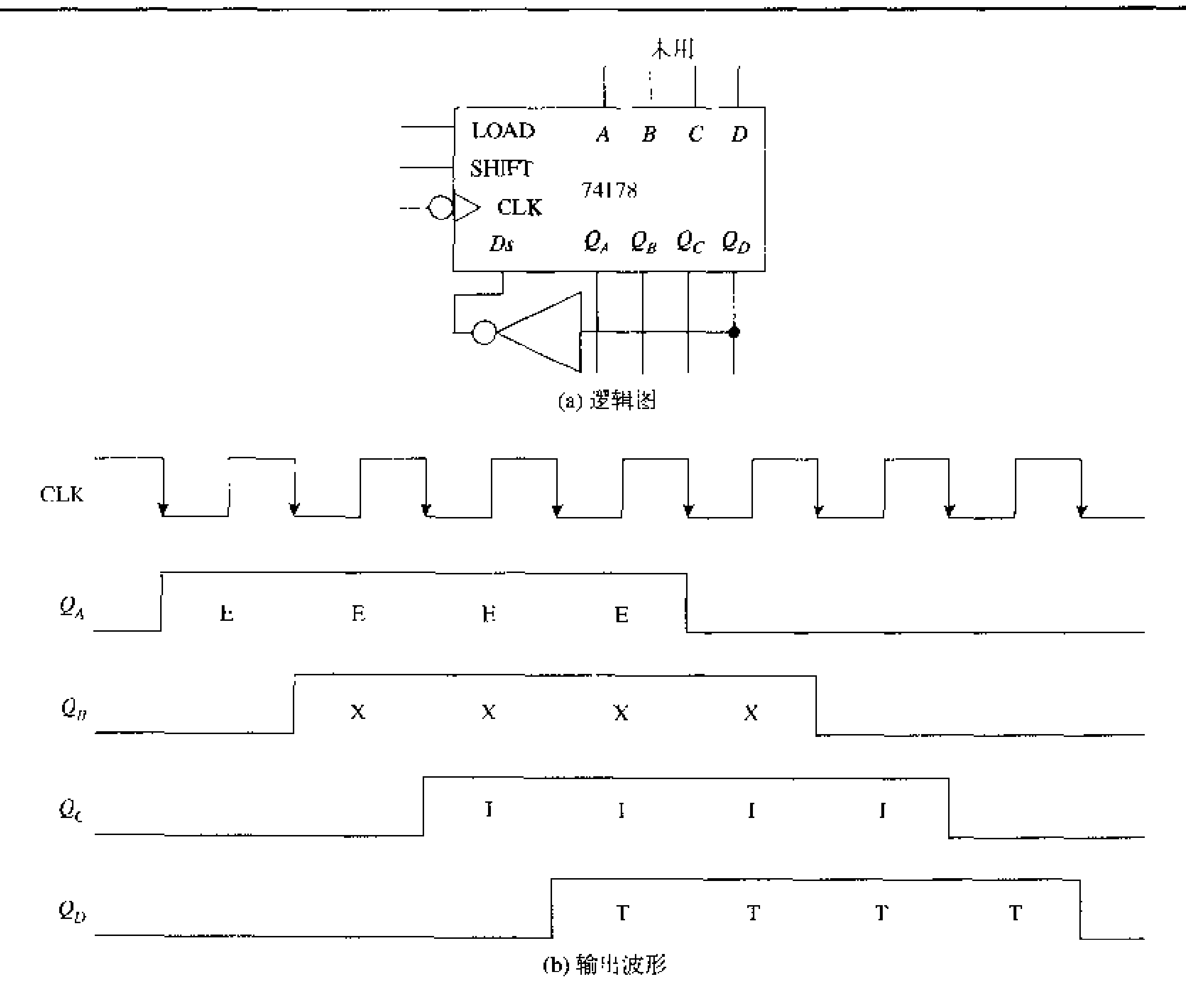


图 8.23　用 74178 实现的约翰逊计数器

8.3.4　乘法 / 除法寄存器

移位寄存器常用来完成乘法和除法运算。正常工作的左移操作相当于一个二进制数乘以 2^n，n 代表左移操作的次数。右移操作相当于一个二进制数除以 2^n。

下面用图 8.24 所示的 74198 扩展移位寄存器来完成这些运算。74198 移位寄存器是一个 8 位寄存器，类型与上一节最后介绍的 74194 寄存器一样，控制输入码也与 74194 相同。完成这些数学运算的步骤如下：

1. $S_1 = 1$；$S_0 = 0$：并行存入要进行乘法或除法运算的数据。
2. $S_1 = 1$；$S_0 = 0$：左移进行乘法运算。
3. $S_1 = 0$；$S_0 = 1$：右移进行除法运算。
4. $S_1 = 0$；$S_0 = 0$：完成算术运算后保持（存储）数据。

在下面的例子中，74198 内部触发器的框图如图 8.25 所示。

先看图 8.25(a)。最初的条件是一个二进制数 1 并行存入 74198 寄存器，寄存器此时处于 $S_1 = 0$ 和 $S_0 = 0$ 的左移操作。如果这个二进制数 1 乘以 32（2^5），那么必须有 5 个时钟脉冲进入寄存器。

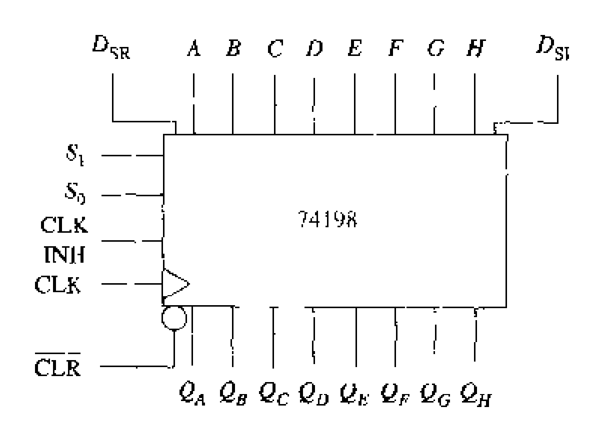


图 8.24 74198 8位扩展移位寄存器

一次一步的整个操作过程如图8.25(a)所示。在第一个时钟脉冲，最初的二进制数1（LSB）乘以2，积为2输出。74198的左移并行数据输入端（D_{SL}）必须是低电平，这样才能将0装入LSB对应的触发器。在第二个时钟脉冲，将1从触发器G移到触发器F，这个左移操作的结果使寄存器的数据为4（$0000\ 0100_{(2)}$）。每个有效的时钟脉冲都可以将这位高电平从一个触发器移到左边的触发器，每移一位就是用2乘以现有的二进制数，所以5个时钟脉冲后该寄存器内的数据就变成了$0010\ 0000_{(2)} = 32$。此时可将74198寄存器设置在保持模式下，以等待READ操作。

乘法的另外一个例子如图8.25(b)所示。该寄存器中的二进制数在第2位和第3位之间有一个小数，最初的数是$11.11_{(2)} = 3.75$。每个时钟脉冲都可以将0装入LSB位，然后将这个数据从一个触发器移到左边的触发器。该例中用了4个时钟脉冲。因为$2^4 = 16$，所以最初的二进制数乘以了16（$16 \times 3.75 = 60$）。

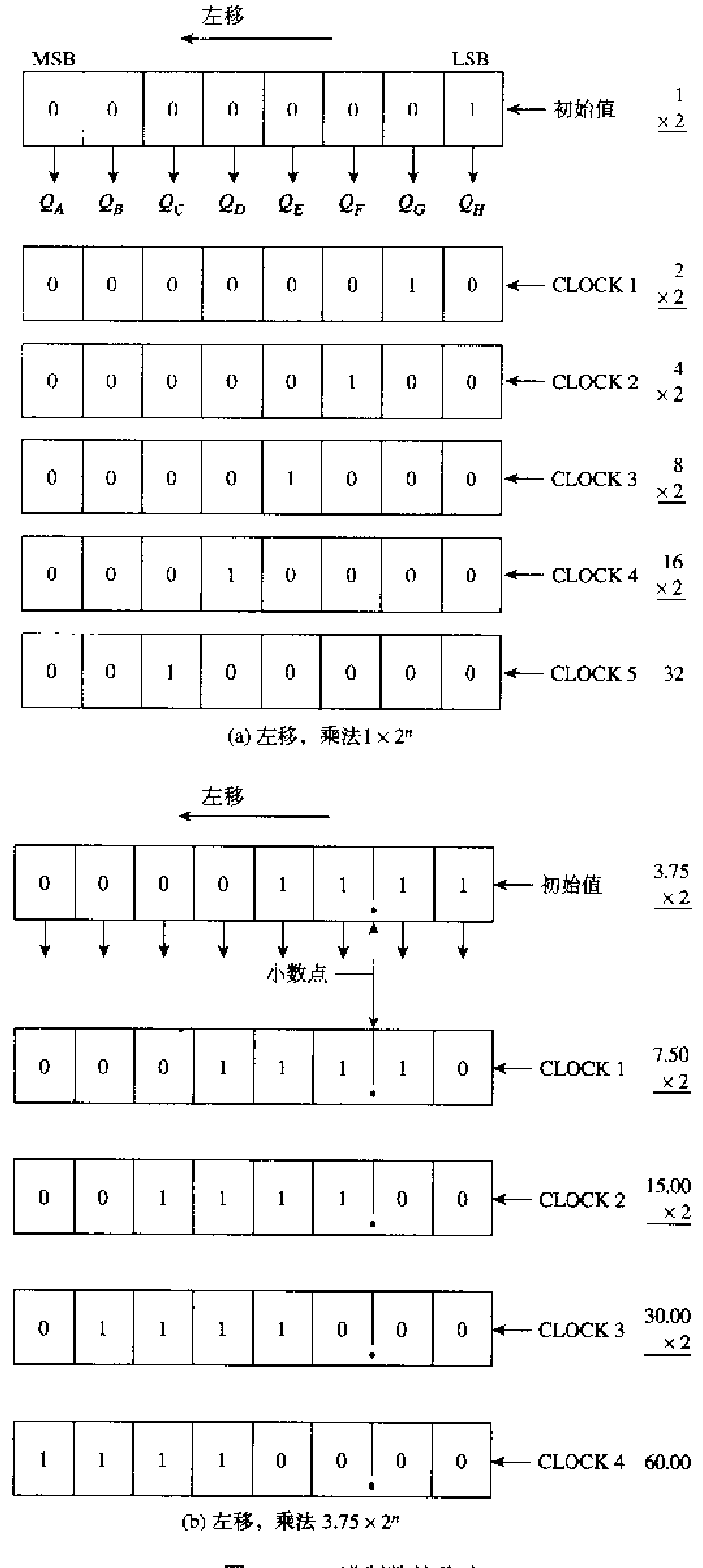
注意，第5个输入时钟脉冲将MSB移出了寄存器，这将使产生的积无效。所以，用于乘法的寄存器常常级联，以保证积可以停留在电路中。利用移位完成二进制数除法运算的例子如图8.25(c)和图8.25(d)所示。

在第一个例子中，96并行装入寄存器中。第1个时钟脉冲将二进制数从一个触发器移到其右边的触发器。注意，在每个时钟脉冲作用下，都是将0移到MSB位置，因此，在这个过程中74198右移串行数据输入（D_{SR}）必须为低电平。移位产生的商为48。重复右移操作就相当于重复除以2。进行右移操作后相当于总数除以2^n。该例中，$2^n = 2^5 = 32$，所以该例最后的结果为$96 \div 32 = 3$。

在二进制数除以2^n的第二个例子中，为了说明清楚，该二进制数也有一个小数点，其过程如图8.25(d)所示。这里二进制数80右移了5次，寄存器产生的商为$80 \div 32 = 2.5$。

这些例子证明了通过将二进制数左移或右移，就可以实现这个数乘以或除以2^n的操作。通过数据移动得到积或商的方法在数字系统中非常普通，因为这种方法又简单又快捷。

在许多计算机的存储系统中都是通过移位过程来得到实际的存储地址的。例如，一个移位寄存器中的数据左移了4个位置，相当于乘以16。移动了的这4个位置表示将一个十六进制（4位）数的地址左移，因为$16_{(10)} = 10_{(16)}$。移动后的地址是一个字节的实际地址。该字节地址加上地址偏移量就得到了实际的存储地址。第12章将讨论存储器寻址。



(a) 左移，乘法1×2^n

(b) 左移，乘法 3.75×2^n

图 8.25　二进制数的移动

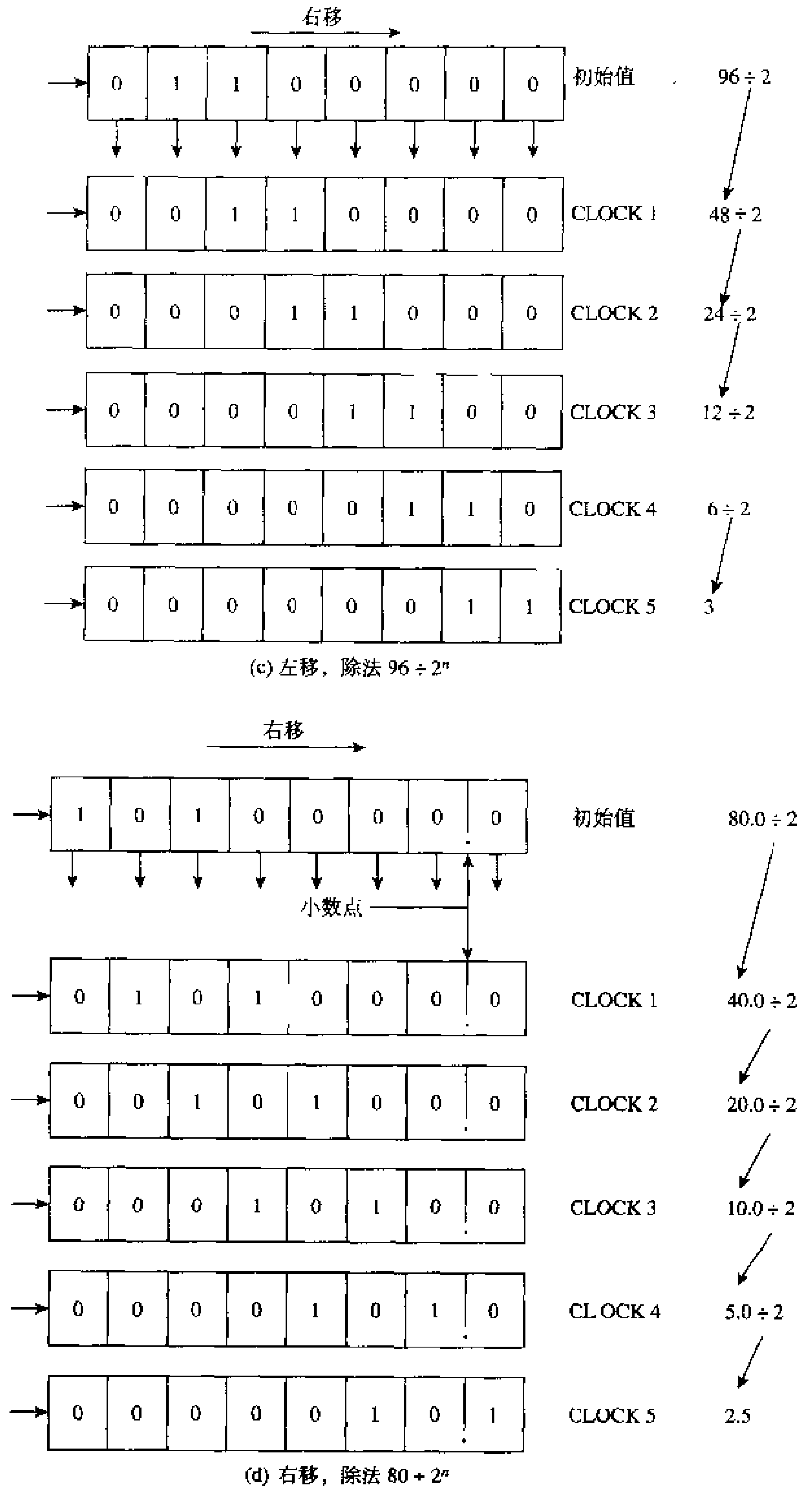


图8.25（续） 二进制数的移动

8.3 节复习题

A. 在串行入/串行出移位寄存器中，数据传输（READ）操作总是具有破坏性的，即使是数据循环时。

(1) 对

(2) 错

B. 利用串行入/串行出移位寄存器IC构成的环形计数器是将Q输出端连回到该IC的串行数据输入端，同时将一个高电平装入寄存器。

(1) 对

(2) 错

C. 在利用串行入/串行出移位寄存器IC构成的约翰逊计数器中，将Q输出连回到该IC的串行数据输入端。

(1) 对

(2) 错

D. 图8.20中，6个时钟脉冲之后，该电路的内容是什么？假设当SHIFT输入等于0时，加入LOAD输入，然后又将SHIFT变为高电平。

E. 图8.20所示电路的模（MOD）是多少？

F. 寄存器左移操作是用2^n因子__________二进制数。

(1) 除以

(2) 乘以

G. 要完成20除以4的运算，需要多少次移位操作？

H. 前一个复习题中的数据移动的方向是什么？

8.4 寄存器的故障诊断

要点

1. 给出观察到的有故障的寄存器电路的故障诊断结果，确定可能出现的故障。
2. 给出寄存器电路的故障，确定最可能的特征。

因为寄存器就是一组锁存器或触发器，所以本节就利用第6章介绍的触发器基本故障诊断步骤来讨论。一定要牢记这一点，要对一个电路进行故障诊断，一定要知道该电路在正常情况下如何工作。首先，一般性的故障，例如电源是否正确连接、常可以通过观察就可以检查出来。许多故障都与电源插头的连接有关！这可能看似不可思议，但若与有经验的技术人员讨论起来，他们会告诉你这是真的。另外，检查一下保险丝是否烧断了，金属连线是否断了，连接得好不好。观察完后，还要感觉一下。如果电路有集成电路芯片及电源，那么要把手放在集成电路芯片的上面，感觉一下是否特别烫，用这个方法常可以找到故障点。

另一个方法在前面讨论过，与本章正常工作着的电路相连的负载可能会引起驱动电路出现故障。不管什么时候，接有负载的输出一旦出现故障，就应该断开负载，从而隔离故障。

首先以分立元件构成的寄存器为例开始故障诊断的讨论。图8.26所示的寄存器是一个串行入/串行出寄存器，它是由TTL触发器构成的。分析过程如下所示。

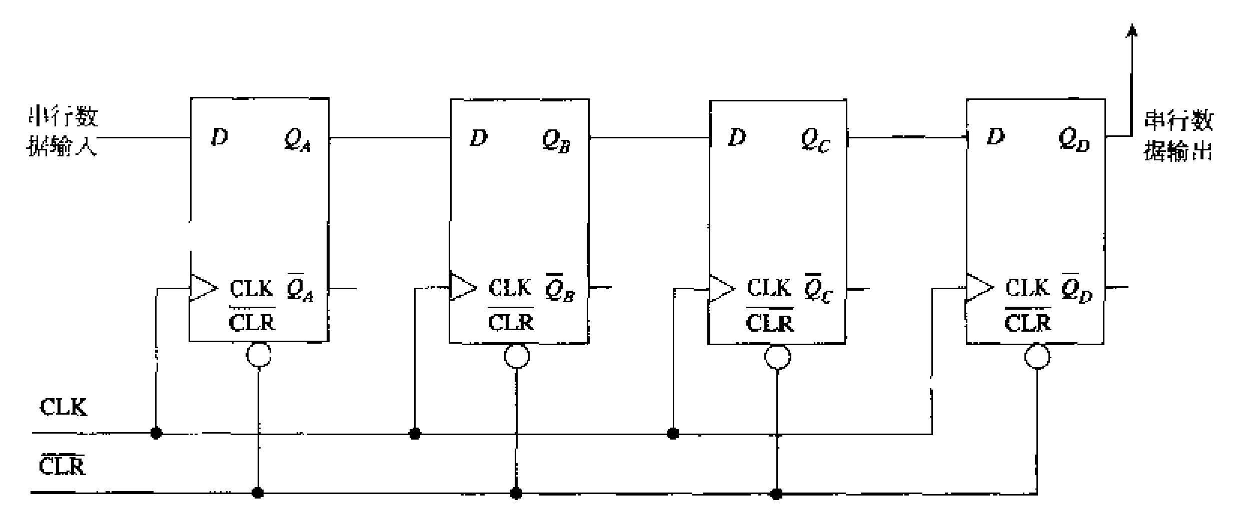


图 8.26 案例 1 中的串行入/串行出寄存器

案例 1

假设图 8.26 中电路的串行数据输入为高电平。寄存器首先清零，然后在时钟作用下，得到下面列出的输出结果。电路正常工作时希望得到的输出结果也列了出来。

观察到的输出				希望得到的输出				
Q_A	Q_B	Q_C	Q_D	Q_A	Q_B	Q_C	Q_D	
0	0	0	0	0	0	0	0	CLR
1	0	1	0	1	0	0	0	t_1
1	1	1	1	1	1	0	0	t_2
1	1	1	1	1	1	1	0	t_3
1	1	1	1	1	1	1	1	t_4

由输出可以观察出这样一个结论，即 Q_C 触发器有故障。这是由于它的输入在 t_1 的 PGT 之前为低电平，而在 t_1 时刻该触发器的输出变成了高电平。Q_C 希望得到的输出是直到 t_3 时它才变为高电平。

诊断。造成这个故障最可能的原因是触发器C的 D 输入端开路了。开路是由于连接触发器B和C的金属线断了，或者是其内部某一点断开了。利用逻辑探针可以很容易地将该故障与连线或触发器隔离。记住，开路（悬空）输入对于TTL触发器来说相当于是高电平，因此触发器C在第一个时钟脉冲就被置位了。

案例 2

图 8.27 所示电路是一个并行入/串行出移位寄存器。最初的故障诊断步骤显示 $\overline{\text{LOAD}}=1$，$D_S=0$，CLK INH = 0 和 CLK = 脉冲。总之，大量的时钟脉冲产生了一个常数 $Q_H=1$，$\overline{Q}_H=0$。

将 A 到 H 的并行输入数据都变为低电平，并且使 $\overline{\text{LOAD}}$ 为低电平，那么 Q_H 变成了 0，$\overline{Q}_H$ 变成了 1。如果 D_S 为高电平且寄存器已锁存了 8 次，那么 Q_H 将变为高电平。但是，经过大量的时钟脉冲之后，又会产生常数 $Q_H=0$，$\overline{Q}_H=1$。

当并行输入 A 到 H 又恢复为图 8.27 所示的电平，且 $\overline{\text{LOAD}}$ 为低电平时，此时 Q_H 又回到 1，$\overline{Q}_H$ 又回到 0。又经过重复的时钟脉冲后，输出不变，$Q_H=1$，$\overline{Q}_H=0$。

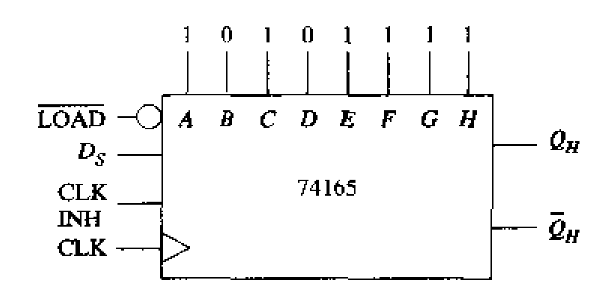


图 8.27 案例 2 中的并行入/串行出寄存器

诊断。74165 没有对应于 Q_A~Q_G 的输出端，使得技术人员无法控制寄存器内部由时钟控制的数据。

假设寄存器的并行装入功能正常，这是基于当 $\overline{\text{LOAD}}$ 有效时 Q_H 在装入输入数据之前跟着 H 变化的事实。

我们可以证明，寄存器内部的数据没有发生右移。如果是这样，那么当并行输入数据如图 8.27 所示时，在 t_4 的 PGT，Q_H 输出将变为低电平。

故障最可能是内部 CLK/CLK INH 电路开路了。或门的两个输入端只要有一个内部开路，就会禁止该门，从而阻止时钟脉冲加在寄存器内部的触发器上。该寄存器的并行装入功能是异步的。所以说，这种工作方式下的功能是正常的，因为并行装入数据不受时钟控制。

案例 3

图 8.28 所示逻辑图是用两片 74178 IC 级联在一起构成的模 16 约翰逊计数器。该计数器正常工作时将产生如下输出。

Q_A	Q_B	Q_C	Q_D	Q_E	Q_F	Q_G	Q_H	
0	0	0	0	0	0	0	0	CLR
1	0	0	0	0	0	0	0	t_1
1	1	0	0	0	0	0	0	t_2
1	1	1	0	0	0	0	0	t_3
1	1	1	1	0	0	0	0	t_4
1	1	1	1	1	0	0	0	t_5
1	1	1	1	1	1	0	0	t_6
1	1	1	1	1	1	1	0	t_7
1	1	1	1	1	1	1	1	t_8
0	1	1	1	1	1	1	1	t_9
0	0	1	1	1	1	1	1	t_{10}
0	0	0	1	1	1	1	1	t_{11}
0	0	0	0	1	1	1	1	t_{12}
0	0	0	0	0	1	1	1	t_{13}
0	0	0	0	0	0	1	1	t_{14}
0	0	0	0	0	0	0	1	t_{15}
0	0	0	0	0	0	0	0	t_{16}

下面的分析先从 LOAD = 1，SHIFT = 0 开始。预先全部装入逻辑 0，从而将寄存器中所有的触发器同步清零；然后，SHIFT 变为高电平，于是产生如下结果：

Q_A	Q_B	Q_C	Q_D	Q_E	Q_F	Q_G	Q_H	
0	0	0	0	0	0	0	0	CLR
1	0	0	0	0	0	0	0	t_1
1	1	0	0	0	0	0	0	t_2
1	1	1	0	0	0	0	0	t_3
1	1	1	1	0	0	0	0	t_4
1	1	1	1	1	0	0	0	t_5
1	1	1	1	1	1	0	0	t_6
1	1	1	1	1	1	1	0	t_7
1	1	1	1	1	1	1	1	t_8
1	1	1	1	1	1	1	1	t_9

t_8 之后，在重复的时钟脉冲作用下，其余的输出全为高电平。这是由于当 Q_H 为高电平时，从非门出来的 $\bar{Q}_H$ 变为低电平；根据正确的功能表，该计数器应该装入逻辑 0，但事实不是这样。

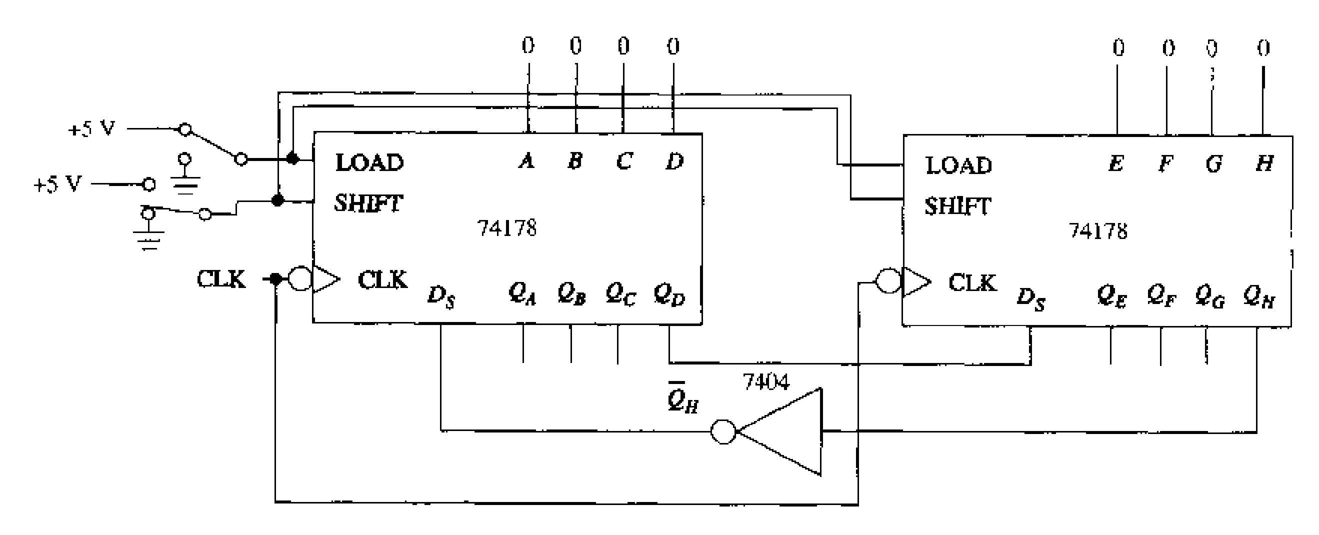


图 8.28　案例 3 中的模 16 约翰逊计数器

诊断。如果第一个寄存器（Q_A~Q_D）的 D_S 输入端开路，那么悬空输入总是向寄存器装入逻辑 1，从而造成这种故障。该故障可能是出在非门和 D_S 输入之间的连接上，也将使寄存器造成悬空输入。在进入非门之前开路不会出现这种现象。

如果非门的输入端开路会出现什么现象呢？这里的悬空输入将引起非门的输出端总为低电平，因此，当计数器清零时，在移位操作的过程中将只有逻辑 0 装入寄存器。如果出现这种问题，那么输出将总为低电平。

对于图 8.28 所示的约翰逊计数器，下列的输出结果可能是由什么原因造成的呢？

Q_A	Q_B	Q_C	Q_D	Q_E	Q_F	Q_G	Q_H	
0	0	0	0	0	0	0	0	CLR
1	0	0	0	1	0	0	0	t_1

1	1	0	0	1	1	0	0	t_2
1	1	1	0	1	1	1	0	t_3
1	1	1	1	1	1	1	1	t_4
0	1	1	1	1	1	1	1	t_5
0	0	1	1	1	1	1	1	t_6
0	0	0	1	1	1	1	1	t_7
0	0	0	0	1	1	1	1	t_8
0	0	0	0	1	1	1	1	t_9

在t_8之后，虽然时钟脉冲重复加入，但输出结果将保持不变（HOLD）。计数器开始时从Q_1装入一个1，经过几个成功的时钟脉冲后装入逻辑1，直到所有的输出都为高电平为止，然后再装入逻辑0，直到回到初始状态。而Q_F在第一个时钟脉冲就被置为高电平。这是由于什么原因造成的呢？第一个74178的输出（Q_A~Q_D）在经过t_8时还是正常的，问题出在第二个74178的输入。如果第一个寄存器的Q_D输出和第二个寄存器的D_S输入之间连接不好，或者第二个74178的D_S输入内部开路，将会造成这样的结果。

案例4

图8.29所示电路是一个自装入环形计数器。在电源和时钟脉冲的作用下将产生如下的输出。

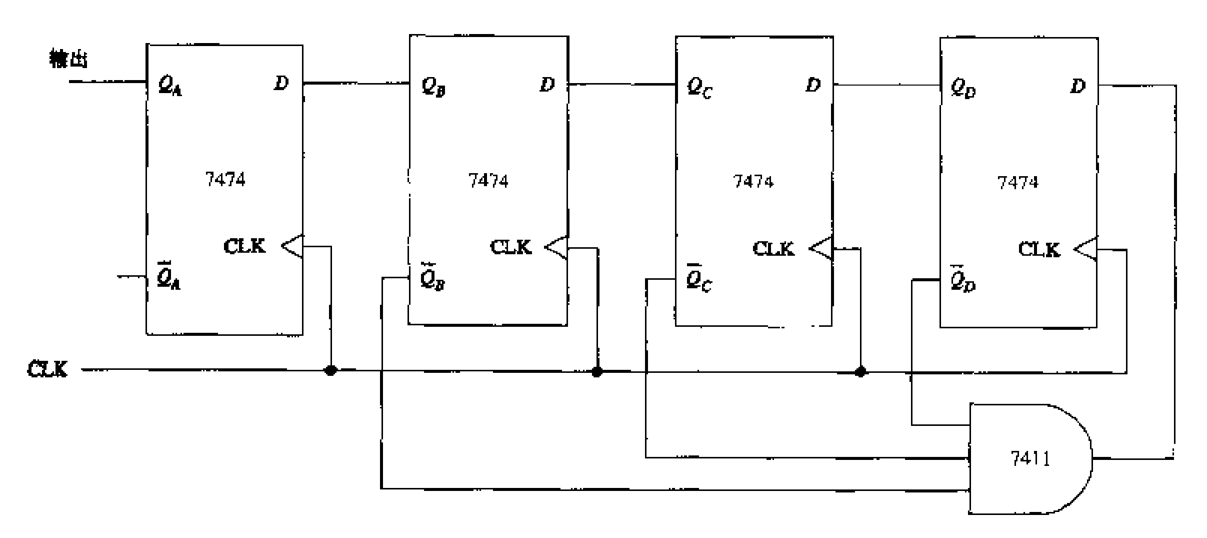


图8.29　案例4中的自装入环形计数器

希望得到的输出

Q_A	Q_B	Q_C	Q_D	
0	0	0	1	t_1
0	0	1	0	t_2
0	1	0	0	t_3
1	0	0	0	t_4
0	0	0	1	t_5

最初电路用什么样的电源是不重要的。如果有不止一个触发器，那么电路装入不止一个逻辑1。如果电路初始化时都为逻辑0，那么在t_1时刻D触发器装入逻辑1。

我们观察到的有故障电路的输出是：

观察到的输出

Q_A	Q_B	Q_C	Q_D	
0	0	0	1	t_1
0	0	1	0	t_2
0	1	0	1	t_3
1	0	1	0	t_4
0	1	0	1	t_5

将观察到的输出与所希望得到的输出结果相对比，会发现在t_3时刻不一样。在希望得到的输出和观察到的输出结果中，如果假设它们的输出是在同一个初始条件下得到的，那么在t_3之后计数器的输出应该为0100。但从观察到的结果可以看出，t_3之后的错误输出为0101。问题在于Q_D的输出（010$\underline{1}$）为高电平了。将触发器D同步置位的惟一方法是在时钟脉冲的PGT到来时给D输入送一个高电平。

触发器D的D输入开路不会出现这种问题，t_2时刻触发器D的输出变为低电平可以证明这一点。如果D输入开路，不会出现这种现象。

诊断。在对有故障的电路进行故障诊断时会发现，与门在t_3时刻给触发器D装入一个高电平。大家已熟知，只有当与门所有的输入都为高电平时其输出才为高电平，t_2之后该门的输入将为$\overline{Q}_B=1$，$Q_C=0$，$\overline{Q}_D=1$。这种结果是由0010（Q_A~Q_D）在t_2之后产生的输出。利用逻辑探针证明了这些电平之后，所得出的惟一结论是送到与门的$\overline{Q}_C$输入一定是内部开路了。

如果Q_B输出和与门的连线开路，利用同样的思路，可以得出同样的输出及电路特征。利用逻辑探针可以很容易识别这种情况。因此，可以由此得出如下输出：

Q_A	Q_B	Q_C	Q_D	
0	0	0	1	t_1
0	0	1	0	t_2
0	1	0	0	t_3
1	0	0	1	t_4
0	0	1	0	t_5
0	1	0	0	t_6
1	0	0	1	t_7

故障发生在t_4时刻。如果计数器正常工作，输出将为1000（Q_A~Q_D）。分析的关键是t_3之后，t_4之前与门的输入条件，此时的条件为$\overline{Q}_B=0$，$\overline{Q}_C=1$，$\overline{Q}_D=1$。利用逻辑探针可以验证这些电平都是触发器的输出，但是逻辑探针显示与门的$\overline{Q}_B$输入无效，因为它和门的连线是断开的。

8.4 节复习题

A. 图8.29所示的自装入环形计数器中，如果与门的$\overline{Q}_D$输入内部开路，完成下列观察到的输出表（t_2~t_8）。

观察到的输出				希望得到的输出				
Q_A	Q_B	Q_C	Q_D	Q_A	Q_B	Q_C	Q_D	
0	0	0	1	0	0	0	1	t_1
				0	0	1	0	t_2
				0	1	0	0	t_3
				1	0	0	0	t_4
				0	0	0	1	t_5
				0	0	1	0	t_6
				0	1	0	0	t_7
				1	0	0	0	t_8

B. 在图8.29所示的计数器中，如果触发器A的D输入开路，完成下列观察到的输出表（t_1~t_5）。所希望的输出如复习题A所示。

观察到的输出				
Q_A	Q_B	Q_C	Q_D	
0	0	0	0	清零
				t_1
				t_2
				t_3
				t_4
				t_5

C. 怎样证明图8.29中与门不正确的输出实际上是由与门造成的?

D. 在对电路进行故障诊断之前，先要确定该电路怎样正常工作，这是非常重要的。

(1) 对

(2) 错

阶段性小结（8.3节～8.4节）

对触发器或寄存器电路的分析是建立在对基本触发器工作过程的了解上的，控制电路中逻辑门的条件包括许多寄存器的功能。8.3节介绍了码检测、数据循环、自装入计数器、二进制乘法和除法。这一节只介绍了寄存器的各种用途。寄存器更多的应用将在需要的时候进行介绍。

8.4节讲解了寄存器的故障诊断概念。虽然故障诊断技术在不断发展，且与经验有关，但几乎每章都介绍了一些基本的方法，作为这种发展的基础知识。

故障诊断的第一个问题是了解你要找什么。知道电路是怎样正常工作的，才能做到这一点。

1. 检查所观察到的明显的现象。
2. 首先检查集成电路芯片是否过热。注意，不要把手放在电源端，或有高压的电路旁边。记住，115 V的电压是非常危险的。
3. 将观察到的结果与所希望的输出结果对比，从而隔离故障。最好的技术人员是那些能够分析理论结果和实际现象的人。

阶段性练习（8.3节～8.4节）

1. 一个器件的READ/$\overline{\text{WRITE}}$输入为低电平时，完成的是什么操作？
   a. READ
   b. WRITE
2. 图8.30所示的74178寄存器是一个
   a. 加计数器　　c. 码检测器
   b. 环形计数器　　d. 约翰逊计数器

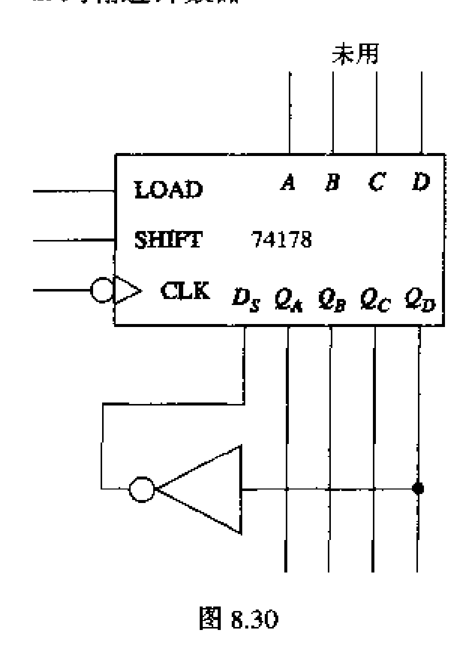


图8.30

3. 图8.31所示的74178寄存器是一个
   a. 加计数器　　c. 码检测器
   b. 环形计数器　　d. 约翰逊计数器

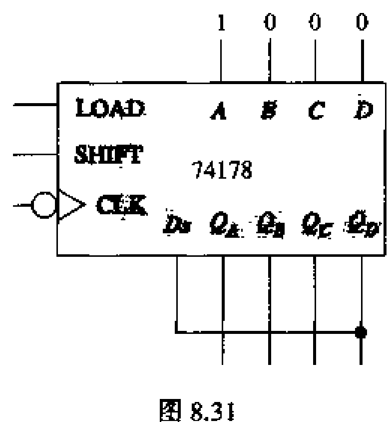


图8.31

4. 图8.31所示电路的模是多少？
   a. 4　　b. 8　　c. 12　　d. 16
5. 图8.31所示电路是自装入的。
   a. 对　　b. 错

6. 图 8.32 所示电路是自装入环形计数器。如果电路的初始条件是 1111（Q_A~Q_D），那么在计数器的输出只有一个逻辑 1 之前需要多少个时钟脉冲？

a. 1　　b. 2　　c. 3　　d. 4

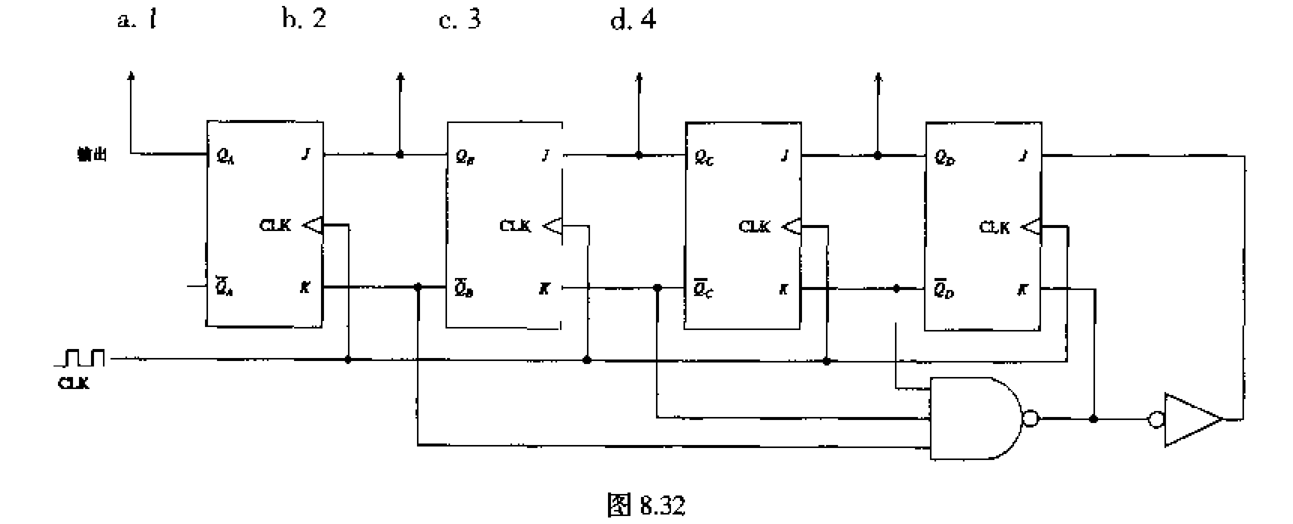


图 8.32

7. 从移位寄存器观察到的结果如图 8.33 所示。假设串行输入数据为高电平，选择最可能的故障。

观察到的输出

Q_A	Q_B	Q_C	Q_D	
0	0	0	0	CLR
1	0	0	1	t_1
1	1	0	1	t_2
1	1	1	1	t_3
1	1	1	1	t_4

a. 触发器 A 的 D 输入内部开路

b. 触发器 D 的 D 输入内部开路

c. 触发器 A 的 $\overline{CLR}$ 输入内部开路

d. 触发器 D 的 CLK 输入内部开路

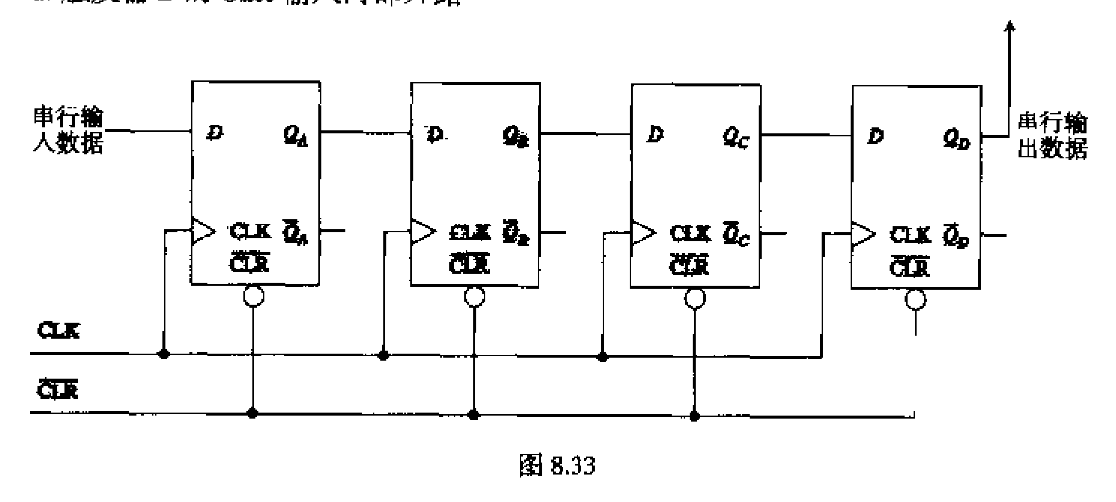


图 8.33

8. 假设图 8.34 所示电路的初始条件是 1011（Q_A~Q_D）。t_2 之后的输出是什么？

	Q_A	Q_B	Q_C	Q_D
a.	0	0	0	0
b.	0	1	0	1
c.	0	0	1	0
d.	1	1	0	0

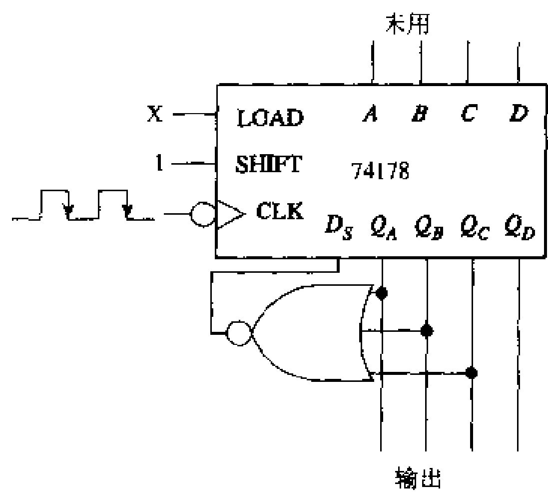


图 8.34

9. 在图 8.34 所示的自装入环形计数器中，如果或非门的 Q_C 输入开路，在 4 个时钟脉冲之后确定观察到的结果。

	Q_A	Q_B	Q_C	Q_D
a.	0	0	0	0
b.	1	0	0	0
c.	0	0	0	1
d.	1	0	1	0

10. 图 8.34 所示的环形计数器电路在 SHIFT = 1，LOAD = 0 时正常工作。如果 SHIFT = 0（对地短路），LOAD = 0，那么其工作方式会变成什么？
   a. HOLD
   b. 预先装入 A~D 数据
   c. 输出变为低电平
   d. 输出变为高电平

本章小结

用于存储、传输或移动数据的一组锁存器或触发器称为寄存器。有许多种商用集成电路寄存器。

各种类型的寄存器可以用于存储、移动、循环、传输数据及变换数据形式，即串行变成并行或并行变成串行。

串行输入和并行输入寄存器用于大量的数字系统中。计算机包括大量的寄存器，这其中有许多是集成在高密度的集成电路芯片上的，例如微处理器和算术运算器。

串行输入移位寄存器在一个时刻只能装入一位数据。虽然在数据移动上很慢，但这种方式在系统中很常用。数据可以以串行或并行方式输出。

并行输入寄存器因为其高速而用于数字系统中。它装入数据只需要一个时钟脉冲。如果寄存器有并行输出引脚，那么数据一旦装入就可以以并行的方式读出。

通用寄存器可以使用户以串行或并行的方式装入或读出数据。这些寄存器一般都具有串行和并行装入输入码的操作。

一旦装入数据，在寄存器内部就可以向右或向左移动数据。寄存器还具有保持（HOLD）工作模式，用于暂存数据。虽然其操作有点复杂，但是利用数据表可以使其大大简化。

寄存器的故障诊断是建立在对其工作过程的理解上的。将寄存器的输出逻辑电平与应该得到的电平相对比，即可指导故障诊断的进行。

习题

8.1 节

1. 定义寄存器。
2. 图 8.35 所示电路是一种什么类型的寄存器？

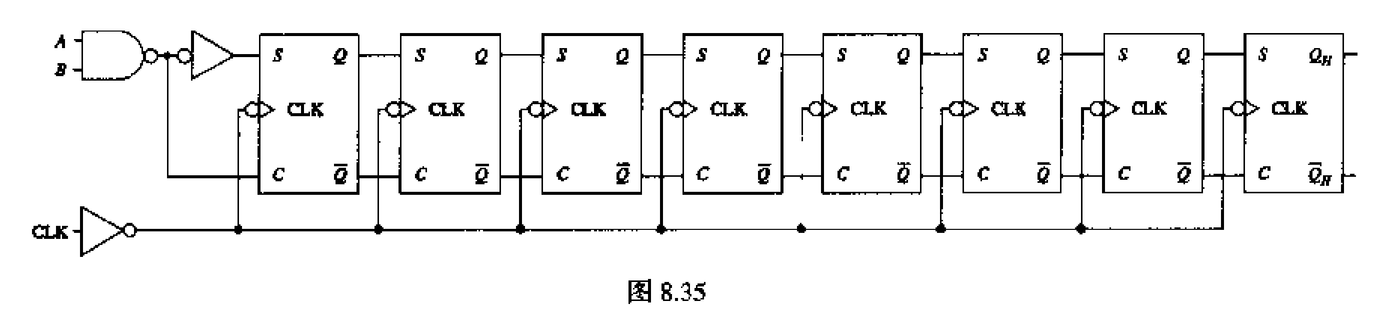


图 8.35

3. 向图 8.35 所示寄存器中装入数据需要多少个时钟脉冲？
4. 如果图8.35所示寄存器已装入数据，要将它们传输到另一个寄存器，需要多少个时钟脉冲？
5. 图 8.35 所示寄存器中与非门的用途是什么？
6. 图 8.36 所示是什么类型的寄存器？

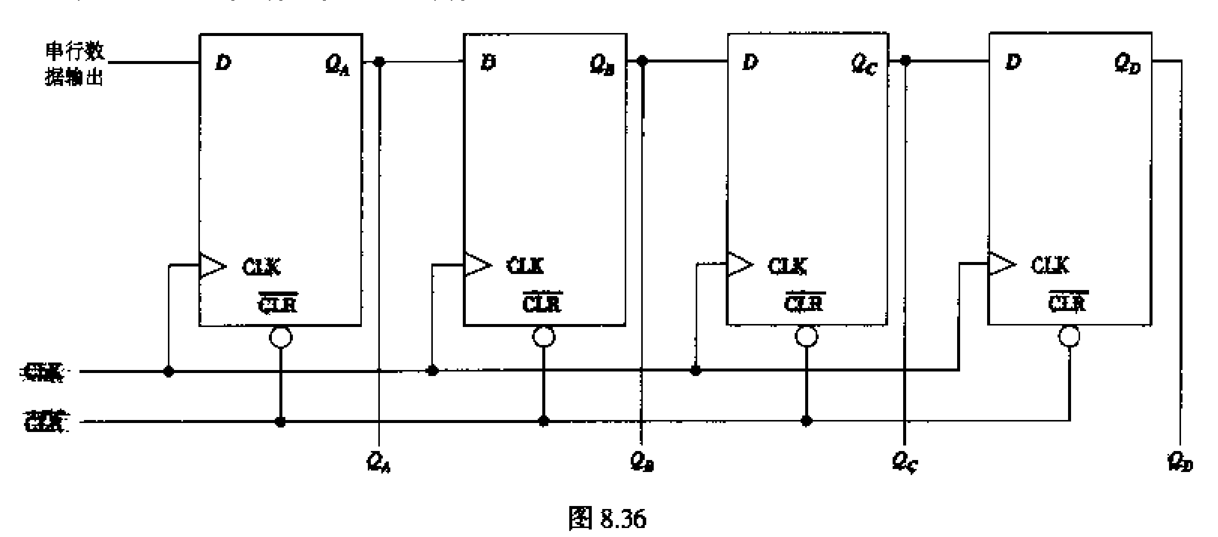


图 8.36

7. 图8.37所示为串行入/并行出8位移位寄存器。要将该寄存器置位，CLR必须为什么电平？

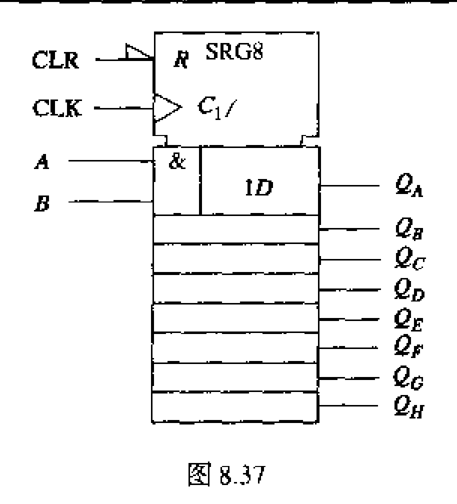
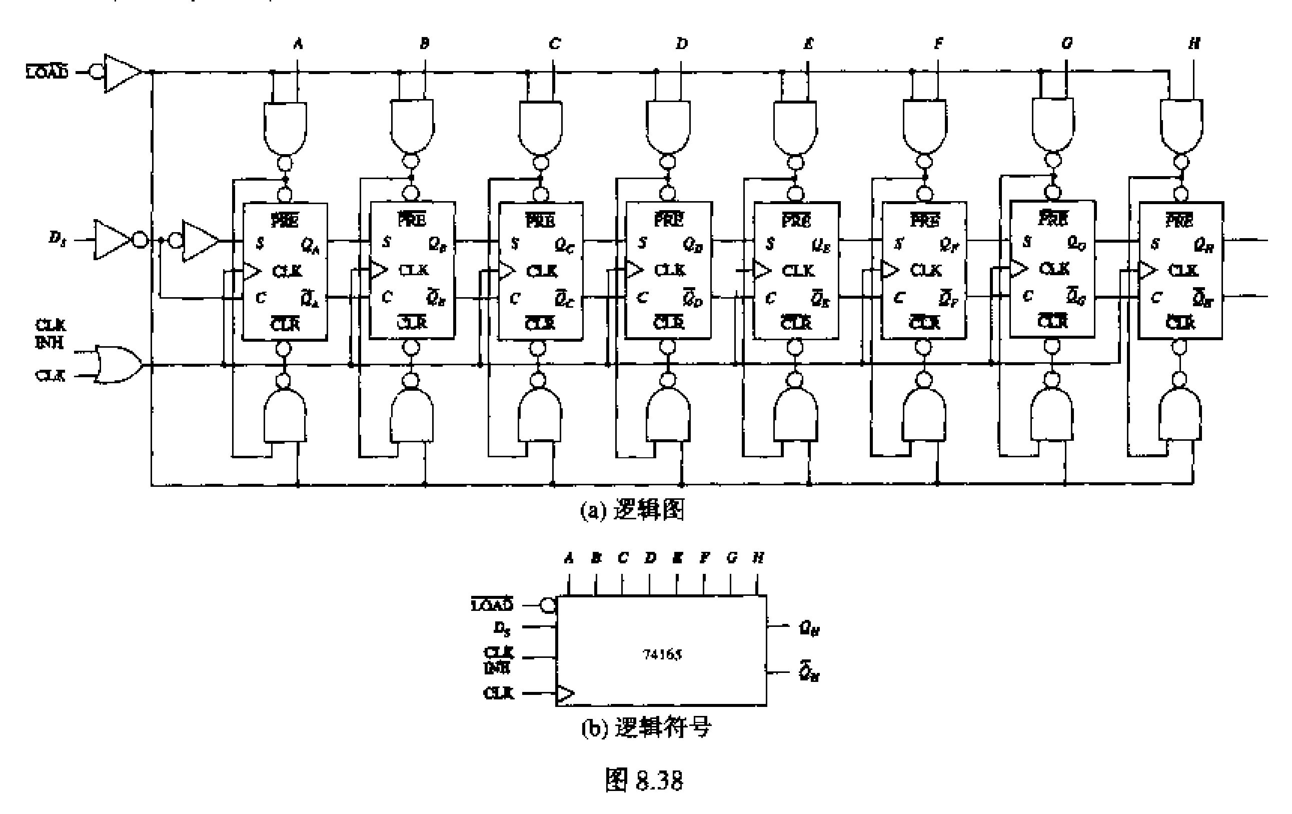


图 8.37

8. 图 8.37 中 $C_1/\to$ 表示什么?
9. 图 8.37 中 & 符号表示什么?
10. 装入串行入/串行出寄存器的数据传出时，数据一般会改变。
    a. 对
    b. 错

8.2 节

11. 图 8.38 所示的逻辑图和符号为 74165 8 位并行装入移位寄存器。当 $\overline{\text{LOAD}}=0$ 时该寄存器完成什么功能?



(a) 逻辑图

(b) 逻辑符号

图 8.38

12. 串行数据可以装入图 8.38 所示的寄存器吗?
13. 图 8.38 中或门的用途是什么?
14. 图 8.39 所示是什么类型的寄存器?

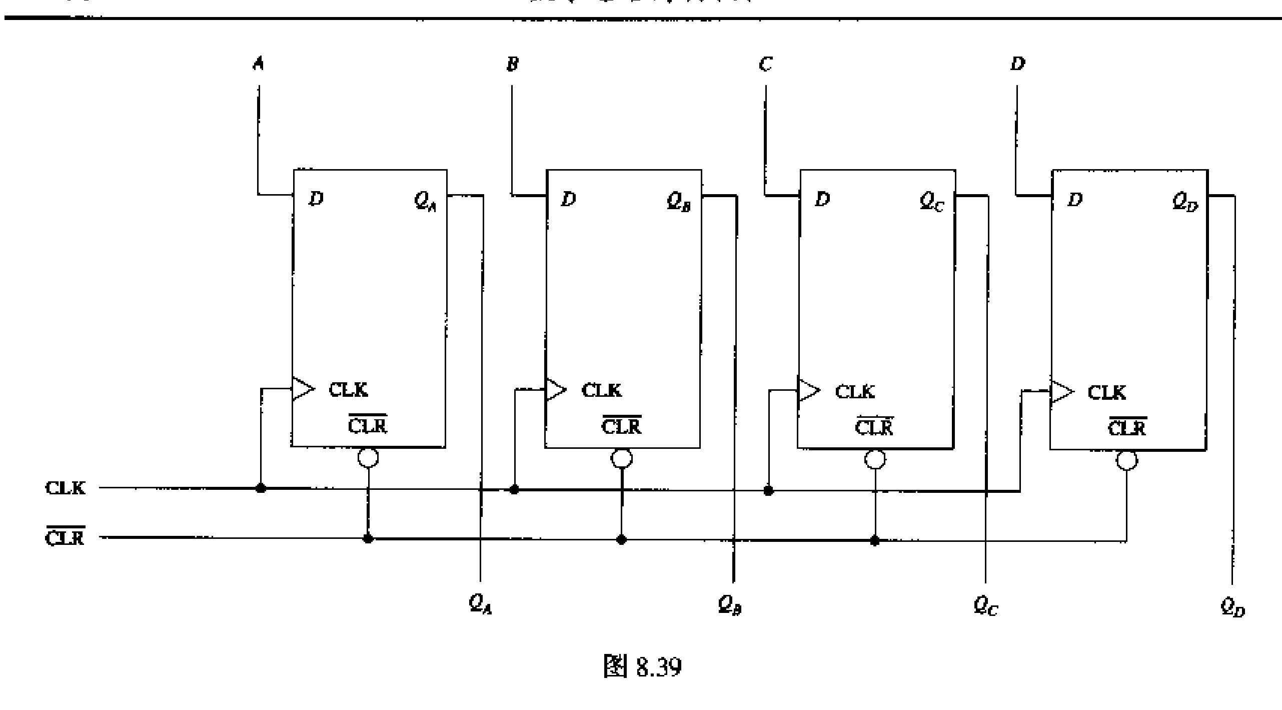


图 8.39

15. 要将数据装入图 8.39 所示的寄存器需要多少个时钟脉冲?
16. 在图 8.39 所示的寄存器中，在完成 READ 操作时，装入寄存器的数据一般会被破坏。
    a. 对
    b. 错
17. 在图8.40所示的通用寄存器中，当LOAD = 1，SHIFT = 0时，该寄存器完成的是什么功能?
18. 在图8.40所示的通用寄存器中，当LOAD = X，SHIFT = 1时，该寄存器完成的是什么功能?
19. 在图8.40所示的通用寄存器中，当LOAD = 0，SHIFT = 0时，该寄存器完成的是什么功能?

8.3 节

CT 20. 图 8.41 所示逻辑电路是自装入环形计数器。在所给的 t_0 初始条件下，写出每个时钟脉冲之后的 Q 输出。

	Q_A	Q_B	Q_C	Q_D
t_0	1	0	1	0
t_1				
t_2				
t_3				
t_4				
t_5				

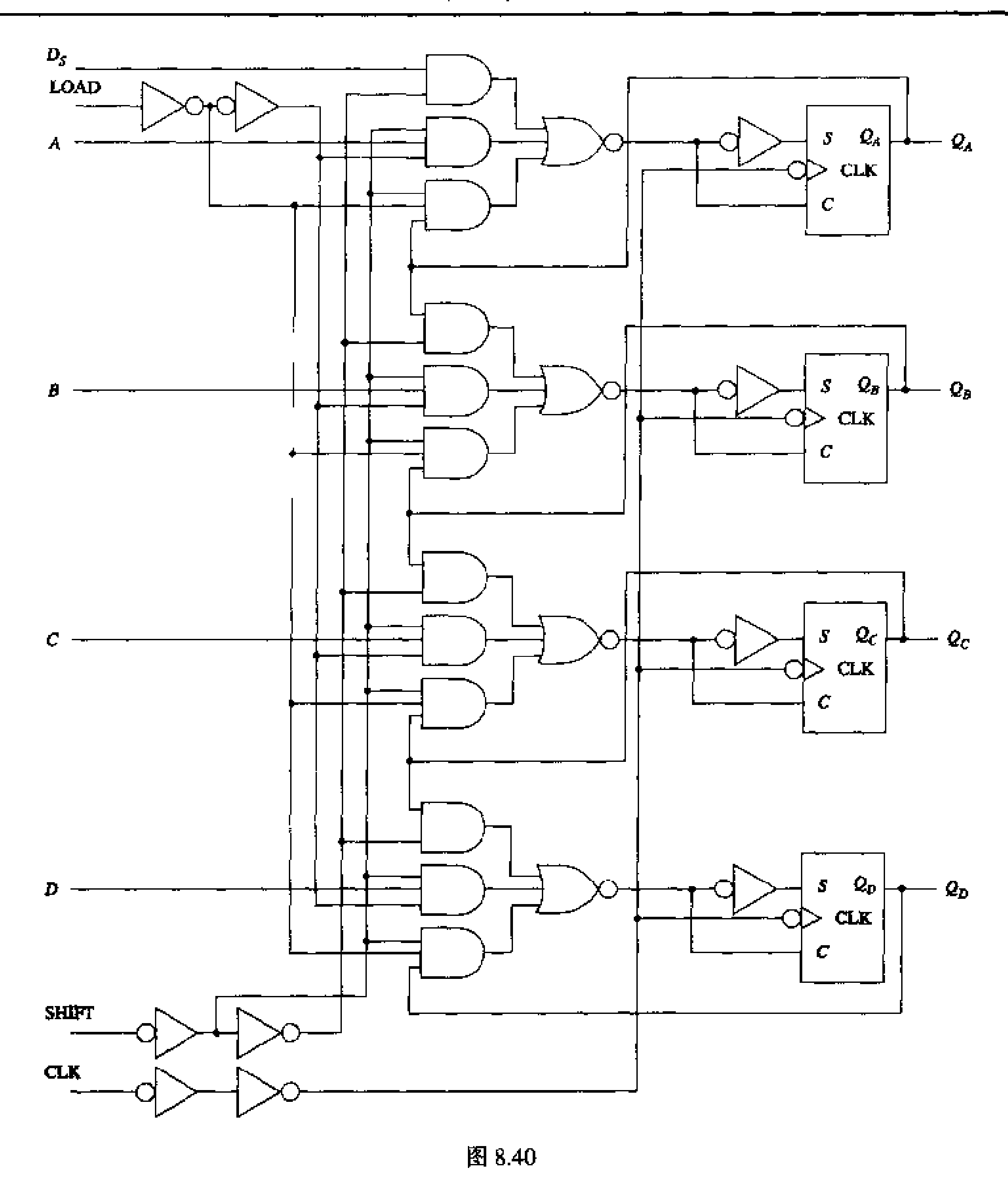


图 8.40

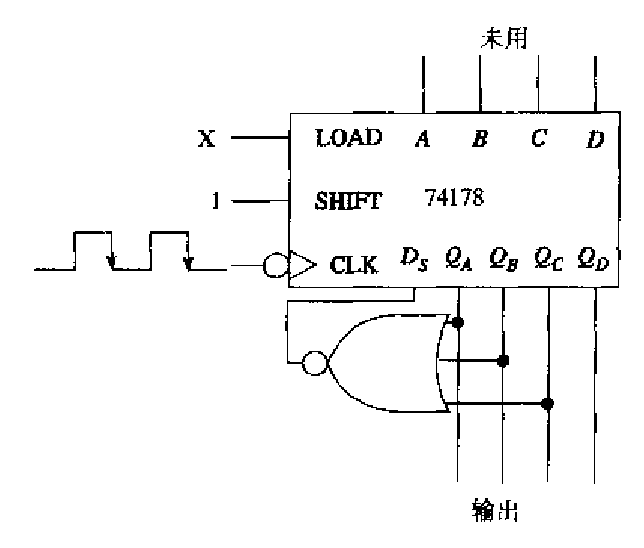


图 8.41

8.4 节

CT 21. 下列是从图 8.42 所示电路观察到的输出结果。该电路最可能的故障是什么？

	Q_A	Q_B	Q_C	Q_D
t_0	0	0	0	1
t_2	0	0	1	0
t_3	0	1	0	1
t_4	1	0	1	0
t_5	0	1	0	1

图 8.42

第9章　数字运算与电路

重要术语

Arithmetic Logic Unit (ALU)　算术逻辑单元
BCD Adder　BCD加法器
BCD Adjust　BCD调整
End-Around Carry　循环进位
Excess-Three Code (XS3)　余三编码
Full-Adder　全加器
Half-Adder　半加器
Nines Complement　模9补码
Ones Complement　模1补码
Sign Bit　符号位
Tens Complement　模10补码
Twos Complement　模2补码

本章要点

1. 模1和模2二进制数补码。
2. 二进制数的加法、减法、乘法和除法。
3. BCD数。
4. 二进制运算电路，即半加器、全加器、加/减法器、BCD加法器及ALU。
5. 根据运算电路的逻辑图或符号及手册，确定不同输入情况下电路的输出。

概述

数字系统大多是通过加法电路进行运算的。本章简单回顾了十进制运算，介绍了十进制数求补的概念，并由此介绍了减法器。

提到十进制，我们自然而然地想到二进制运算。本章详细介绍了二进制数的加法、减法、乘法和除法。接着，在掌握了这些运算的基础上讨论了二进制编码的十进制（BCD）数。

本章后半部分分析了几种运算电路的工作过程，其中包括详细的半加器、全加器及加/减法器。与二进制加法器相关的查错/纠错电路可以进行BCD数相加。

本章最后详细讨论了算术逻辑单元（ALU）。ALU是一种通用电路，可以用来完成各种运算功能并实现多种逻辑操作。

9.1　十进制/二进制运算

要点

1. 十进制数的模9和模10补码规则，以及二进制数的模1和模2补码规则。

2. 二进制数的加法、减法、乘法及除法。

回顾十进制数的目的是为了说明本章提到的二进制运算电路。通过四种基本的运算电路(加法器、减法器、乘法器及除法器)可以完成大量的数学运算。

本节重点讲解加法运算，因为它是最重要的数学运算，减法、乘法和除法都可以用加法来完成，例如，减法就是一个正数加上一个负数，乘、除法就是加减法的多次重复。计算机二进制的所有基本数学运算几乎都是通过加法电路完成的。

要想实现减法运算，必须使用符号位区分正数和负数。在十进制数中用符号位代表是正数还是负数。总之，符号位在二进制运算中用来区分正数和负数。

逻辑1代表负数，逻辑0代表正数。符号位在二进制数中有一指定位置，如果符号位在一个多位数的最高有效位(MSB)，其他位就是数字位。

$1\ \underbrace{0011010}_{\text{数字位}}{}_{(2)} = -26_{(10)}$

↓

符号位

$0\ \overbrace{0011010}_{(2)} = +26_{(10)}$

下面介绍在使用二进制运算电路时的一些十进制数运算过程。

9.1.1 模9补码

通过十进制数的模9补码可以用加法实现减法运算过程。使用模9补码运算，给正数加上负数，即可完成减法运算。

首先我们来看如何得到模9补码，以及怎样用它进行减法运算。一个十进制数的模9补码是用9减去这个数，例如，−3的模9补码是6，−3是带符号的负数，其模9补码数6不带符号。−3和6这两个数互补，是相同的数。

互补表明数字之间可以互相转换成相反符号的另一个数。−3的模9补码是6，则6的模9补码是−3，这里的−3代表负数。

多位十制数也可以按照以上方式转换成模9补码的形式，转换过程中要求用9减去每一位十进制数字。

$2\,619_{(10)} = \mathbf{7380}_{(\text{模9补码})}$

$$\begin{array}{r} 9\,999 \\ \underline{-2\,619} \\ 7\,380 \end{array}$$

减法可以按照以下步骤进行：

1. 求负数的模9补码。
2. 用模9补码加上相应的正数。
3. 将和与第2步产生的进位相加就得到了这两个数的差值。

例题

$$\begin{array}{r} 8 \\ -4 \\ \hline \end{array}$$

第 1 步：

$$\begin{array}{r} 9 \\ -4 \\ \hline 5 \end{array} = (-4\text{的模 9 补码})$$

第 2 步：

$$\begin{array}{r} 8 \\ +5 \\ \hline (1)\ 3 \end{array} = (\text{初始和})$$

第 3 步：

$$\begin{array}{r} +1 \\ \hline \mathbf{4} \end{array} \begin{array}{l} = (\text{循环进位}) \\ = (\text{差值}) \end{array}$$

注意：第 3 步是第 2 步产生的进位与初始和相加，这个过程称为循环进位.

例题

$$\begin{array}{r} 36 \\ -12 \\ \hline \end{array}$$

第 1 步：

$$\begin{array}{r} 99 \\ -12 \\ \hline 87 \end{array} = (-12\text{的模 9 补码})$$

第 2 步：

$$\begin{array}{r} 36 \\ +87 \\ \hline (1)\,23 \end{array} = (\text{初始和})$$

第 3 步：

$$\begin{array}{r} +1 \\ \hline \mathbf{24} \end{array} \begin{array}{l} = (\text{循环进位}) \\ = (\text{差值}) \end{array}$$

例题

$$\begin{array}{r} 8\,550 \\ -7\,431 \\ \hline \end{array}$$

$$\begin{array}{r} 9\,999 \\ -7\,431 \\ \hline 2\,568 \end{array} (\text{模 9 补码})$$

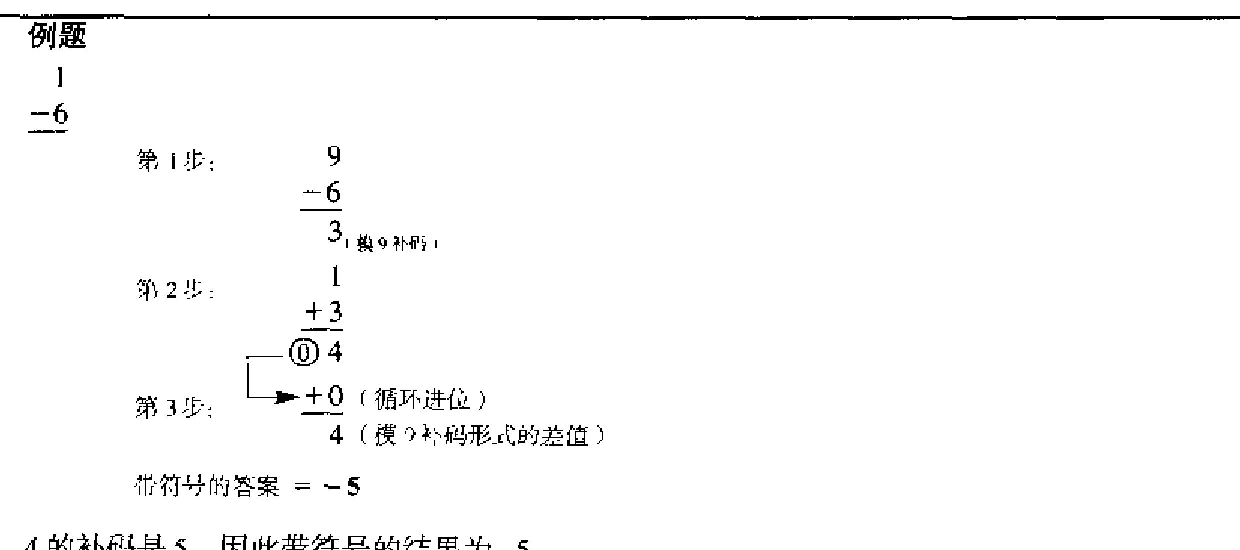
$$\begin{array}{r} 8\,550 \\ +2\,568 \\ \hline (1)\,1\,118 \\ +\quad 1 \\ \hline \mathbf{1\,119} \end{array} = (\text{差值})$$

如果 2568 是 X 的模 9 补码，则可以利用原始数据的模 9 补码确定 X 的值。总之，求两次模 9 补码，就可以得到最初的数据。

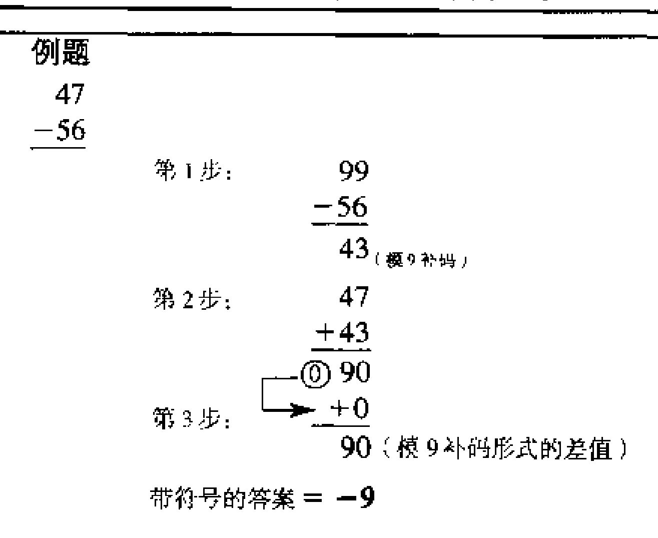
初始数 = X

$$\begin{array}{r} 9\,999 \\ -2\,568 \\ -7\,431 \end{array} \begin{array}{l} \\ = (\text{模 9 补码}) \\ = (\text{初始数 } X) \end{array}$$

前面例题中算出的差值都是正数，且每个例子都有循环进位。最高的循环进位表明结果是正数。差值是负数时产生的循环进位为0，进位为0说明差值是一个没有符号的模9补码数，该差值必须再次求补，以得到实际带符号的结果。



4的补码是5，因此带符号的结果为−5。



90的补码是09，因此带符号的结果为−9。

例题

5
−5

第1步：

9
−5
4（模9补码）

第2步：

5
+4
⓪ 9

第3步：

+0
9（模9补码形式的差值）

带符号的答案 ＝ **−0 ＝ 0**

9的补码是−0，因此带符号的结果为0，0不必带符号。

9.1.2 模 10 补码

十进制数的模 10 补码就是相应数的模 9 补码加 1。这个补码可以通过与模 9 补码运算一样的方式得到，即十进制数的模 10 补码可以用 9 减去这个数再加 1 得到。例如，-3 的模 10 补码为：

```
 9
-3  （带符号的数）
 6  （-3 的模 9 补码）
+1
 7  （-3 的模 10 补码）
```

-648 的模 10 补码为：

```
 999
-648  （带符号的数）
 351  （-648 的模 9 补码）
  +1
 352  （-648 的模 10 补码）
```

在上述例子中可以看出，一个带符号的负数可以用一个不带符号的模 10 补码数代表。减法的结果可以通过如下步骤得到：

1. 求负数的模 10 补码。
2. 该模 10 补码与相应的正数相加。
3. 如果不需要区分差值是正数还是负数，则可以忽略进位。进位 1 表明差值是正数，进位 0 表明差值是负数，且它是不带符号的补码形式。

例题

```
 8
-4

第 1 步：   9
          -4
           5（-4 的模 9 补码）
          +1
第 2 步：   6（-4 的模 10 补码）
           8
          +6
第 3 步： (1)4
进位 ←─┘
```

1 代表差值（4）是正数。

例题

36
−12

第1步：
99
−12
87（−12的模9补码）

第2步：
+1
88（−12的模10补码）

第3步：
36
+88
①24
进位

例题

8 550
−7 431

第1步：
9 999
−7 431
2 568（模9补码）

第2步：
+ 1
2 569（模10补码）

第3步：
8 550
+2 569
①1 119
进位

上述三个例题除了没有加上循环进位，其他的与模9补码的减法运算过程基本一样，这个循环进位只表明结果是正数还是负数。如果结果是负数（0进位），必须再次求补，以得到真正的带符号的结果，下面举两个模10补码运算结果为负数的例子。

例题

1
−6

第1步：
9
−6
3（−6的模9补码）

第2步：
+1
4（−6的模10补码）

第3步：
1
+4
⓪5
进位

0进位代表结果是一个不带符号的负数，必须再次求补，以得到带符号的差值。

```
 9
-5（不带符号的模10补码差值）
 4
+1
 5 = -5（带符号的值）
```

例题

```
  47
 -56

第1步：   99
         -56
          43（-56的模9补码）
          +1
第2步：   44（-56的模10补码）
          47
         +44
第3步：  (0)91
   进位 ←┘
          99
         -91
          08
          +1
          09 = -9（带符号的值）
```

9.1.3　二进制算法

第2章已经讨论了二进制加法的规则，这里我们简单回顾一下：

```
 0      0      1      1
+0     +1     +0     +1
 0      1      1     10
```

二进制加法电路可以实现两位数相加再加上一位进位。3位数相加的规则和两位数相加是一样的，即两位数相加，其和再与第3位相加，如下所示：

```
 1      1
 1  =  +1
+1     10
11     +1
       11
```

例题

```
 11◄———进位
  1100
 +0101
 10001

 1◄——— 进位
  1000
 +1010
 10010

 1111◄—— 进位
  1111
 +1001
 11000

   1  1◄———— 进位
  10100111
 +00110100
  11011011
```

二进制减法规则可以直接得到：

0	1	1	10
-0	-1	-0	-1
0	0	1	1

在最后这个例子中，从 $10_{(2)}$的较高位借位来实现减法。

例题

```
  1010
 -0110
  0100

  1100
 -0001
  1011
```

在上述例子中，LSB 数列的借位可以实现两个数列减去一个数列。

因为数字电路通常使用加法器完成减法功能，因此我们介绍一下用加法器进行减法运算的方法。

9.1.4 模 1 补码

二进制数的模 1 补码与十进制数的模 9 补码是相似的。实现模 1 补码减法的过程也与模 9 补码的减法一样。

二进制数的模 1 补码是用 1 减去每一位数得到的。1100 的模 1 补码的得来如下所示：

```
 1111
-1100（要求补码的数）
 0011（模 1 补码）
```

从上例中可以很容易地看出，要求补码的数的每一位“非”即是其模1补码。因此，一个数的模1补码比前述的方法简单得多，即0变成1，1变成0。

例题

$1011_{(2)} = \mathbf{0100}_{(模1补码)}$

$11010110_{(2)} = \mathbf{00101001}_{(模1补码)}$

利用模1补码的加法实现减法的步骤如下所示：

1. 求负数的模1补码。
2. 把模1补码与相应的正数相加。
3. 将循环进位与和相加就得到了两个数的差值。

注意： 循环进位为1表明差值是正数，是0表明差值是负数。另外，0进位也表示差值是一个不带符号的模1补码数。因此，当进位为0时，差值一定要再次求补，以得到带符号的值。

例题

```
 1110
-0010
        第1步：   -0010 = 1101(模1补码)
        第2步：    1110
                  +1101(模1补码)
               ┌─①1011
        第3步：└──>+  1 (循环进位)
                   1100 (差值)

 0110
-0011
           -0011 = 1100(模1补码)
            0110
           +1100
         ┌─①0010
         └─>+  1
            0011 (差值)

 11101000
-01100100
             -01100100 = 10011011(模1补码)
              11101000
             +10011011
           ┌─①10000011
           └─>+       1
              10000100 (差值)
```

上面两个例子中都产生了高位循环进位，这表明差值是正数，且是真正结果。下面的例题产生的是低位循环进位。

例题

```
 0111
-1001
        第1步:   -1001 = 0110(模1补码)
        第2步:     0111
                 +0110
              ┌─⓪1101
        第3步: └──►+ 0
                  1101(模1补码形式的差值)
                  1101 = -0010
 0100
-1110
          -1110 = 0001(模1补码)
            0100
           +0001
        ┌─⓪0101
        └──►+ 0
            0101
            0101 = -1010
 01000111
-01100100
              -01100100 = 10011011(模1补码)
               01000111
              +10011011
            ┌─⓪11100010
            └──►+     0
               11100010(模1补码)
               11100010(模1补码) = -00011101
```

前面3个例子中都产生了0循环进位，它们的差值都是负数，因此必须再次求补以得到带符号的数。

9.1.5 模2补码

二进制数的模2补码是其模1补码加上1。正如十进制数的模10补码，减法运算也可以变成加上负数的模2补码，而不需要加上循环进位。在不必区分差值是正数还是负数时，可以不考虑进位。

二进制数的模2补码是由其模1补码加上1得到的。例如，$-1101_{(2)}$的模2补码是：

```
-1101 = 0010(模1补码)
       + 1
        0011(模2补码)
```

-11001000_2的模2补码是：

$$
\begin{array}{rl}
-11001000 = 00110111 & _{(模1补码)} \\
+\quad\quad\quad 1 & \\
\hline
00111000 & _{(模2补码)}
\end{array}
$$

要得到二进制数的模2补码，有一个简单的方法：

第1步：从LSB位向高位写原有的数，直到遇到第一个二进制数1为止（包括这一位）。
第2步：其余各位取补码的形式。

模2补码例题

$-1110_{(2)}$
$0010_{(模2补码)}$

第1步：从LSB位向高位写原有的数
第2步：其余各位的补码

$-11001000_{(2)}$
$00111000_{(模2补码)}$

加上一个无符号模2补码，以进行减法运算的规则如下：

1. 取负数的模2补码。
2. 将该补码与正数相加。
3. 不加循环进位。进位为1说明差值是正数，进位为0说明差值是负数，且是一个无符号补码形式的数，这个数必须再次求补以得到带符号的数。

二进制减法例题

$$
\begin{array}{r}
1011 \\
-0101 \\
\hline
\end{array}
$$

第1步：
$$
\begin{array}{rl}
-0101 = 1010 & _{(模1补码)} \\
+\quad 1 & \\
\hline
1011 & _{(模2补码)}
\end{array}
$$

第2步：
$$
\begin{array}{r}
1011 \\
+1011 \\
\hline
\end{array}
$$

第3步：①**0110（差值）**

进位

$$
\begin{array}{r}
1100 \\
-0001 \\
\hline
\end{array}
$$

$$
\begin{array}{rl}
-0001 = 1110 & _{(模1补码)} \\
+\quad 1 & \\
\hline
1111 & _{(模2补码)}
\end{array}
$$

$$
\begin{array}{r}
1100 \\
+1111 \\
\hline
\end{array}
$$

①**1011**

进位

```
  10100111
 -10000110
                      -10000110 = 01111001(模1补码)
                                 +       1
                                 01111010(模2补码)
                        10100111
                       +01111010
                     ① 00100001
                进位 ←┘

  1000
 -1100
                   -1100 = 0011(模1补码)
                          +   1
                          0100(模2补码)
                    1000
                   +0100
                  ⓪ 1100
              进位 ←┘
```

进位为0说明差值是负数，且是一个无符号模2补码形式的数，这个数必须再次求补，以得到带符号的数。

```
        1100 =  0011(模1补码)
               +   1
               -0100(带符号的数)
  10011001
 -11110100
                   -11110100 = 00001011(模1补码)
                              +       1
                              00001100(模2补码)
                    10011001
                  + 00001100
                   ⓪0100101
              进位 ←┘

     10100101 =  01011010
                +       1
                -01011011 (带符号的数)
```

9.1.6 乘法/除法

乘法可以通过一个数的多次相加来实现。这个次数由乘数决定，这个数本身称为被乘数，多次相加的结果称为积。

```
                     8
   8  (被乘数)        8
 × 5  (乘数)   =      8
  40  (积)            8
                    + 8
                     40
```

二进制数的乘法也可以这样得到。上例的二进制数运算过程如下：

```
                1000
               +1000
               10000
               +1000
 1000          11000
x 101   =      +1000
              100000
               +1000
              101000(2) = 40(10)
```

二进制数的乘法也可以通过移位相加来实现。

```
   1000
  x 101
   1000
  0000
 1000
 ------
 101000
```

通过数字电路实现二进制数的乘法过程与反复的加法运算都很容易。移位寄存器和存储寄存器可以成功地完成所需要的加法运算。

长除法如下所示：

```
   5（商）
8)40（被除数）
▲ 40
│  0（余数）
└──（除数）
```

除法也可以利用反复的减法来实现。被除数减去除数直到商为0，或小于除数。商等于减法运算的次数。

```
 40
 -8   （第 1 次减法）
 32
 -8   （第 2 次减法）
 24
 -8   （第 3 次减法）
 16
 -8   （第 4 次减法）
  8
 -8   （第 5 次减法）商 = 5
  0
```

以上说明除法可以利用减法来完成，我们知道减法又可以利用加法来完成，因此除法也可以通过加法电路来实现。

反复相减的方法也可以用在模1和模2补码的加法运算中。被除数减去除数（相当于加上除数的模2补码）直到余数为0。下面的例子中除数都是模2补码，因此必须用6位二进制数表示：

```
除数            = 101000
除数            = 001000
除数的模1补码   = 110111
                +      1
除数的模2补码   = 111000

      101000
    + 111000（第1次减法）
1     100000
    + 111000（第2次减法）
1     011000
    + 111000（第3次减法）
1     010000
    + 111000（第4次减法）
1     001000
    + 111000（第5次减法）
1     000000
```

因为进行了5次减法，余数为0，所以商为5，和左边的借位忽略。

9.1.7 简要回顾

本节包括的内容很多，主要介绍了许多规则，尤其是减法运算规则，其他的与此类似，很容易理解。

减法运算最基本的是加上负数的运算，而这个负数是用补码值来表示的。

减法可以按照以下方式利用模9补码的加法来实现：

1. 求负数的模9补码。
2. 该模9补码与正数相加。
3. 再加上循环进位。另外，循环进位为1表示结果是正数，为0表示结果是负数。如果结果是负数，还必须再次求补才能得到带符号的结果。

模10补码的规则与模9补码的是相同的，只是不加进位，进位也只是表示结果是正数还是负数。

二进制数的模1补码规则与十进制数的模9补码规则是相同的。事实上，这两个规则可以互换。

二进制数的模2补码规则与十进制数的模10补码规则也是相同的。

9.1 节复习题

A. 求出下列十进制数的模9补码。

(1) −1

(2) −5

(3) −9

(4) −28

(5) −791

B. 求出 A 中各数的模 10 补码。

C. 求出下列二进制数的模 1 补码。

(1) −0011

(2) −1000

(3) −11000100

(4) −01001000

D. 求出 C 中各数的模 2 补码。

E. 求下列二进制数的加法。

(1) 0100 + 0111

(2) 1000 + 0111

(3) 1100 + 1100

(4) 1111 + 0101

(5) 10101110 + 00101010

F. 用模 2 补码求下列二进制数的减法，写出过程。

(1) 1010 − 0010

(2) 1111 − 0111

(3) 0101 − 0100

(4) 1010 − 1100

(5) 0011 − 0101

9.2 BCD/XS3 运算

要点

1. 写出十进制数的 BCD 码或 XS3 编码（XS3）。

2. BCD码无效或不正确时调整BCD码的规则。
3. BCD码的加法运算。

9.2.1 二－十进制（BCD）加法

第2章讲过，二－十进制BCD码有时也称为8-4-2-1码。BCD码用4位二进制数来表示1位十进制数，它的加法规则与二进制数的加法规则一样。例如，51 + 38的运算如下所示：

$$\begin{array}{rcl} 51_{(10)} & = & 0101\ 0001_{(BCD)} \\ +38_{(10)} & = & +\ 0011\ 1000_{(BCD)} \\ \hline 89_{(10)} & = & 1000\ 1001_{(BCD)} \end{array}$$

BCD运算中有6个无效的BCD码，分别是1010，1011，1100，1101，1110和1111。我们知道，$10_{(10)}$的BCD码是$0001\ 0000_{(BCD)}$，$11_{(10)}$的BCD码是$0001\ 0001_{(BCD)}$，等等，因此这6个码是无效的。

注意，在下面的讨论中，数字系统是采用加法电路进行数据相加的。系统无法区分二进制码和BCD码，这说明BCD码的加法运算和二进制码的加法完全一样。

两个二进制数进行数字相加时，结果也是二进制数。

例题 1

$$\begin{array}{r} 1000 \\ +0010 \\ \hline 1010 \end{array}$$

如果是BCD码的加法，结果无效。

例题 2

现在来看这道二进制题（8 + 9）：

$$\begin{array}{r} 1000 \\ +1001 \\ \hline 10001 \end{array}$$

如果这道例题是BCD码，结果会怎样呢？让我们仔细分析一下这道题：

1 ← 进位

$$\begin{array}{rcl} 0000\ 1000_{(BCD)} & = & 08_{(10)} \\ +0000\ 1001_{(BCD)} & = & +09_{(10)} \\ \hline 0001\ 0001_{(BCD)} & = & 11_{(10)} \end{array}$$ 错误的答案

这道题说明BCD码1000 + 1001的和是$0001\ 0001_{(BCD)}$，即十进制数11。正确的结果应是$0001\ 0111_{(BCD)}$，即十进制数17。

上述例题暴露了BCD码运算电路中经常遇到的两个问题，这些电路中常出现错误的和。上述最后一个例题中，由于进位使答案是错误的BCD码。因为经常出现这种错误的结果，所以需要再加上0110（$6_{(10)}$）来修正BCD码。这两个例题都可以通过加上0110得到正确的结果。第1个例题可以如下修正：

$1000_{(2)} = 0000\ 1000_{(BCD)} = 08_{(10)}$

$+0010_{(2)} = +0000\ 0010_{(BCD)} = +02_{(10)}$

$1010_{(2)}\quad 0000\ 1010_{(\text{无效})}$

$+\quad 1\ 0110$

$0001\ 0000_{(BCD)} = 10_{(10)}$

该题中加上 0110，因为原来的和（1010）是无效的，加上 0110 后，和就是正确的了。

第 2 个题也可以通过加上 0110 来修正：

1^{*}

$1000_{(2)} = 0000\ 1000_{(BCD)} = 08_{(10)}$

$+1001_{(2)} = +0000\ 1001_{(BCD)} = +09_{(10)}$

$10001_{(2)} = 0001\ 0001$

$+\quad 0110$

$0001\ 0111_{(BCD)} = 17_{(10)}$

* 注意上面的进位 1 标志。

以上两个例题说明两种需要加上 0110 来修正 BCD 码的情况。BCD 码修正的规则是，当产生错误的和时（1010 到 1111），或两个 BCD 码相加的和产生进位时，需加上 0110 来修正。

多个例题

$0011\ 1000_{(BCD)}$

$+0100\ 0001_{(BCD)}$

$0111\ 1001_{(BCD)}$

不需要进行 BCD 码修正。

1

$0011\ 1001_{(BCD)}$

$+0010\ 1001_{(BCD)}$

$0110\ 0010$

$+\quad 0110$

$0110\ 1000_{(BCD)}$

该例题中有进位，因此需要进行 BCD 码修正。上述例题说明加法产生进位时需要进行 BCD 码修正。

1

$0111\ 0111_{(BCD)}$

$+0001\ 1001_{(BCD)}$

$1001\ 0000$

$+\quad 0110$

$1001\ 0110_{(BCD)}$

由于有进位，所以需要进行 BCD 码修正。

```
 0010 0111(BCD)
+0101 0111(BCD)
 0111 1110(BCD)
+   1 0110
 1000 0100(BCD)
```

由于和是无效的数（1110），所以需要进行 BCD 码修正。

```
        1
  0001   1000  0101(BCD)
 +0001   1000  0110(BCD)
  0010   0001  1011
 +       0110  0110
  0011   0111  0001(BCD)
```

上面这个例子出现了需要进行 BCD 码修正的两种情况。低 4 位出现了无效的和（1011），中间 4 位产生了进位。

```
               1
  0000   0110   0111(BCD)
 +0000   0100   1001(BCD)
  0000   1011   0000
 +   1   0110   0110
  0001   0001   0110(BCD)
```

这里又遇到了修正 BCD 码的两种情况，低 4 位产生了进位，中间 4 位是无效的和。

实现BCD码相加的电路比二进制码的加法电路复杂，因此9.4节讲述了相应的查错和纠错电路。

9.2.2 余 3 编码

十进制数的 XS3 编码是用十进制数加上 3，再表示成 4 位一组的码，这些没有加权的码如表 9.1 所示。有 6 个 4 位数在 XS3 码中未使用。

0000 0001 0010
1101 1110 1111

表 9.1 XS3 编码

十进制数 #	BCD 码	XS3 编码
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

多位数的 XS3 编码的得来与前边介绍的一样，即每位数加 3，再写成 4 位一组的数。

$$
\begin{array}{rll}
29_{(10)} = & 2 & 9 \\
 & \underline{+3} & \underline{+3} \\
 & 5 & 12 = 0101\ 1100_{(XS3)}
\end{array}
$$

XS3 码有两个优点，1 是 0000 码未使用，不用这个码减少了数字系统出错的可能性。首先，0000 意味着目前 4 个输入都没有信号。设备故障有时会产生这个码，同时出错。其次，XS3 码可以自求补。

十进制数的 XS3 码的模 1 补码和十进制数的模 9 补码的 XS3 码是一样的，以此进行 XS3 码的自求补。这句话可能不太容易理解，让我们来看看这是什么意思。用十进制数 7 来解释这个过程。7 的模 9 补码是 2，7 的 XS3 码 1010 的模 1 补码等于 7 的模 9 补码的 XS3 码。

$7_{(10)} = 1010_{(XS3)} = 0101_{(7\text{的XS3码的模1补码})}$

$2_{(模9补码)} = 5_{(模9补码+3)} = 0101_{(7\text{的模9补码的XS3码})}$

表 9.2 所示为与十进制数相同的各种码。

表 9.2　XS3 码和模 9 补码

十进制数	XS3 码	模 1 补码	模 9 补码	模 9 补码 +3
0	0011	1100	9	12
1	0100	1011	8	11
2	0101	1010	7	10
3	0110	1001	6	9
4	0111	1000	5	8
5	1000	0111	4	7
6	1001	0110	3	6
7	1010	0101	2	5
8	1011	0100	1	4
9	1100	0011	0	3

9.2 节复习题

A. 当出现无效 / 错误的 BCD 和时，叙述 BCD 修正的两个规则。

B. 将下列十进制数写成 BCD 数。

(1) 6

(2) 29

(3) 140

(4) 1000

C. 求下列 BCD 数的加法，写出过程。

(1)

$$
\begin{array}{r}
0011\ 0001_{(BCD)} \\
\underline{+0010\ 0010}_{(BCD)}
\end{array}
$$

(2)

$$
\begin{array}{r}
0101\ 0110_{(BCD)} \\
\underline{+0100\ 0011}_{(BCD)}
\end{array}
$$

(3)

$$
\begin{array}{r}
0110\ 1000\ 0001_{(BCD)} \\
\underline{+0010\ 0001\ 0111}_{(BCD)}
\end{array}
$$

(4) 0111 1000$_{(BCD)}$
   +0001 1001$_{(BCD)}$

(5) 0100 0101$_{(BCD)}$
   +0011 0110$_{(BCD)}$

(6) 0111 0111$_{(BCD)}$
   + 0011 1001$_{(BCD)}$

D. 将下列十进制数写成 XS3 码。

(1) 3

(2) 9

(3) 38

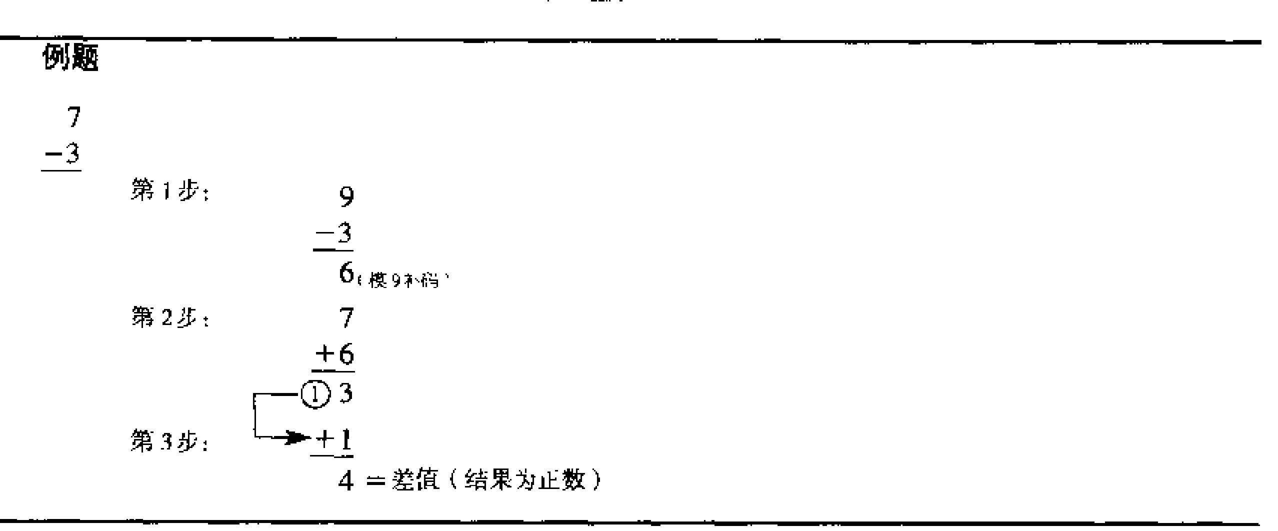
(4) 194

阶段性小结（9.1 节 ~ 9.2 节）

十进制负数的模 9 补码和模 10 补码使减法运算可以通过加法运算来完成。十进制数的模 9 补码是用 9 减去这个数而得到的。其模 10 补码是模 9 补码加 1。

用模 9 补码或模 10 补码可以通过加法运算得到两个十进制数的差值。用模 9 补码的方法需要用到循环进位，过程如下：

1. 求负数的模 9 补码。
2. 该模 9 补码与正数相加。
3. 第 2 步的和再加上产生的进位就得到了差值。



如果循环进位是 0，说明得到的差值是没有符号的模 9 补码，这时得到的差值必须再次求补，以得到有符号的数值。

使用模10补码的运算方法与此基本相同，只是不用循环进位。进位只用于表明差值是正数（进位 = 1）还是无符号补码形式的负数（进位 = 0）。

二进制数的模 1 补码与十进制数的模9补码规则相同。同理，二进制数的模 2 补码与十进制数的模 10 补码规则相同。用加法实现二进制数减法的步骤与十进制数的也相同。

乘法和除法可以通过多次加法和多次减法来完成。乘法是一个数自己多次相加，相加次数就是乘数，最终的和即是积。除法是用被除数减去除数直到余数为0或小于除数，减法进行的次数即是商。

BCD 码的加法用标准的二进制加法器完成。有 6 个无效的 BCD 码经常出现在 BCD 码的和输出中，且在 BCD 码加法电路中，当和超过 $15_{(10)}$ 时会出现一些问题，在这些情况下必须进行查错和纠错，以得到正确的输出。两个 BCD 码相加，当产生无效的和或和溢出产生进位时，BCD 码运算电路必须加上 0110 进行修正，这个纠错过程称为 BCD 码修正。

XS3 编码是用每个十进制数加 3，再将和编写成 4 位一组的码。XS3 编码可以自求补。

阶段性练习（9.1 节～9.2 节）

1. 写出下列十进制数的模 9 补码。

   a. −2　　c. −66

   b. −10　　d. −382

2. 写出下列十进制数的模 10 补码。

   a. −3　　c. −48

   b. −12　　d. −159

3. 写出下列十进制数的模 1 补码。

   a. −01　　c. −10000111

   b. −1001　　d. −00110011

4. 写出下列十进制数的模 2 补码。

   a. 0011　　c. 10001101

   b. 1111　　d. 01011100

5. 求下列二进制数的加法。

   a. 1000 + 1000　　c. 1111 + 1111

   b. 0101 + 0101　　d. 10101000 + 10010111

6. 求下列二进制数的减法（使用模 2 补码并写出过程）。

   a. 1111 − 0111　　c. 1000 − 0101

   b. 1011 − 1000　　d. 0101 − 1000

7. 写出下列十进制数的 BCD 码。

   a. 3

   b. 124

8. 写出下列十进制数的 XS3 码。

   a. 10

   b. 297

9. 求下列 BCD 数的加法，并写出过程。

   a. $0110\ 0100_{(BCD)} + 0011\ 0001_{(BCD)}$　　c. $0001\ 1000_{(BCD)} + 0001\ 0110_{(BCD)}$

b. 0001 0010 0111$_{(BCD)}$ d. 0001 1000$_{(BCD)}$
+0001 0100 0001$_{(BCD)}$ +0011 1000$_{(BCD)}$

9.3 二进制加法器

要点

1. 确定二进制数半加器和全加器的逻辑图。
2. 写出加法器或加/减法器的逻辑图或符号及输入电平，确定电路及其输出。

二进制加法器在数字计算机中起着很重要的作用，本章的第一节证明了这一点。这一节讨论这些加法器是怎样工作的。

9.3.1 半加器

我们从半加器开始研究运算电路。第5章介绍过，半加器是一种组合逻辑电路，可以进行两位数相加，产生和（Σ）及进位输出。电路的真值表如表9.3所示。

表 9.3 半加器真值表

A+B	和	进位
0 0	0	0
0 1	1	0
1 0	1	0
1 1	0	1

和输出的表达式（$\bar{A}B+A\bar{B}$）是异或门输出，进位表达式（AB）是与门输出，电路如图9.1所示。

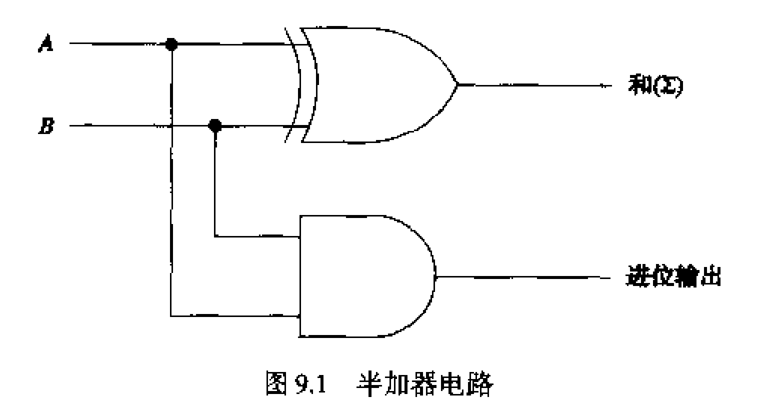


图 9.1 半加器电路

9.3.2 全加器

全加器可以进行三位数相加，即 $A+B+$ 进位输入（C_{in}），其输出 C_{out} 类似于半加器，包括和及进位。实现这个加法的逻辑电路的真值表如表9.4所示。真值表的数据画在卡诺图中，如图9.2所示。

表 9.4 全加器真值表

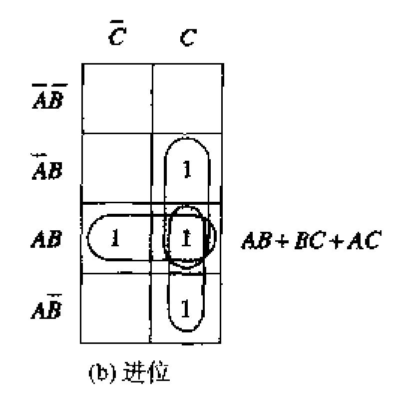
$A+B+C_{in}$	和	进位输出 C_{out}
0 0 0	0	0
0 0 1	1	0

（续表）

$A+B+C_{in}$	和	进位输出 C_{out}
0 1 0	1	0
0 1 1	0	1
1 0 0	1	0
1 0 1	0	1
1 1 0	0	1
1 1 1	1	1

	$\bar{C}$	C
$\bar{A}\bar{B}$		1
$\bar{A}B$	1	
AB		1
$A\bar{B}$	1	

(a) 和



(b) 进位

图 9.2　全加器电路输出卡诺图

和输出的表达式不能简化，因为其卡诺图中没有环路，因此其表达式为：

$$\text{Sum} = \bar{A}\bar{B}C + \bar{A}B\bar{C} + ABC + A\bar{B}\bar{C}$$

由真值表可写出进位输出的表达式是：

$$C_{out} = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

在进位输出（C_{out}）的卡诺图中有 3 个环路，因此其表达式可简化为：

$$C_{out} = AB + BC + AC$$

电路如图 9.3 所示。

利用半加器构成全加器可以大大简化电路，如图 9.4 所示。图中利用两个半加器实现 A，B 和进位输入的加法（注意，图中 SOP 与门和或门可以用 4.9 节介绍的与非门代替）。每个门的输出表达式如图所示。经证明，图 9.4 中的表达式是图 9.3 所示电路的简化了的表达式。

和输出表达式的简化如下所示（注意，$C_{in} = C$）：

$$\overline{(\bar{A}B + A\bar{B})}C + (\bar{A}B + A\bar{B})\bar{C}$$
$$(\overline{\bar{A}B}\;\overline{A\bar{B}})C + (\bar{A}B + A\bar{B})\bar{C}$$
$$[(A + \bar{B})(\bar{A} + B)]C + (\bar{A}B + A\bar{B})\bar{C}$$
$$(A\bar{A} + AB + \bar{A}\bar{B} + B\bar{B})C + (\bar{A}B + A\bar{B})\bar{C}$$
$$(0 + AB + \bar{A}\bar{B} + 0)C + (\bar{A}B + A\bar{B})\bar{C}$$
$$(AB + \bar{A}\bar{B})C + (\bar{A}B + A\bar{B})\bar{C}$$
$$ABC + \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C}$$

非线上的 x 表明，非线已断开，其下的逻辑符号已发生变化。

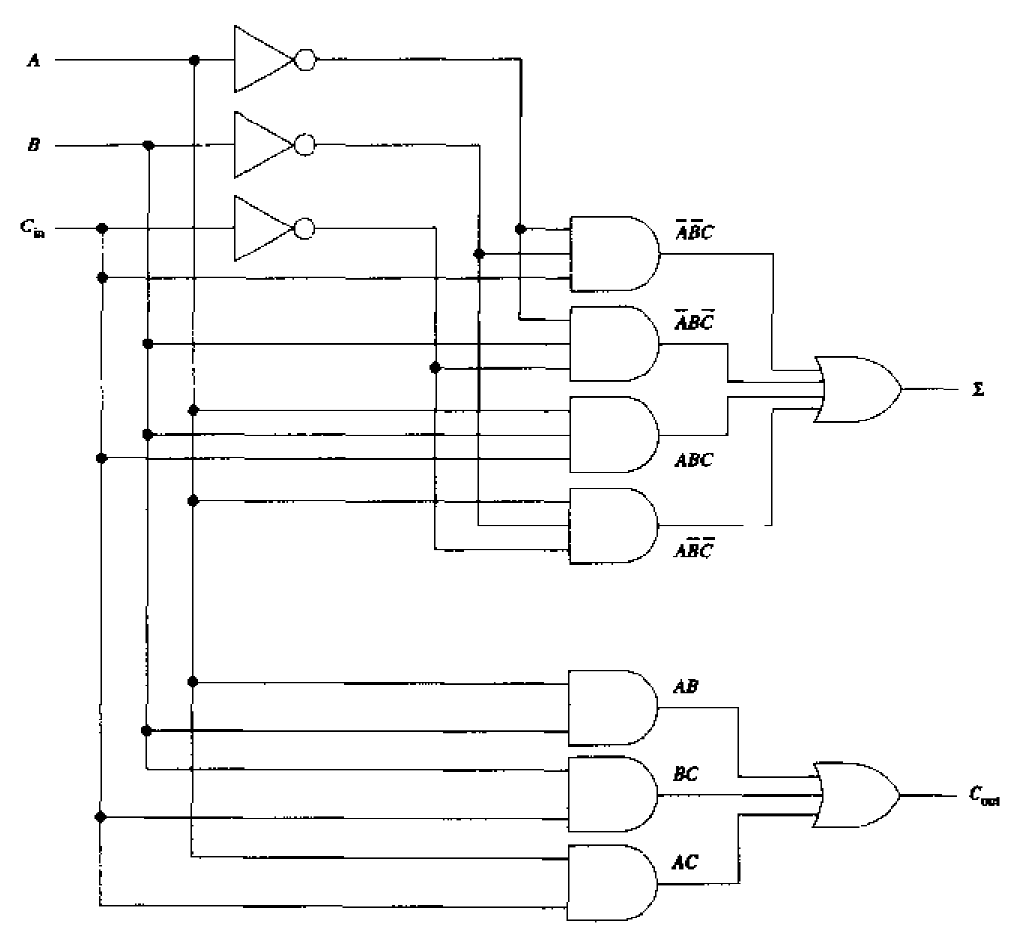


图 9.3 全加器逻辑图

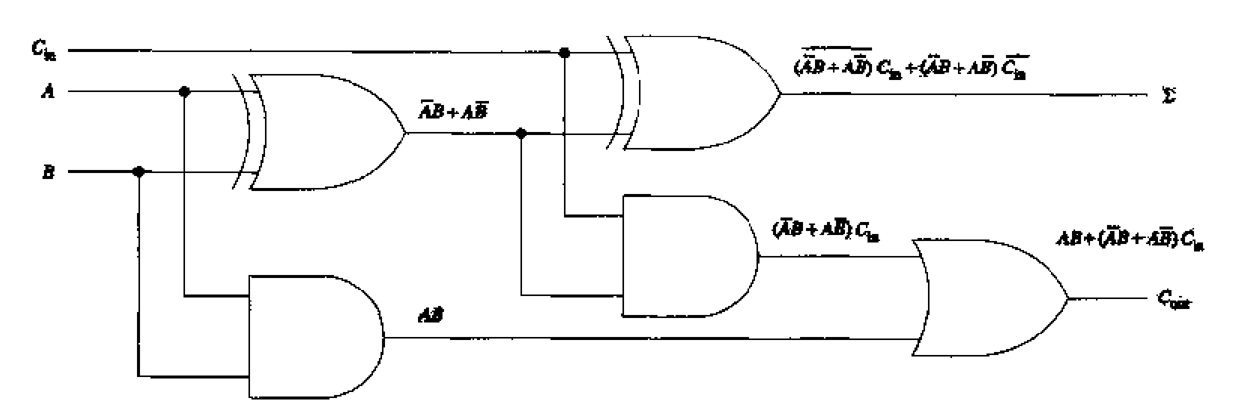


图 9.4 简化的全加器逻辑图

进位输出的表达式可简化如下：

$AB+(\bar{A}B+A\bar{B})C$
$AB+\bar{A}BC+A\bar{B}C$

该表达式可以画在卡诺图中。

$AB+\bar{A}BC+A\bar{B}C$
$AB+BC+AC$

图9.4所示的全加器只能进行1位二进制数相加，因此称之为单位加法器。大多数加法器可以进行多位二进制数相加，比如1010 + 0011。实现二进制多位数加法的电路称为并联二进制加法器。

两个4位二进制数的加法如下所示，它需要4位并联二进制加法器进行相加。

$$1010 = A_3A_2A_1A_0$$
$$\underline{+0011} = B_3B_2B_1B_0$$

7483 4位二进制全加器

7483的逻辑符号如图9.5所示，其集成电路包括8个输入引脚，作为两个4位二进制数的输入，再加上1个进位输入引脚（C_0），还有4个输出引脚作为4位和输出及一个进位输出引脚（C_4）。

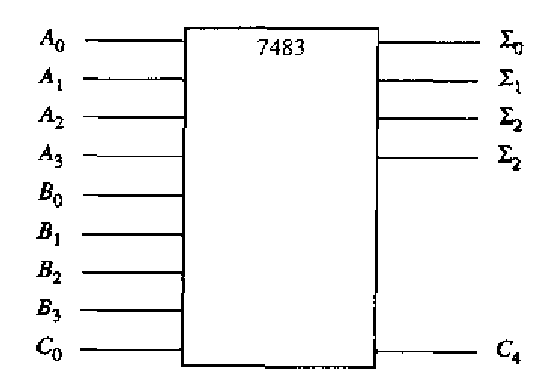


图9.5 7483 4位二进制全加器逻辑符号

全加器可以并联，以扩展加法的位数，8位并联二进制加法器如图9.6所示。注意，图中低4位加法器的进位输入脚接地，且其进位输出引脚 C_4 与高4位的进位输入引脚 C_0 相接。该电路可得到8位和。如果两个数相加得到9位和，那么高4位的 C_4 输出端将为高电位1。例如：

$$\begin{array}{r} 1000\ \ 0110 \\ \underline{+1000\ \ 0010} \\ 1\,0000\ \ 1000 \end{array}$$

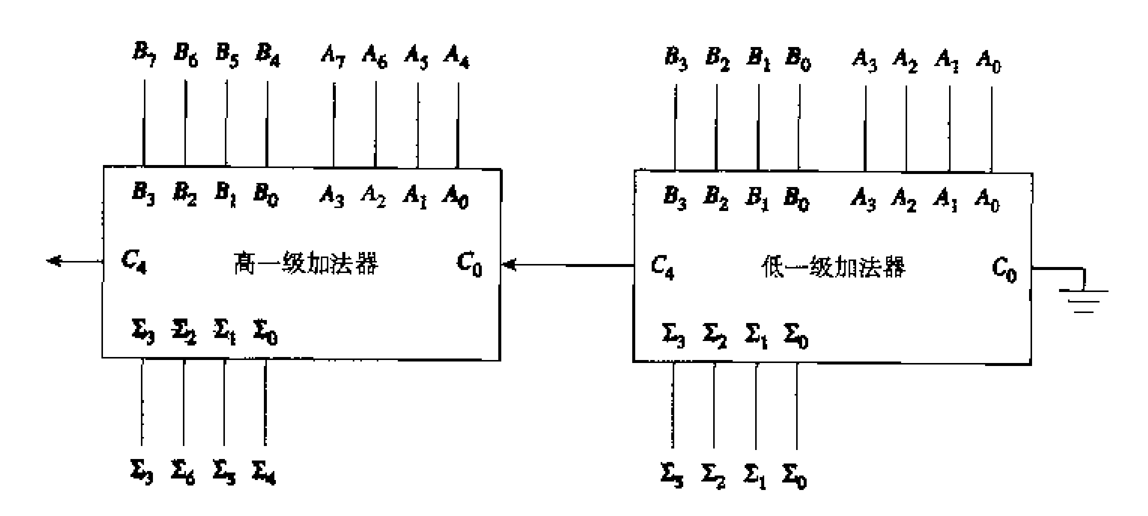


图9.6 8位并联二进制加法器

这时进位输出为高电平，说明电路产生了出错符号。出错符号表示和的位数超过了电路和的位数。当和太大时计算器常出现这种情况。

7483 全加器具有内部超前（look-ahead）进位的特点。第 7 章讨论了超前进位。

该加法器产生的进位输出（C_4）优先于和输出，当将两个 BCD 码输入 74LS83 时，产生进位输出的时间大约是 12 ns，而产生和需要 15 ns，因此当 n 个集成芯片级联在一起进行多位数相加时可以提高运行速度。

9.3.3 加/减法器

9.1节讨论了利用没有符号的模2补码与正数相加来进行减法运算的过程。使用7483构成的加/减法器如图 9.7 所示，控制输入端 $\overline{\text{ADD}}$/SUB 表示该输入端为 0 时是加法器，为 1 时是减法器。

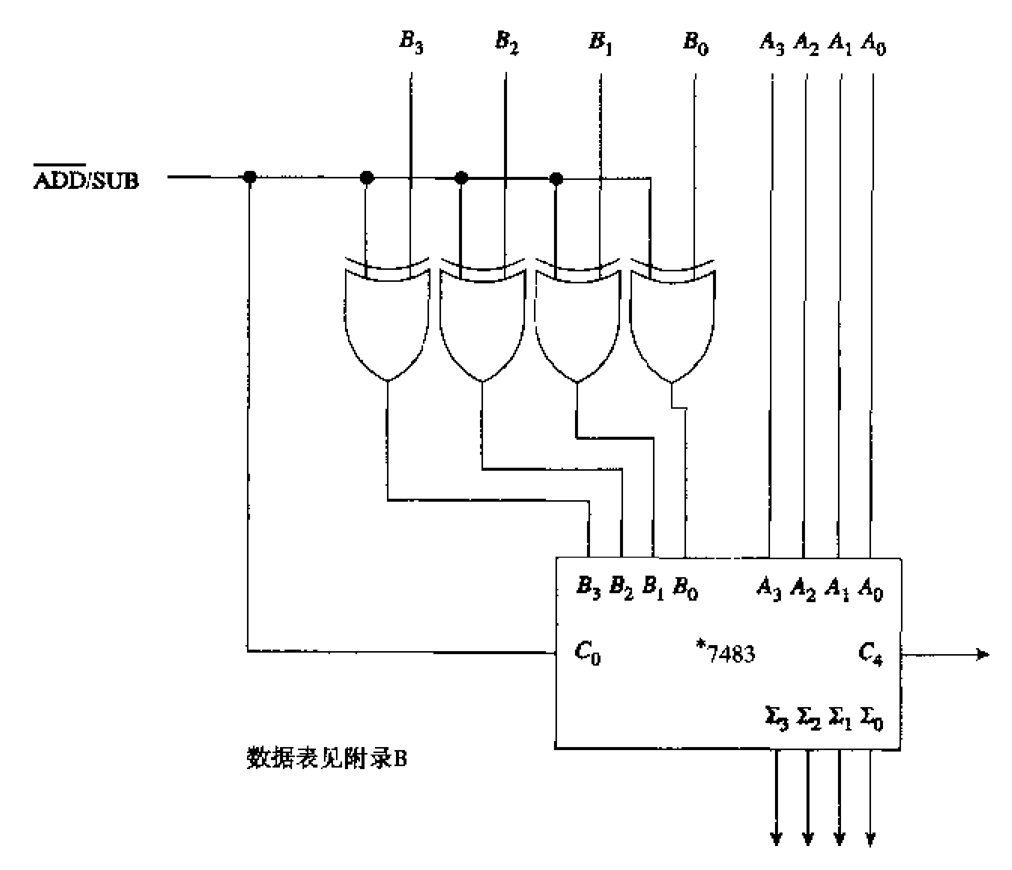


图 9.7 7483 加/减法器

加法操作：$\overline{\text{ADD}}$/SUB = 0

图 9.7 中 7483 的进位输入（C_0）是低电平，B_3~B_0 输入位通过异或门没有反相，A_3~A_0 输入与 B_3~B_0 输入相加产生和输出。

减法操作：$\overline{\text{ADD}}$/SUB = 1

第 5 章讨论过异或门，大家还记得，当输入为高电平时，异或门和非门的功能是一样的。因为异或门使 B 输入反相，所以 7483 的输入是电路输入 B_3~B_0 的模 1 补码。

$\overline{ADD}$/SUB 为高电位输入时，其进位输入（C_0）也是逻辑 1 输入。将 1 与 B_3~B_0 的模 1 补码相加，结果就是这个负数的模 2 补码，正常的二进制数模 2 补码的加法可以产生差值。

例题：$\overline{ADD}$/SUB = 0

```
  0101  A 输入
+ 0011  B 输入
  1000  和
```

例题：$\overline{ADD}$/SUB = 1

```
  0101  A 输入
- 0011  B 输入 = 1100（模 1 补码）
               +    1
                 1101（模 2 补码）
     0101
   + 1101
 ① 0010
 └→ 表示结果是正数
```

9.3 节复习题

A. 图 9.5 中，C_0 = 1，A_3~A_0 = 1100，B_3~B_0 = 0100 时，7483 的和及进位输出是什么？

B. 图 9.5 中，C_0 = 0，A_3~A_0 = 1111，B_3~B_0 = 1111 时，7483 的和及进位输出是什么？

C. 图 9.6 中，C_0 = 0，A_3~A_0 = 0111，A_7~A_4 = 1000，B_3~B_0 = 0110，B_7~B_4 = 1000 时，8 位并行二进制加法器的和及进位输出是什么？

D. 图 9.7 中，$\overline{ADD}$/SUB = 0，A_3~A_0 = 1110，B_3~B_0 = 0100 时，7483 的 Σ 和 C_4 输出是什么？

E. 图 9.7 中，$\overline{ADD}$/SUB = 1，A_3~A_0 = 1110，B_3~B_0 = 0100 时，7483 的 Σ 和 C_4 输出是什么？

9.4　BCD 加法器

要点

1. 确定 BCD 加法器的逻辑图。
2. 写出 BCD 加法器的逻辑图及其输入，决定和及进位输出。

9.2 节中提到过，数字系统的 BCD 码相加的方法与二进制数的相同。但是，若相加的和是无效的数或超出 BCD 码范围，产生进位时需修正 BCD 码。

BCD 码修正电路必须能够识别是无效的和还是产生进位，然后，再加上 0110 修正结果。表 9.5 所示为 4 位全加器的真值表，表中有 6 个 BCD 码是无效的和，该真值表在第 5 章中曾讨论过。

由该真值表得到的布尔表达式是 $\bar{A}B\bar{C}D + AB\bar{C}D + \bar{A}\bar{B}CD + A\bar{B}CD + \bar{A}BCD + ABCD$。该表达式可以识别全加器的所有无效和输出，相应的卡诺图如图 9.8 所示，图中的两个四位环路可以将表达式简化为 $BC + CD$，与 $\Sigma_1\Sigma_3 + \Sigma_2\Sigma_3$ 相同。

表 9.5 BCD 加法器和输出真值表（和无效识别器）

Σ_3	Σ_2	Σ_1	Σ_0	输出
D	*C*	*B*	*A*	
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

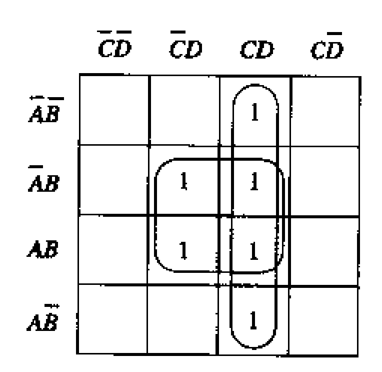


图 9.8 4 位全加器 BCD 码和输出卡诺图

下面我们讨论 BCD 加法器的 3 个例子，与之相应的 BCD 加法器如图 9.9 所示。

例题 1

$0101_{(BCD)}$

$\underline{+0010}_{(BCD)}$

$0111_{(BCD\text{和})}$

BCD 加法器的和输出可以用于 BCD 修正电路和 BCD 修正加法器。BCD 修正电路的布尔表达式是 $C_4+\Sigma_3\Sigma_2+\Sigma_3\Sigma_1$，其输出是低电平，该修正信号作为 BCD 修正加法器的 B_2 和 B_1 的输入。B_0 和 B_3 都接地，因此 BCD 修正加法器的 B_0 到 B_3 的输入为 0000，该 BCD 数（0000）与修正加法器的输入 0111（A_3~A_0）相加，最后的输出为 $0111_{(BCD)}$。

例题 2

$1000_{(BCD)}$

$\underline{+0111}_{(BCD)}$

1111

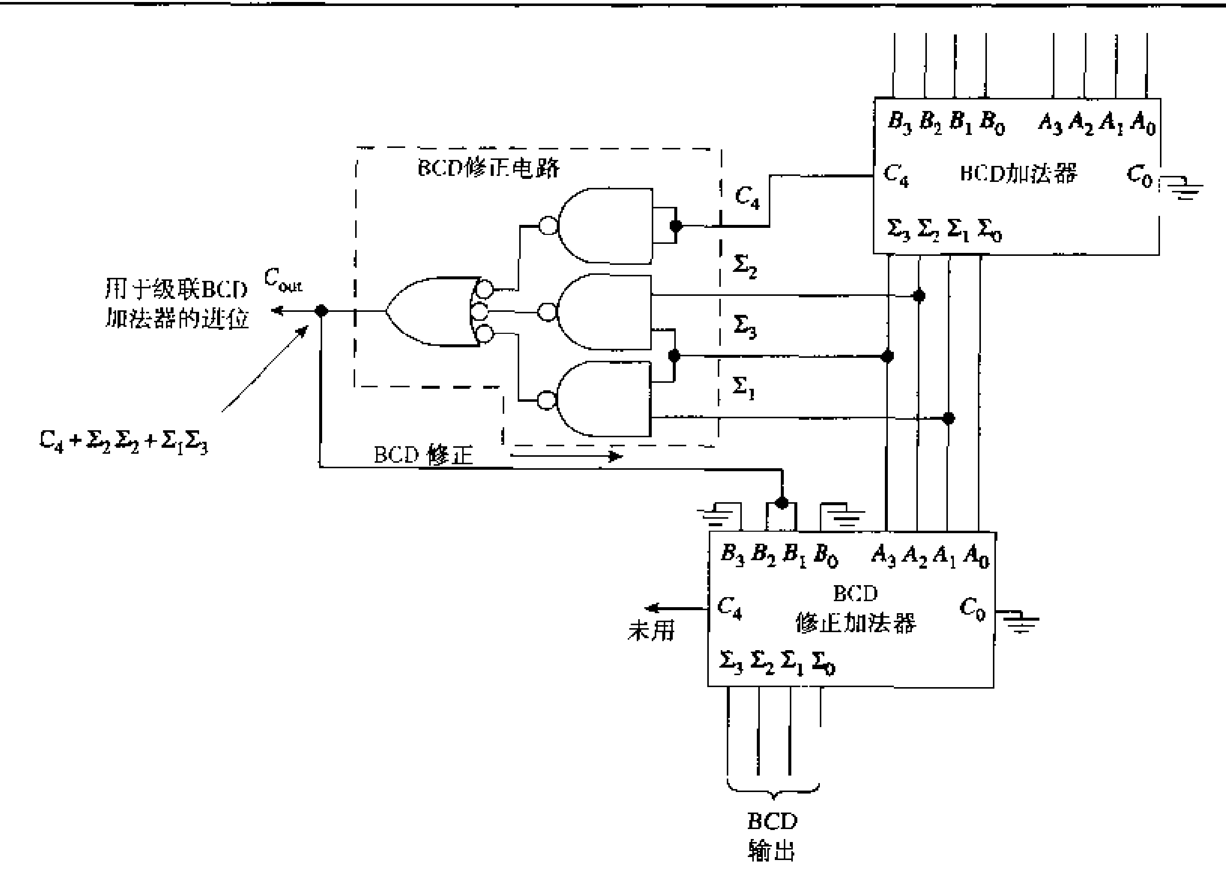


图9.9　BCD加法器

例题2中BCD加法器产生的和是无效的数。这个无效的和用于BCD修正电路和BCD修正加法器，BCD修正电路产生高电平作为和无效的结果。该高电平信号作为BCD修正电路的B_2和B_1的输入，0110再与BCD加法器的和输出1111相加，从而修正这个无效的和。

$1000_{(BCD)}$

$\underline{+0111_{(BCD)}}$

1111

$\underline{+0110}$

① $0101_{(BCD)}$

→ 未使用

因为$8+7=15_{(10)}$，因此BCD码的LSD是正确的。BCD修正电路产生的高电平信号构成加数0110，它也被送往下一级BCD加法器作为进位，图9.9中没有画出。当无效的和与0110相加时，BCD修正加法器也会产生一个进位，这个进位未使用。

例题3

$1000_{(BCD)}$

$\underline{+1000_{(BCD)}}$

1 0000

该例题中产生的和是错的，因为BCD加法器的输出有一个高电平进位输出（C_4）信号，这个高电平的BCD修正信号可以用于下一级的BCD加法器和BCD修正加法器，0110与无效的和相加，从而修正LSD标志位。

$$\begin{array}{r} 1000_{(BCD)} \\ +\underline{1000_{(BCD)}} \\ 1\ 0000 \\ \underline{+0110} \\ 0110_{(BCD)} \end{array}$$

图9.10为一并联的BCD加法器，它可以用于两组BCD码相加，图中的输入如下：

$$\begin{array}{rl} A_{input} = & 0011\ 0111_{(BCD)} = 37_{(10)} \\ B_{input} = & \underline{+0001\ 0100_{(BCD)}} = \underline{+14}_{(10)} \\ & 0100\ 1011 \\ & \underline{+\ \ 1\ 0110} \\ & 0101\ 0001_{(BCD)} = 51_{(10)} \end{array}$$

BCD修正电路的低4位产生的高电平输出作为高4位BCD加法器的进位输入（C_0），这个高电平输出与0110一起再与无效的和相加，以修正LSD标志位。

9.4 节复习题

A. 图9.9中当$C_0 = 0$，A_3~A_0 = 0101，B_3~B_0 = 0011时，确定该BCD加法器的BCD码及进位输出。

B. 图9.9中当$C_0 = 0$，A_3~A_0 = 0101，B_3~B_0 = 0111时，确定该BCD加法器的BCD码及进位输出。

C. 图9.9中当$C_0 = 0$，A_3~A_0 = 1000，B_3~B_0 = 1001时，确定该BCD加法器的BCD码及进位输出。

9.5 算术逻辑单元

要点

1. 讲解算术逻辑单元的功能。
2. 给出ALU在输入电平下的数据表和逻辑符号，确定ALU的运行模式和输出电平符号。

数字系统必须具有多种多样的算术和逻辑操作。如果用组合芯片完成这些操作，系统会很庞大，所以许多系统用算术逻辑单元（ALU）来完成这些算术和逻辑操作。

算术逻辑单元将复杂的操作集中在一个集成片上。一个典型的ALU可以完成二进制数的比较、加倍、增加、减少、移位、加法、减法、乘法和除法，同时也可以完成以下逻辑操作：非、与、或、与非、或非、同或和异或。

ALU可以完成两个4位、8位、16位或32位二进制数的操作，且常与计算机中的微处理芯片共同完成。下面是几种IC转换器。

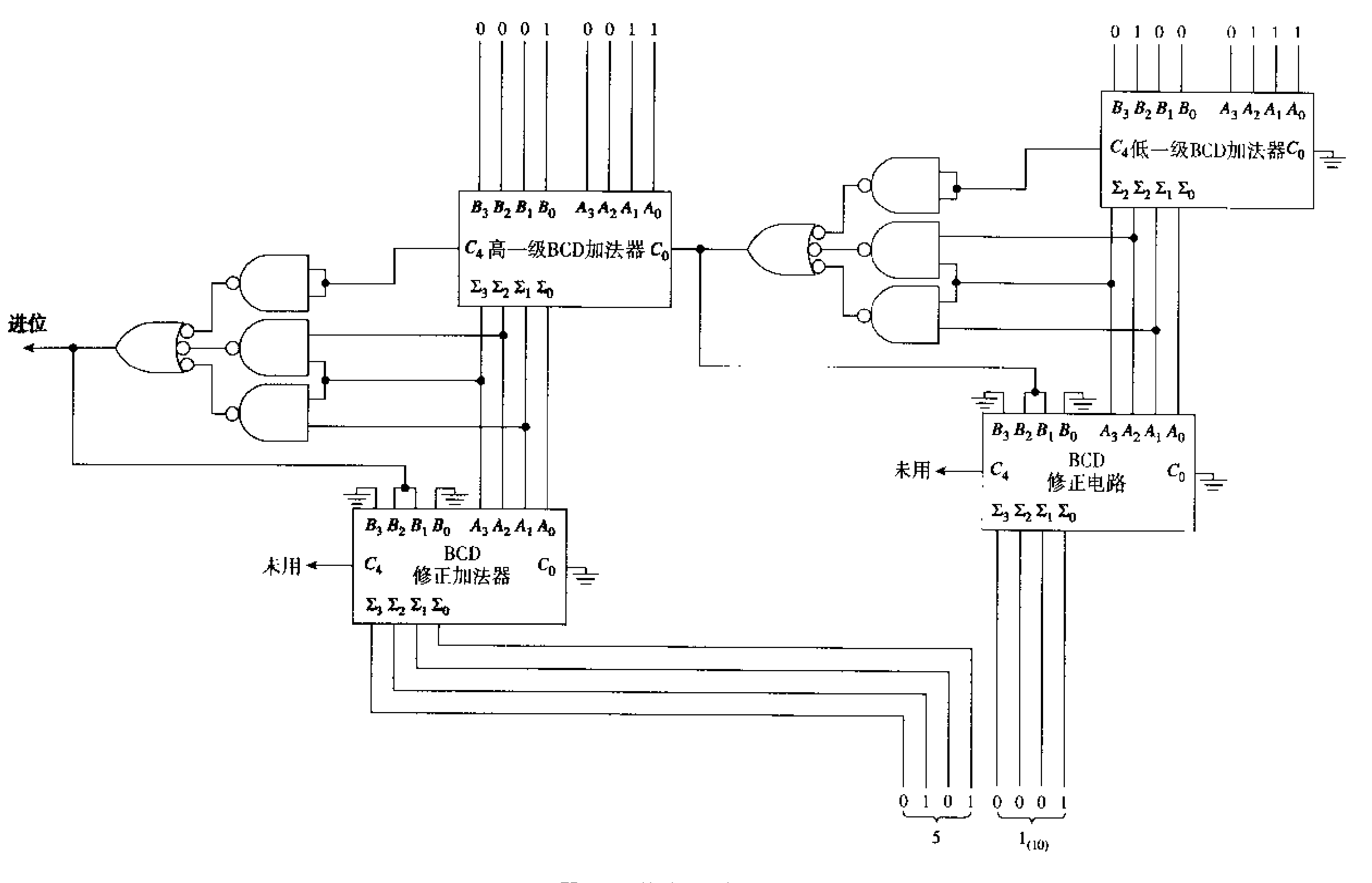


图 9.10　并联 BCD 加法器

74181 4位算术逻辑单元

74181集成电路的逻辑符号如图9.11所示。74181可以完成16种不同的算术操作和16种不同的逻辑功能。该集成电路有8个输入引脚（A_0~A_3和B_0~B_3）用于两个4位字节的输入，还有4个输出引脚（F_0~F_3）。

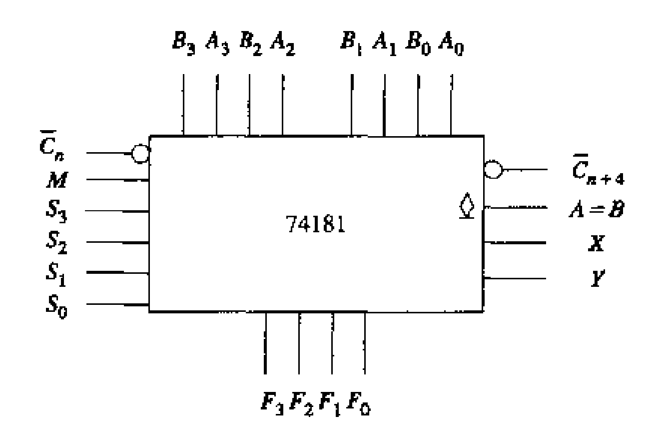


图9.11　74181 4位ALU逻辑符号

模式控制输入（M）决定是否执行了算术操作（$M=0$）或逻辑功能（$M=1$）。单元内容内部进位在逻辑操作期间是禁用的。

4个选择输入端（S_3~S_0）决定选择的是16种算术操作还是16种逻辑功能。表9.6定义了74181在输入为高电平有效，输出也为高电平有效时的各个功能。该表详细说明了算术操作，由此可以看出逻辑操作和算术操作的区别。74181集成电路也可以用于低电平输入和输出有效的情况，此时功能表与表9.6不同。

表9.6　74181 ALU高电平输入/输出有效功能表

选择				逻辑功能	运算 $M=0$	
S_3	S_2	S_1	S_0	F输出 $M=1$	$\bar{C}_n=1$（无进位）	$\bar{C}_n=0$（进位为1）
0	0	0	0	$\bar{A}$	A	A加1
0	0	0	1	$\overline{A+B}$	$A+B$	（$A+B$）加1
0	0	1	0	$\bar{A}B$	$A+\bar{B}$	（$A+\bar{B}$）加1
0	0	1	1	0	减1（模2补码）	0
0	1	0	0	$\overline{AB}$	A加$A\bar{B}$	A加$A\bar{B}$加1
0	1	0	1	$\bar{B}$	（$A+B$）加$A\bar{B}$	（$A+B$）加$A\bar{B}$加1
0	1	1	0	$A\oplus B$	A减B减1	A减B
0	1	1	1	$A\bar{B}$	$A\bar{B}$减1	$A\bar{B}$
1	0	0	0	$\bar{A}+B$	A加AB	A加AB加1
1	0	0	1	$\overline{A\oplus B}$	A加B	A加B加1
1	0	1	0	B	（$A+\bar{B}$）加AB	（$A+\bar{B}$）加AB加1
1	0	1	1	AB	AB减1	AB
1	1	0	0	1	A加A *	A加A加1
1	1	0	1	$A+\bar{B}$	（$A+B$）加A	（$A+B$）加A加1
1	1	1	0	$A+B$	（$A+\bar{B}$）加A	（$A+\bar{B}$）加A加1
1	1	1	1	A	A减1	A

在74181的比较操作中，当$A=B$时集电极开路，输出与上拉电阻相连，此时产生一高电平输出，图9.11中标出了集电极开路输出的符号。集电极开路逻辑在第11章介绍。$A=B$输出是为了与其他的$A=B$输出布线相与，这需要4位以上的比较字，此时ALU必须是减法模式（S_3~$S_0=0110$），

$\bar{C}_n=1$（无进位），这样可以进行输入值的比较。当两个输入字节（B_0~B_3和A_0~A_3）相同时，$A=B$输出为高电平，$A=B$输出可以与$\bar{C}_{n+4}$信号共同识别是$A<B$还是$A>B$。

74181通过4位不同的二进制输入完成逻辑操作。例如，ALU进行"与"时，A_0与B_0与，输出用F_0表示；A_1与B_1与，输出用F_1表示，等等。记住，在逻辑操作中没有内部进位。

逻辑操作例题

A输入 = 1010	A输入 = 1010
B输入 = 0011	B输入 = 0011
AB = 0010 = 与	$\overline{A+B}$ = 0100 = 或非
A输入 = 1010	A输入 = 1010
B输入 = 0011	B输入 = 0011
$\overline{AB}$ = 1101 = 与非	$A\oplus B$ = 1001 = 异或
A输入 = 1010	A输入 = 1010
B输入 = 0011	B输入 = 0011
$A+B$ = 1011 = 或	$\overline{A\oplus B}$ = 0110 = 同或

表9.6说明74181可以完成各种逻辑操作，除了这些基本的逻辑操作以外，该电路还可以完成诸如$\bar{A}B$，$A\bar{B}$，$\bar{A}+B$及$A+\bar{B}$等功能。因为这些是74181的内部功能，所以在有些数据表中该集成电路被称为ALU功能发生器。

$\bar{C}_{n+4}$输出是标准的脉动进位输出信号。当不需要高速操作时，它与另一级联的74181的$\bar{C}_n$输

进位，这些引脚在高电平有效电路（如图9.11）中是X和Y，在低电平有效电路中是$\bar{P}$和$\bar{G}$。当需要高速操作时，X和Y信号可以与超前进位发生器相连，该发生器通过4个二进制加法器或一级加法器参与进位操作。

74181，ALU例题操作（参见表9.6）

1. 图9.11中，当$M=0$，$\bar{C}_n=1$，S_3~S_0 = 1001，A_3~A_0 = 0101，B_3~B_0 = 1100时，确定74181的F和$\bar{C}_{n+4}$的输出。

   答案：该电路此时处于没有进位输入的算术模式，如表9.6所示，完成的是A和B输入的加法运算，产生的1进位输出转化为$\bar{C}_{n+4}$的低电平输出。

   0101 = A输入
   +1100 = B输入
   ① 0001 = F_3~F_0和输出
   → $\bar{C}_{n+4}$ = 0 = 1进位

2. S_3~S_0 = 1100，其他同1，确定F和$\bar{C}_{n+4}$的输出。

   答案：该电路也是处于没有进位输入时的算术模式。该选择完成的是A加A，即每一位向高位移位的操作（左移）。

   0101 = A输入
   +0101 = A输入
   ⓪ 1010 = F_3~F_0和输出 = A加A
   → $\bar{C}_{n+4}$ = 1 = 没有进位

3. $M=0$，$\overline{C}_n=0$，$S_3\sim S_0=0110$，$A_3\sim A_0=1110$，$B_3\sim B_0=0001$ 时，确定 74181 的 F 和 $\overline{C}_{n+4}$ 的输出。

答案：通过模 2 加法器得到差值。

```
  1110
 -0001 = 1110(模1补码)
        +   1
         1111(模2补码)

      1110 = A输入
     +1111 = B输入(模2补码)
   ┌─①1101 = A减B
   ▽
   └──→ C̄n+4 = 0 = 1进位 = 正数结果
```

4. $M=1$，$S_3\sim S_0=0100$，$A_3\sim A_0=1001$，$B_3\sim B_0=0111$ 时，确定 74181 ALU 的 F 输出。

答案：ALU 处于逻辑模式，没有进位（C_n 和 C_{n+4}），电路完成的是 AB 输入的与非操作。

1001 = A 输入

<u>0111</u> = B 输入

0001 = AB 输出

1110 = $\overline{AB}$ 输出

5. $M=1$，$S_3\sim S_0=0110$，$A_3\sim A_0=1001$，$B_3\sim B_0=0111$ 时，确定 74181 的 F 输出。

答案：电路完成的是 A 和 B 输入的异或功能。

1001 = A 输入

<u>0111</u> = B 输入

1110 = $A\oplus B$

9.5 节复习题

A. 列出 ALU 的四种算术功能。

B. 列出 ALU 的六种逻辑功能。

C. 图 9.11 中，$M=0$，$\overline{C}_n=0$，$S_3\sim S_0=1111$，$A_3\sim A_0=1010$，$B_3\sim B_0=0101$ 时，74181 ALU 的 F 和 $\overline{C}_{n+4}$ 输出是什么？

D. 复习题 C 中，改变 $\overline{C}_n$ 输入，使 $\overline{C}_n=1$，确定 F 和 $\overline{C}_{n+4}$ 输出。

E. 当 $M=1$，$S_3\sim S_0=1011$，$A_3\sim A_0=1000$，$B_3\sim B_0=1110$ 时，确定 74181 ALU 的 F 输出。

F. 在复习题 E 中，改变 $S_3\sim S_0$ 输入，使 $S_3\sim S_0=0001$，确定 ALU 的 F 输出。

阶段性小结（9.3 节～9.5 节）

二进制加法器用于两位数的相加，全加器可以完成两位输入和一位进位输入相加的操作，多位数的加法可以通过几个二进制加法器并联完成。

7483 集成电路是一个 4 位二进制全加器，可以完成两个 4 位字节和 1 个进位输入的相加。减法可以通过求负数的模 2 补码再与正数相加的方法实现。

BCD加法器由一个标准的二进制全加器和输出端接查错电路组成。该电路能查出加法器的和输出是无效的 BCD 码还是高位进位输出。无论哪种情况，结果都需加上 0110 进行 BCD 修正。

算术逻辑单元用于完成二进制数的算术操作和几种逻辑操作。74181 ALU可以完成16种算术操作和16种逻辑功能。输入端电平可以用于模式控制选择和进位输入，从而完成几种特殊的操作。在研究ALU时，需要查看数据表中给出的功能表

阶段性练习（9.3节～9.5节）

参照制造商数据表回答下列各题。

1. 确定图9.12所示电路
   a. 半加器
   b. 全加器
   c. BCD加法器
   d. 加法器/减法器

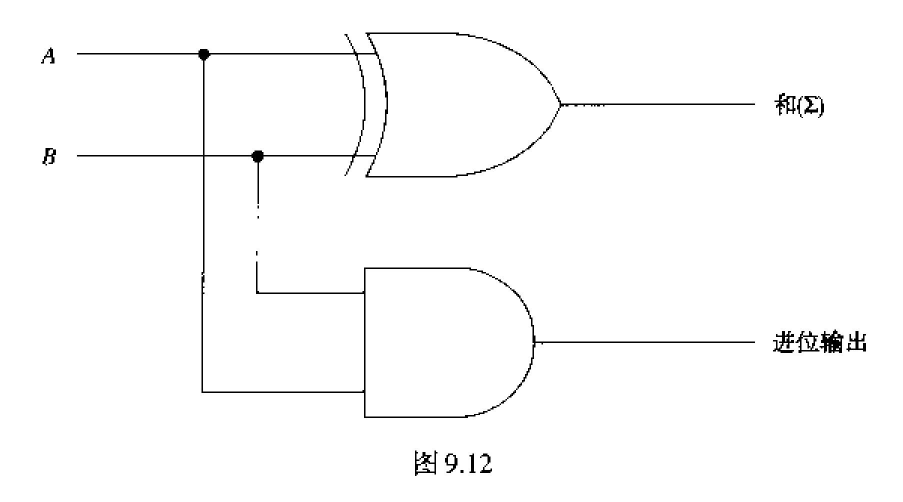


图9.12

2. 图9.12所示电路中，$A=0$，$B=1$时，电路的输出是什么？
   a. $\Sigma=0$，$C_{out}=0$
   b. $\Sigma=0$，$C_{out}=1$
   c. $\Sigma=1$，$C_{out}=0$
   d. $\Sigma=1$，$C_{out}=1$
3. 图9.12所示电路中，$A=1$，$B=1$时，电路的输出是什么？
   a. $\Sigma=0$，$C_{out}=0$
   b. $\Sigma=0$，$C_{out}=1$
   c. $\Sigma=1$，$C_{out}=0$
   d. $\Sigma=1$，$C_{out}=1$
4. 图9.13所示全加器电路中，A_3~$A_0=1010$，B_3~$B_0=0101$，$C_0=0$时，电路的输出是什么？
   a. Σ_3~$\Sigma_0=0101$，$C_4=0$
   b. Σ_3~$\Sigma_0=0101$，$C_4=1$
   c. Σ_3~$\Sigma_0=1111$，$C_4=0$
   d. Σ_3~$\Sigma_0=1111$，$C_4=1$
5. 图9.13所示全加器电路中，A_3~$A_0=1100$，B_3~$B_0=0100$，$C_0=0$时，电路的输出是什么？
   a. Σ_3~$\Sigma_0=0000$，$C_4=0$
   b. Σ_3~$\Sigma_0=0000$，$C_4=1$

c. $\Sigma_3 \sim \Sigma_0 = 1000$，$C_4 = 0$

d. $\Sigma_3 \sim \Sigma_0 = 1000$，$C_4 = 1$

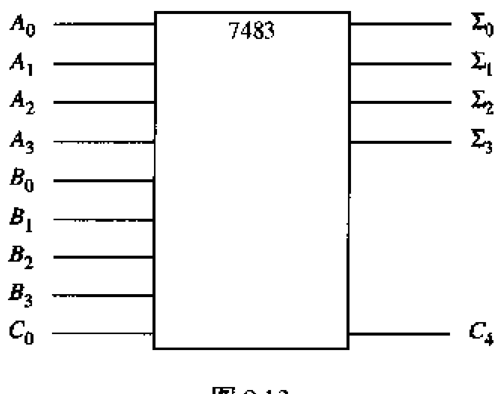


图 9.13

6. 图 9.13 所示全加器电路中，$A_3 \sim A_0 = 0100$，$B_3 \sim B_0 = 0111$，$C_0 = 1$ 时，电路的输出是什么？
   a. $\Sigma_3 \sim \Sigma_0 = 0011$，$C_4 = 0$
   b. $\Sigma_3 \sim \Sigma_0 = 1100$，$C_4 = 0$
   c. $\Sigma_3 \sim \Sigma_0 = 1101$，$C_4 = 0$
   d. $\Sigma_3 \sim \Sigma_0 = 1101$，$C_4 = 1$
7. 图 9.14 所示 8 位加法器电路中，$A_3 \sim A_0 = 0110$，$B_3 \sim B_0 = 1001$，$A_7 \sim A_4 = 0110$，$B_7 \sim B_4 = 0011$ 时，电路的输出是什么？
   a. $\Sigma_7 \sim \Sigma_0 = 1001\ 1111$，$C_4 = 0$
   b. $\Sigma_7 \sim \Sigma_0 = 1001\ 1111$，$C_4 = 1$
   c. $\Sigma_7 \sim \Sigma_0 = 1100\ 1100$，$C_4 = 0$
   d. $\Sigma_7 \sim \Sigma_0 = 1100\ 1100$，$C_4 = 1$

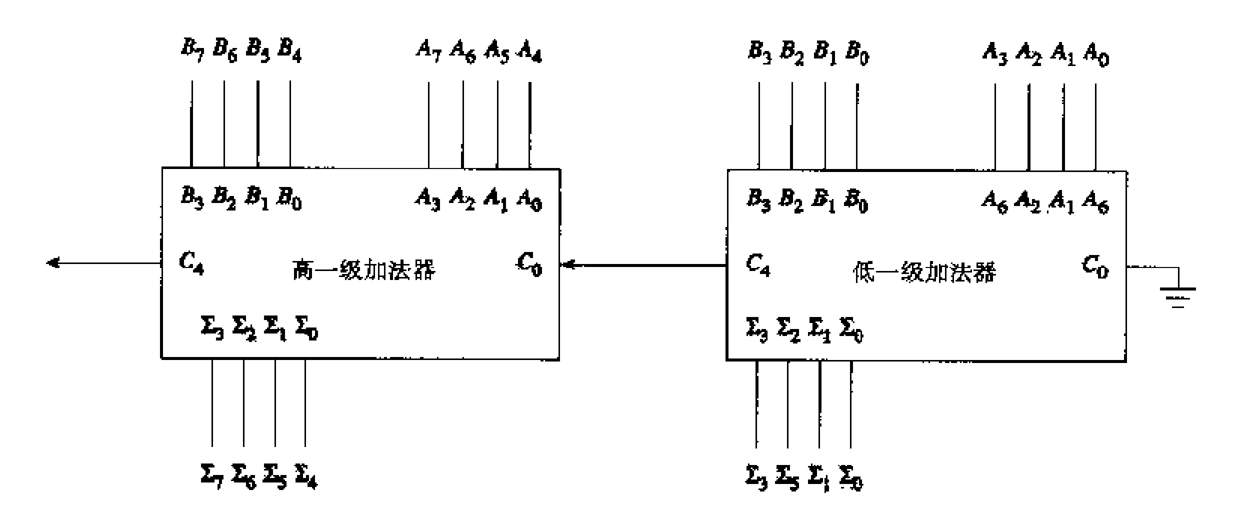


图 9.14

8. 图 9.14 所示 8 位加法器电路中，$A_3 \sim A_0 = 1000$，$B_3 \sim B_0 = 1100$，$A_7 \sim A_4 = 1001$，$B_7 \sim B_4 = 0111$ 时，电路的输出是什么？
   a. $\Sigma_7 \sim \Sigma_0 = 0100\ 0001$，$C_4 = 0$
   b. $\Sigma_7 \sim \Sigma_0 = 0100\ 0001$，$C_4 = 1$

c. $\Sigma_7 \sim \Sigma_0 = 0001\ 0100$，$C_4 = 0$

d. $\Sigma_7 \sim \Sigma_0 = 0001\ 0100$，$C_4 = 1$

9. 图 9.15 所示 BCD 修正加法器中，$A_3 \sim A_0 = 1000$，$B_3 \sim B_0 = 1001$ 时，B_2 和 B_1 输入的 BCD 修正信号的电平是什么？

   a. 低电平

   b. 高电平

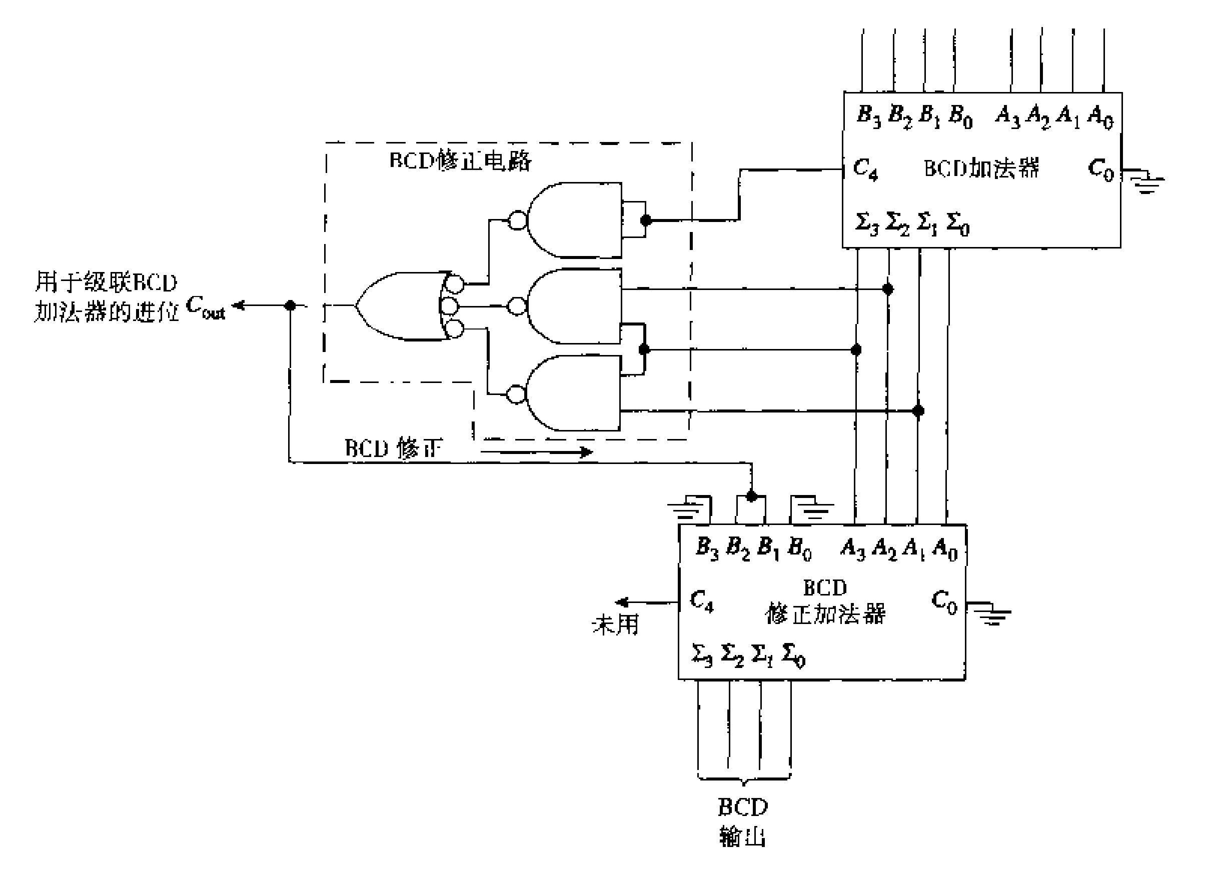


图 9.15

10. 图 9.15 所示电路中，$A_3 \sim A_0 = 0111$，$B_3 \sim B_0 = 1001$ 时，BCD 和进位输出是什么？

   a. $\Sigma_3 \sim \Sigma_0 = 0000$，$C_{out} = 0$

   b. $\Sigma_3 \sim \Sigma_0 = 0000$，$C_{out} = 1$

   c. $\Sigma_0 \sim \Sigma_0 = 0110$，$C_{out} = 0$

   d. $\Sigma_0 \sim \Sigma_0 = 0110$，$C_{out} = 1$

11. 图 9.16 所示电路中，比较输出（$A = B$）端的符号表示什么？

   a. 三态输出

   b. 低电平有效输出

   c. 集电极开路输出

   d. 施密特触发输出

12. 图 9.16 所示电路中，$M = 0$，$\overline{C}_n = 0$，$S_3 \sim S_0 = 0000$，$A_3 \sim A_0 = 1000$，$B_3 \sim B_0 = 0001$ 时，ALU 的输出是什么？

   a. $F_3 \sim F_0 = 0001$

   b. $F_3 \sim F_0 = 0010$

c. $F_3 \sim F_0 = 1000$

d. $F_3 \sim F_0 = 1001$

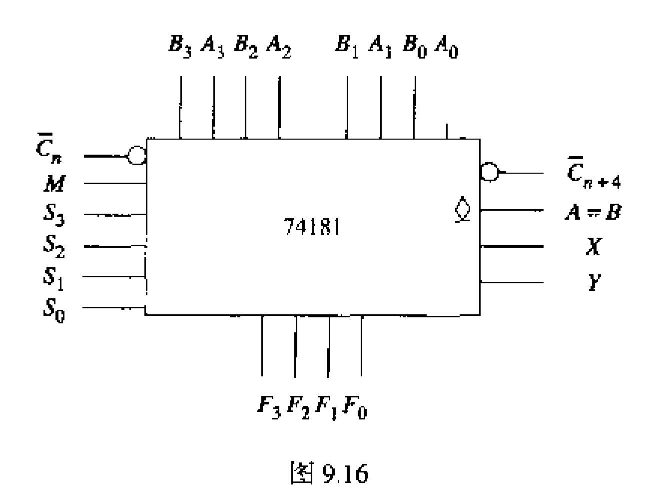
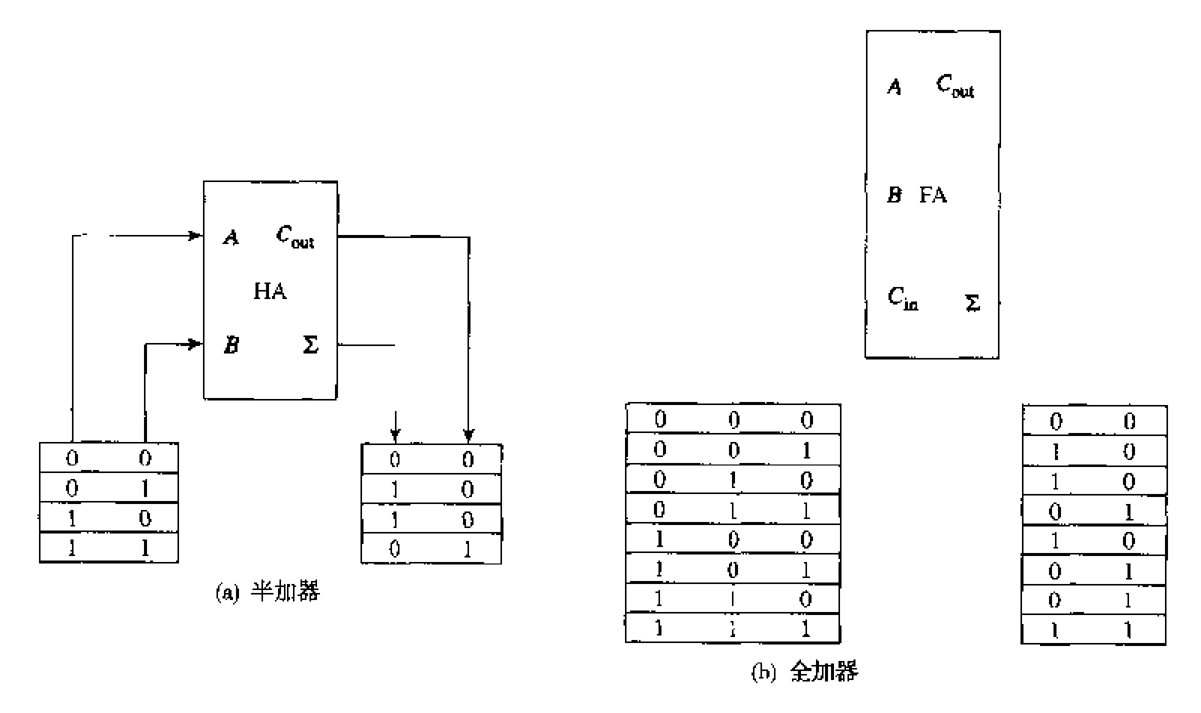


图 9.16

本章小结

半加器（HA）和全加器（FA）的框图和真值表如图9.17所示。复习一下真值表可以对二进制加法器有深刻的了解。



(a) 半加器

0	0
0	1
1	0
1	1

0	0
1	0
1	0
0	1

(b) 全加器

0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

0	0
1	0
1	0
0	1
1	0
0	1
0	1
1	1

图 9.17　框图和真值表

记住，可以通过负数的模1补码加上循环进位完成减法运算。用模2补码可以完成同样的操作，不过不用循环进位。当然，模1补码数是模2补码时需考虑循环进位。

BCD运算需要使用查错和纠错电路，以保证BCD的和有效，第2章中讨论过，这是BCD运算不方便的一点。

二进制全加器可以通过两个半加器级联以及异或、与和或门构成，每个半加器的进位输出再求或。多位加法集成芯片可以通过将进位输出与下一级进位输入相连进行级联。

减法可以通过将加法器的进位输入设为高电平，再与负数的模1补码相加完成，高进位输入产生所需要的模2补码数。模1补码可以用异或门转换而来，如9.3节所述，也可以将负数放在一个寄存器里，然后从这个寄存器中取出，再求其模1补码。另外，模1补码转换成模2补码时进位输入必须是高电平。

ALU用于完成多种算术和逻辑操作。本章讲到了ALU的算术功能，其逻辑功能在前面的章节已详细讨论过。

习题

参照制造商数据表回答下列各题。

9.1节

1. −12的模9补码是__________。
2. −148的模10补码是__________。
3. 正数的标志位的逻辑电平是什么（高还是低）？
4. 一个未知数 X 的模9补码是270，X 的带符号值是__________。
5. $1001_{(2)}$ 的模1补码是__________。
6. $1001_{(2)}$ 的模2补码是__________。
7. 加法： $1001_{(2)}$
 $+1011_{(2)}$
8. 加法： $10011011_{(2)}$
 $+00110011_{(2)}$
9. 减法： $1111_{(2)}$
 $-0011_{(2)}$
10. 减法： $1011_{(2)}$
 $-1100_{(2)}$
11. 在利用模1补码进行减法运算时，要得到两个二进制数的差值，怎样处理循环进位？
12. 乘法： $1000_{(2)}$
 $\times 11_{(2)}$

9.2节

13. 加法： $0101\ 0111_{(BCD)}$
 $+0100\ 0001_{(BCD)}$
14. 加法： $0111\ 1000_{(BCD)}$
 $+0111\ 1001_{(BCD)}$
15. $631_{(10)}$ 的XS3码__________。

9.3节

16. 图9.18所示全加器中，$A=1$，$B=1$，$C_{in}=0$ 时，电路的输出（Σ 和 C_{out}）是什么？
17. 图9.18所示全加器中，$A=0$，$B=0$，$C_{in}=1$ 时，电路的输出（Σ 和 C_{out}）是什么？
18. 图9.19所示电路的输出是什么？

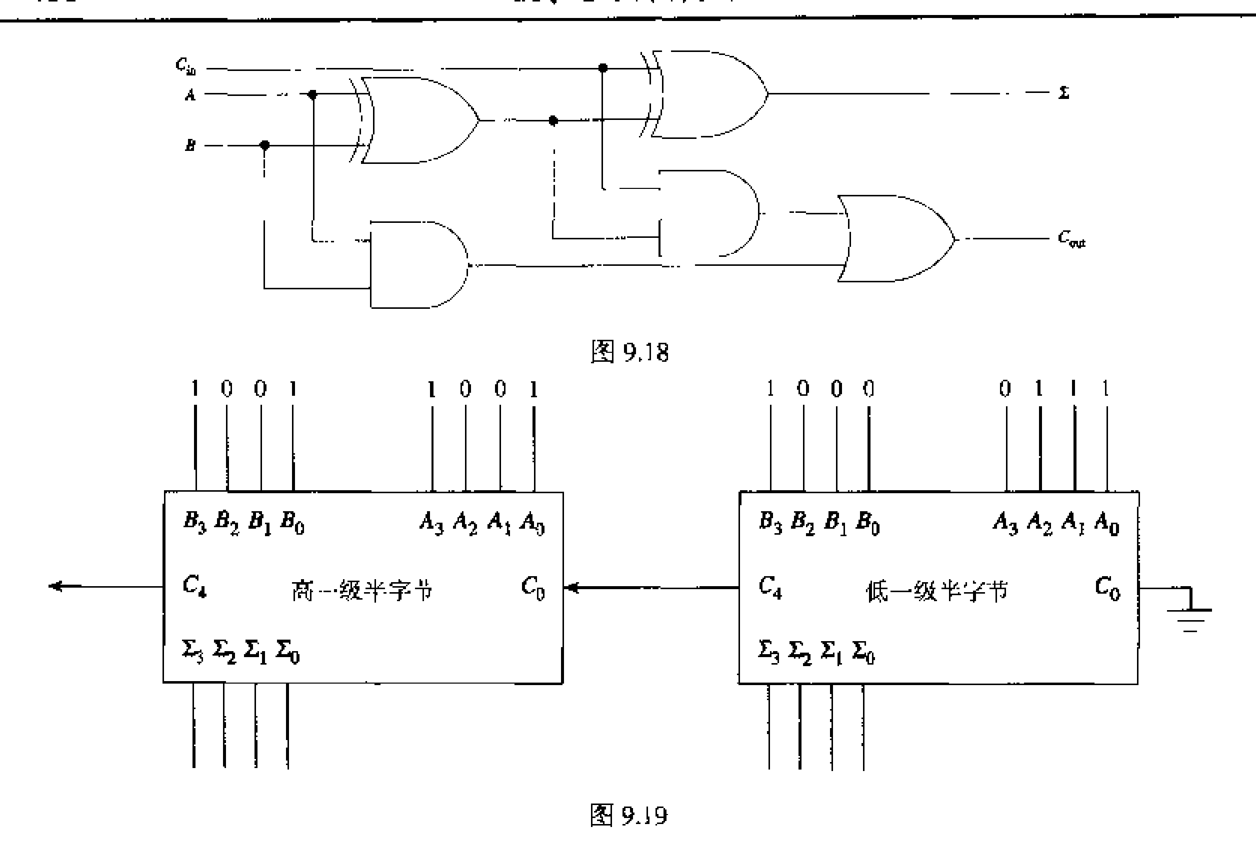


图 9.18

图 9.19

9.4 节

19. 图 9.20 所示电路的输出是什么？

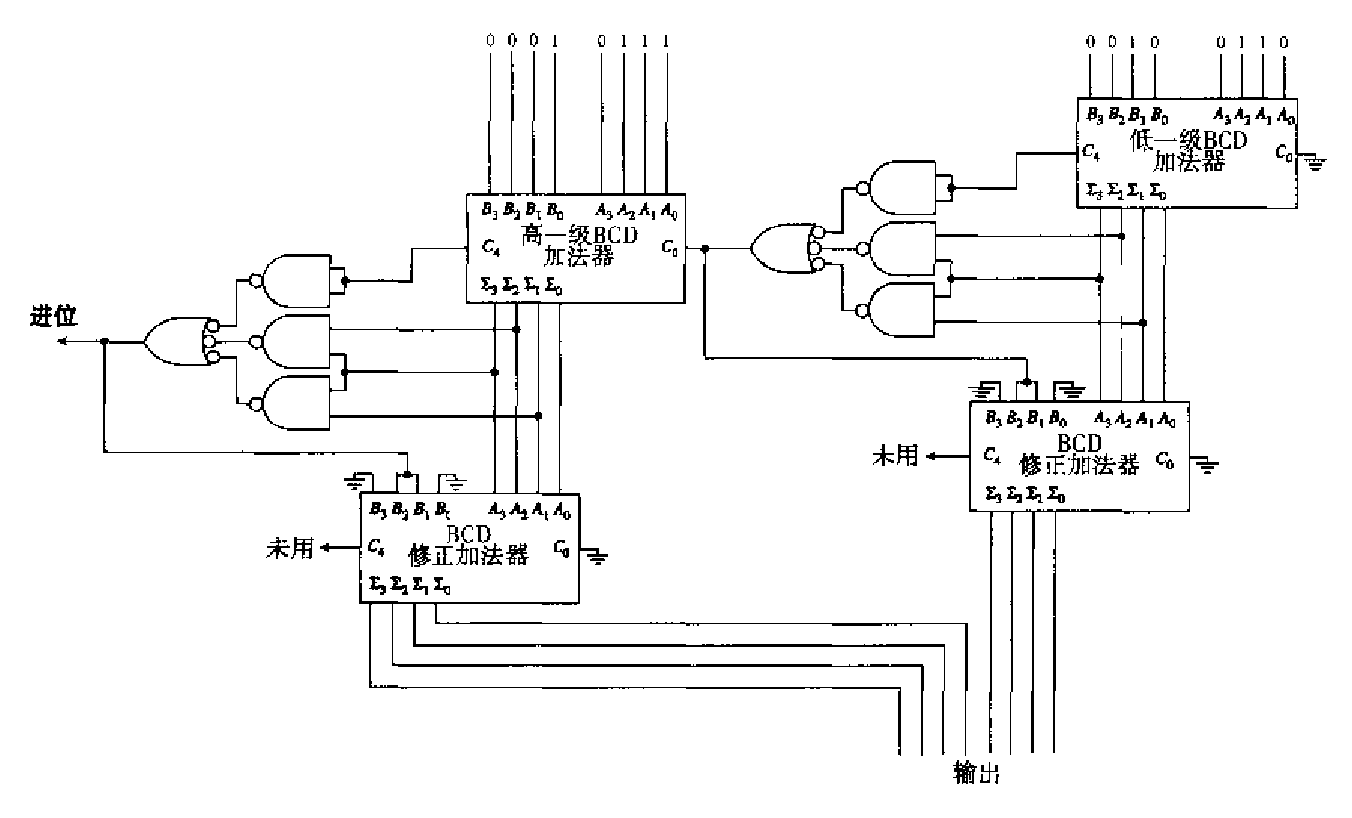


图 9.20

9.5节

20. 图9.21所示电路中，当 $M=1$ 时，74181 ALU的功能是什么？

CT 21. 图9.21所示电路中，$M=1$，$S_3{\sim}S_0=1110$，$A_3{\sim}A_0=1000$，$B_3{\sim}B_0=0001$ 时，74181 ALU的 F 输出是什么？

CT 22. 图9.21所示电路中，$M=0$，$C_n=0$，$S_3{\sim}S_0=0110$，$A_3{\sim}A_0=1100$，$B_3{\sim}B_0=0001$ 时，74181 ALU的 F 输出是什么？

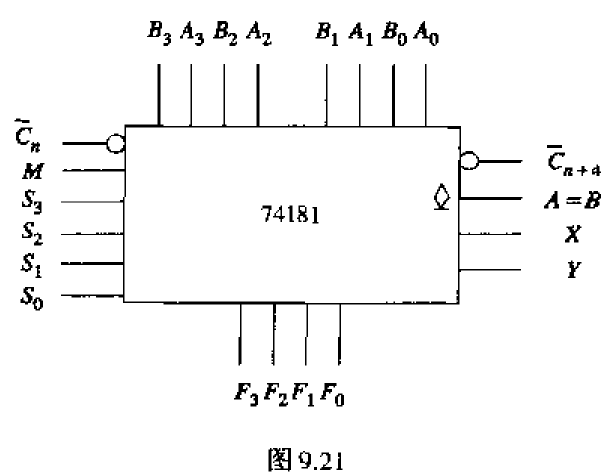


图9.21

第10章　MSI数字电路

重要术语

Code Converter　数码转换器
Decoder　译码器
Demultiplexer　数据分配器
Encoder　编码器
Leading Zero Suppression　前导零消除
Magnitude Comparator　数值比较器
Multiplexer　数据选择器
n-bit Encoder　n位编码器
1-of-n Decoder　$1/n$译码器
Priority Encoder　优先编码器
Ripple Blanking　脉动消隐

本章要点

1. 定义译码、编码、数据选择、数据分配及数值比较过程。
2. 用逻辑图或逻辑符号表示译码器、编码器、数据选择器、数据分配器或数值比较器。
3. 给出译码器、编码器、数据选择器、数据分配器及数值比较器的逻辑图或逻辑符号。
4. 确定包括一个或多个MSI芯片的电路的主要功能。
5. 描述包括一个或多个MSI芯片的电路的问题或故障状态，确定可能的输出结果。
6. 给出包括一个或多个MSI芯片的故障电路的不正确输出结果，确定其可能的故障。

概述

中规模集成芯片（MSI）在第1章曾定义过，是指由12到99个逻辑门或复杂程度与之基本相同的电路组成的芯片。本书已讲解了一些MSI数字电路，例如第7章和第8章介绍的许多计数器和寄存器集成芯片。本章主要讲解其他章节没有提到的MSI数字电路。

译码器电路用于检测输入的二进制码或数，并且通过激励其中的一个输出，说明输入的二进制码或数是什么，被激励的输出代表其中一种可能的输入组合（码）。译码器也用于将输入码或数转化成其他一些有用形式的数。它们可用于数字系统中的检测和数据循环，也广泛用于地址存储电路。

图10.1(a)所示为2-4线译码器的逻辑符号，该译码器有时也称为1/4译码器，可以检测4种可能输入的某一种，即00，01，10或11。一种输入码只能激励4个输出中的一个，例如，输入为$I_1 = 1$和$I_0 = 0$时，激励输出端O_2。

其他类型的译码器可将二进制码转换成有用的形式，而不是只有一个激励信号输出。例如，7段码显示器常用于数字系统中。如果系统采用二进制编码（BCD），那么代表0~9的数的二进制码（数）就必须转换成相应的7段码，该7段码使显示器显示出正确的数字。

编码器的功能与相应的译码器正好相反。编码器能产生对应于每个输入的不同的二进制编码，输出码取决于激励哪个输入端。4-2 线编码器的逻辑符号如图 10.1(b)所示。如果激励输入端 I_3，则输出码为 11。总之，输出的二进制数与激励的输入端的数相等。

数据选择器用于选择相应的输入数据并经相应的通路输出，也可以把数据选择器作为多点开关，用于选择不同的输入端的数据，送到一条单独的输出线路上。双通道数据选择器的逻辑符号如图 10.1(c)所示，利用选择输入端选择 *A* 或 *B* 的数据，再送到输出端输出。

数据分配器的功能与数据选择器的正好相反。数据分配器将一个输入端上的数据分配到几个输出端，其逻辑符号如图 10.1(d)所示，利用选择输入端将输入的数据分配到 *A* 或 *B* 输出端。这些 MSI 电路的应用将在 10.6 节中详细介绍。

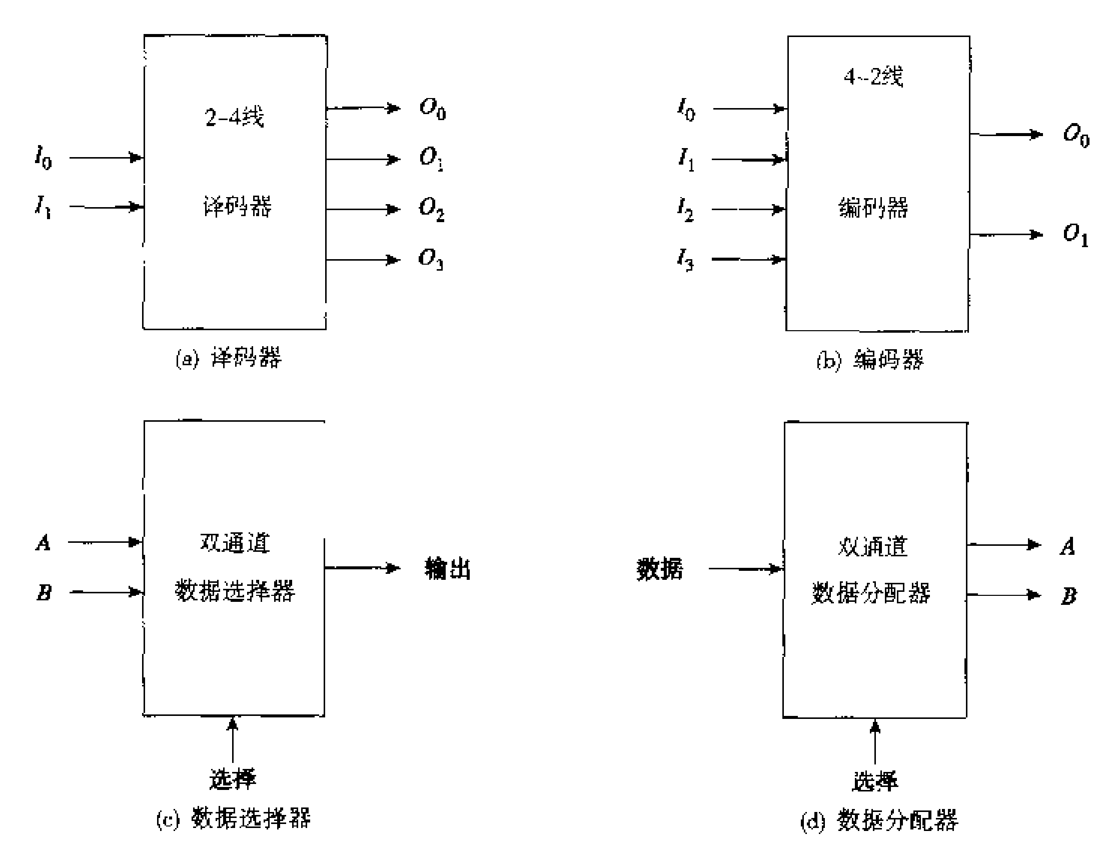


图 10.1　逻辑符号

10.1　译码器

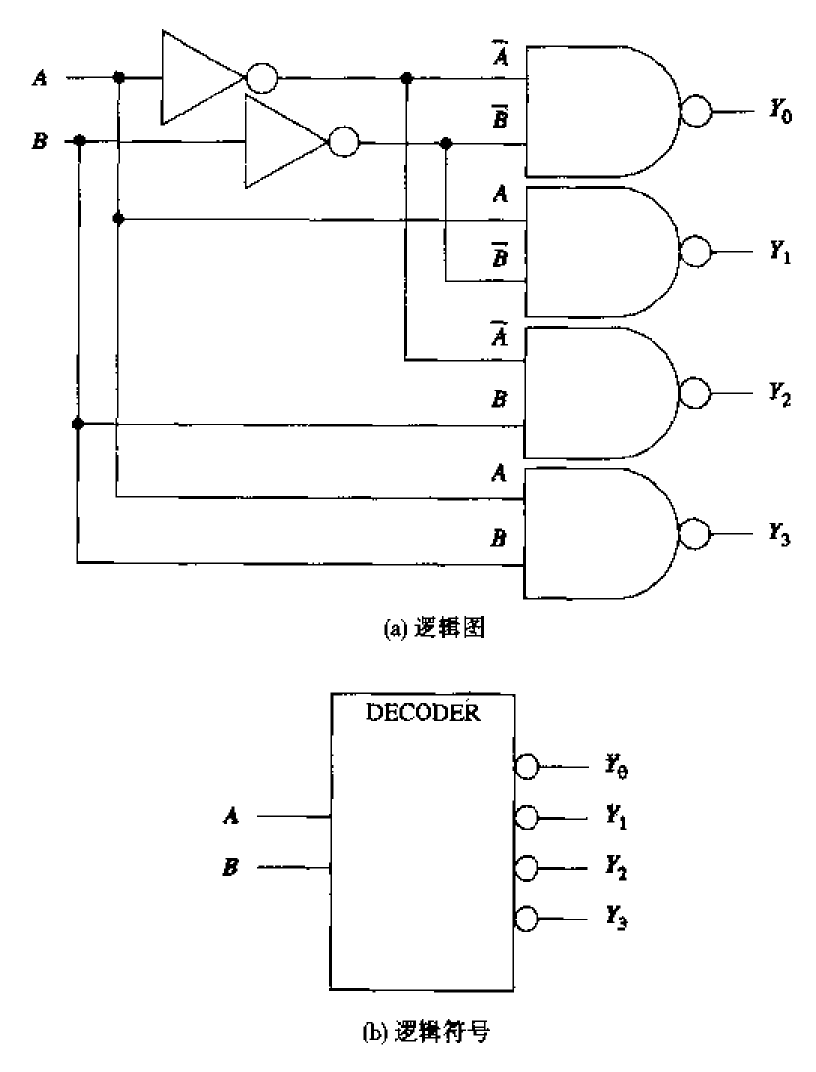
要点

1. 定义译码的概念，说明译码器电路的功能。
2. 给出标有输入电平的译码器的逻辑图或逻辑符号，确定电路，决定其输出。

检测并确定二进制数或码的过程称为译码。本节介绍两种不同类型的基本译码器，第一种用来检测输入端的二进制码或数并激励其中一个输出端，这个被激励的输出端代表输入端的二进制码或数。第二种译码器用来检测一个二进制码或数并将其转换成另外一种码，比如驱动 7 段码显示器的 7 段码，这类译码器也称为代码转换器。

10.1.1 2-4 线译码器

2-4 线译码器的逻辑图及符号如图 10.2 所示，其 AB 输入是两位二进制码或数，A 输入是 LSB 数/码，输出 Y_0~Y_3 表示 AB 输入的是哪一个两位码。图 10.2(b)所示的逻辑符号表示该译码器是低电平输出有效。



(a) 逻辑图

(b) 逻辑符号

图 10.2 2-4 线译码器

如果输入 $AB = 00$，则输出端 Y_0 为低电平，而其他 3 个输出端保持为高电平。输入组合和输出结果之间的关系如表 10.1 所示。该电路常称为 1/4 译码器，因为 4 个可能的输入组合中的每一个只对应一个有效输出。

表 10.1 1/4 译码器功能表

输入		输出			
B	A	Y_3	Y_2	Y_1	Y_0
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

1/4 译码器的逻辑图如图 10.2(a)所示。图中标出的逻辑电平可以验证表 10.1 所示的功能表及实现译码器功能的逻辑电路。

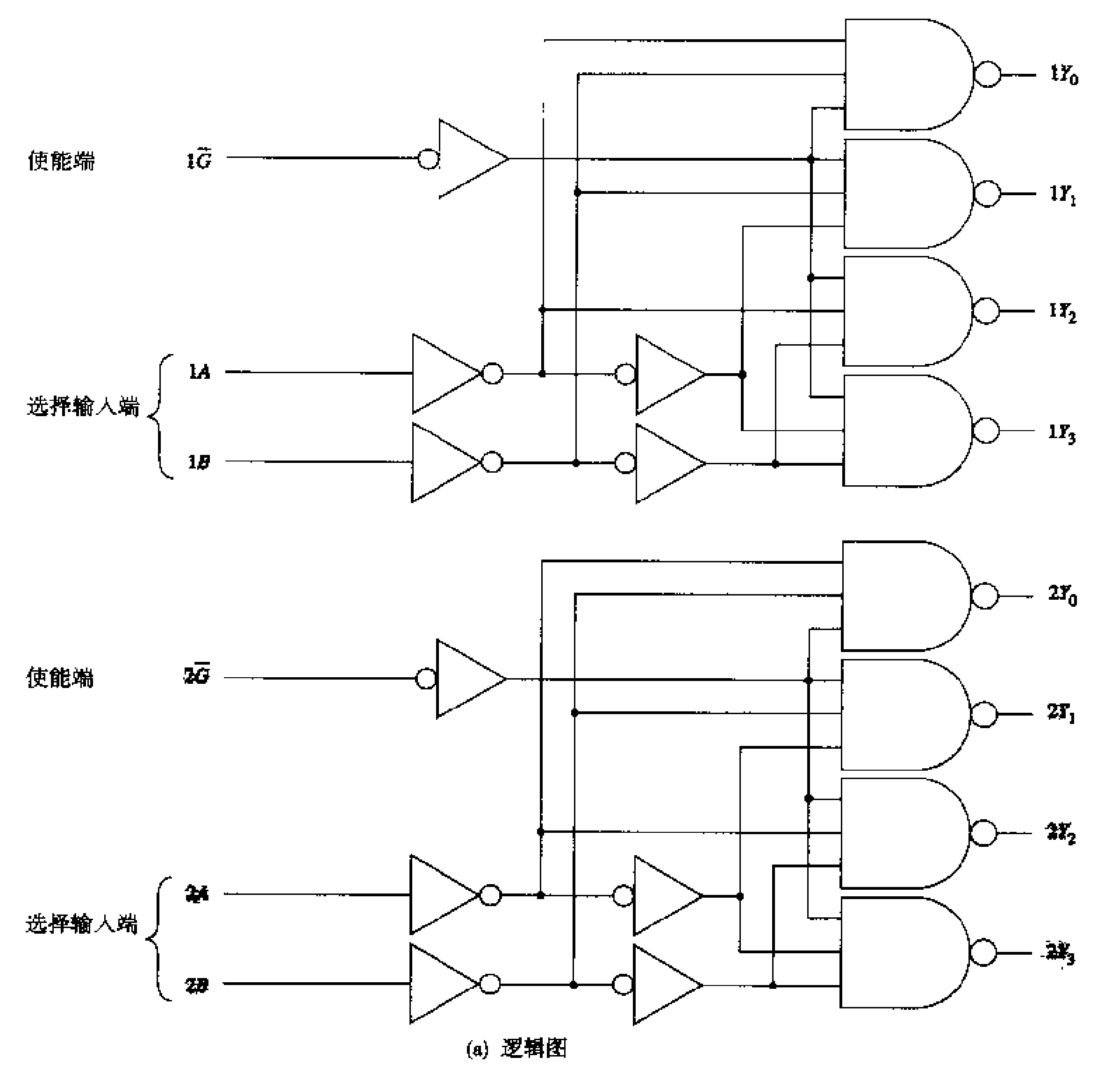
$B=0$ 和 $A=0$

输入经取非变成逻辑高电平送到最上面的与非门的输入端，因此该与非门的输出（Y_0）为低电平，这说明输入的二进制数是 00。其他几个与非门中都至少有一个是低电平输入，从而保证它们的输出是高电平（无效）。

其他 3 个输入组合作用下的工作过程与此相同。其他一些 1/n 译码器的原理与这种基本译码器的原理相同，因此在系统的数字框图中常用这个逻辑符号代表这种电路。

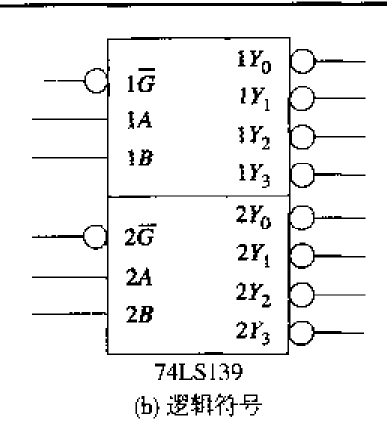
74LS139

这种双 2-4 线译码器的逻辑图和符号如图 10.3 所示。图 10.3(a)所示的这种芯片的逻辑图与图 10.2(a)所示的一般的 2-4 线译码器几乎相同。



(a) 逻辑图

图 10.3 74LS139，双 2-4 线译码器



(b) 逻辑符号

图 10.3（续） 74LS139、双 2-4 线译码器

图10.3(a)所示的74LS139译码器与前面提到的一般的译码器有一个明显的不同，它有一个使能输入端（$\bar{G}$），这个使能输入端必须是低电平才能使译码器正常工作；如果是高电平，所有的与非门都被禁止，它们的输出都无效（高电平）。从表 10.2 所示的功能表中可以看出这一点。注意，使能端无效时，选择输入与输出无关。该译码器的使能输入端也可作为数据分配器的一个数据输入端，74LS139 作为数据分配器的应用在 10.4 节中介绍。

表 10.2 74LS139 译码器功能表

输入			输出			
使能端	选择端					
$\bar{G}$	B	A	Y_3	Y_2	Y_1	Y_0
1	X	X	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

74LS139电路就是将两个独立的2-4线译码器集成在一个芯片上。每个译码器都有自己的使能输入端，图 10.3(b)所示为其逻辑符号，它有两组选择输入端（1A 和 1B 或 2A 和 2B），每个译码器可以产生 $2^2 = 4$ 个输出，且在任何时候都只激励一个输出。

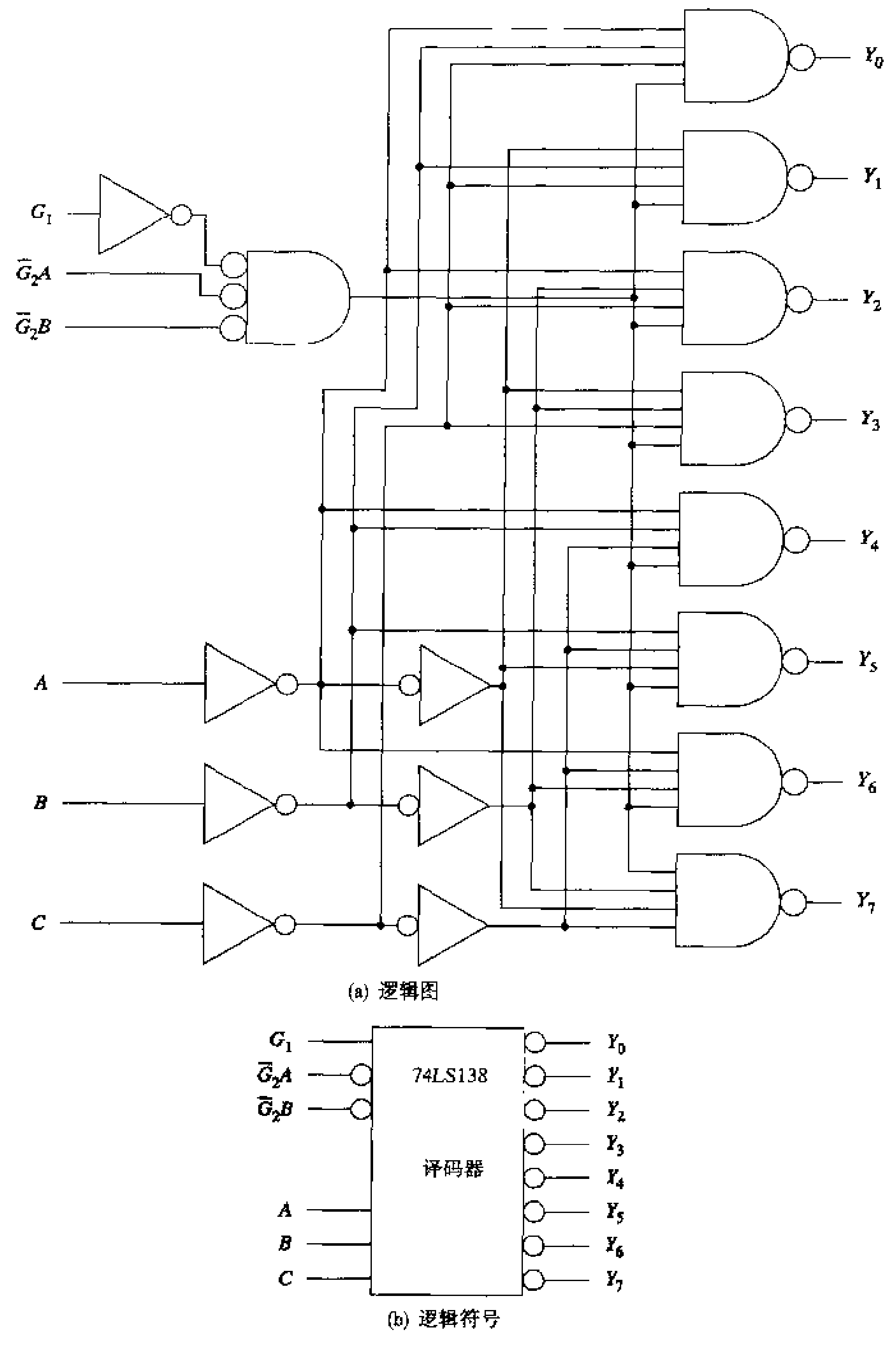
10.1.2 3-8 线译码器

这种译码器有 8 种可能的输入组合，只有 1 个输出端有效，输入数据从 3 个选择输入端输入。

74LS138

3-8 线译码器的逻辑图和逻辑符号如图 10.4 所示。74LS138 包括两个低电平有效（$\bar{G}_2A$ 和 $\bar{G}_2B$）和 1 个高电平有效（G_1）的使能输入端，这些使能端必须都有效，该译码器才能正常工作。其逻辑符号如图 10.4(b)所示，两个 $\bar{G}$ 输入必须都是低电平且 G_1 必须是高电平，输出才有效。这三个使能输入可以扩展最小的内部控制电路。

在图 10.4(a)所示的逻辑图中，使能端与一个或非门相连。或非门的输入全为低电平时，其输出是高电平，且该输出使各与非门工作，这个或非门只要有一个输入是高电平，就使各与非门禁止。注意，G_1 输入先取非再送入或非门。该译码器在选择输入（CBA）有效时将激励相应的一个输出，表 10.3 的功能表说明了其工作过程。这类译码器又称 $1/n$ 译码器，因为某一种输入码或数只能激励一个输出。



(a) 逻辑图

(b) 逻辑符号

图10.4　74LS138，3-8线译码器

图10.5所示电路包括两个74LS138作为1/16译码器，不需要内部控制电路。该电路也可以扩展成1/24译码器且不需要增加电路。要扩展成1/32译码器需要一个非门。

表 10.3 74LS138 译码器功能表

输入						输出							
使能端			选择端										
G_1	$\bar{G}_2A$	$\bar{G}_2B$	C	B	A	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1

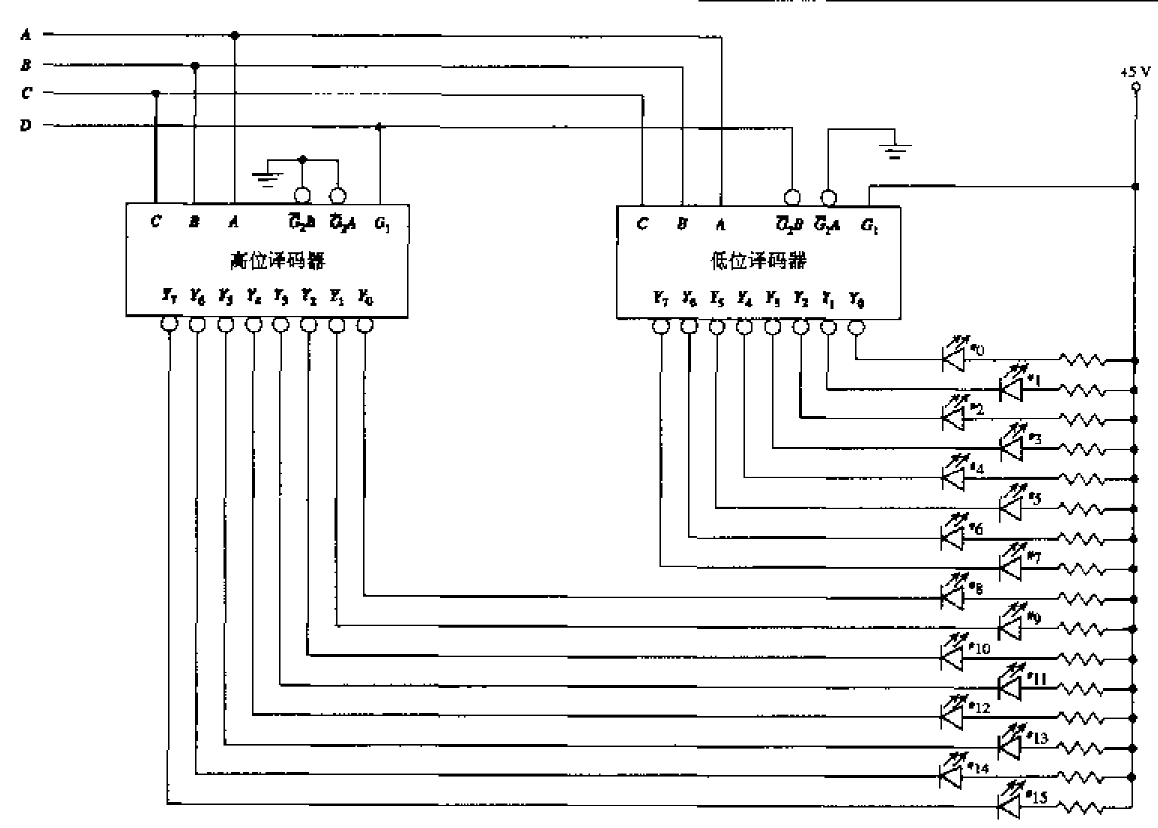


图 10.5 74LS138 芯片构成的 1/16 译码器

1/16 译码器的 16 个输入组合为：

D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1

0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

D输入用于选通两个译码器中的某一个，0000~0111（D~A）使低位译码器工作而高位译码器不工作，1000~1111使低位译码器不工作而高位译码器工作。

当电路的输入$D=1$、$C=$ ，$B=0$和$A=0$时，哪一个译码器工作？哪一个输出有效呢？$D=1$使高位译码器工作，因为这个输入端与G_1使能端相连，且$\bar{G}_2A$和$\bar{G}_2B$都接地。低位译码器通过硬件电路将G_2A端始终接地，G_1始终接高电平，但是，$D=1$使$\bar{G}_2B$输入端为高电平，因此低位译码器不工作

$D=1$使高位译码器工作，且选择输入为100（C~A），因此激励其输出端Y_4，Y_4保持为低电平，使发光二极管LED 12发光，其他输出端都保持为高电平，因此相应的LED都不发光。如果输入为0101，则该电路中的高位译码器不工作，低位译码器工作，且LED 5发光。

图10.5中每个LED都与一个限流电阻串联，该电路是用来保护LED的。LED发光时，其典型压降大约为2 V，因此限流电阻上的压降必须是2.7 V，译码器的输出（低电平）大约为0.3 V才有效，LED的最大正向电流典型值为25~30 mA，因此要保证该电路安全工作，LED的电流设为10~20 mA，

LED电流为10 mA时，$R_S = 2.7\ \text{V} / 10\ \text{mA} = 27\ \Omega$

LED电流为20 mA时，$R_S = 2.7\ \text{V} / 20\ \text{mA} = 135\ \Omega$

下列阻值的限流电阻都能将流过LED的电流限制在安全值上：150 Ω，180 Ω，220 Ω或270 Ω。图10.5所示的两个译码器可以封装在一个单独的74154芯片上。74154是一种4-16线译码器，在存储译码电路中应用十分广泛。

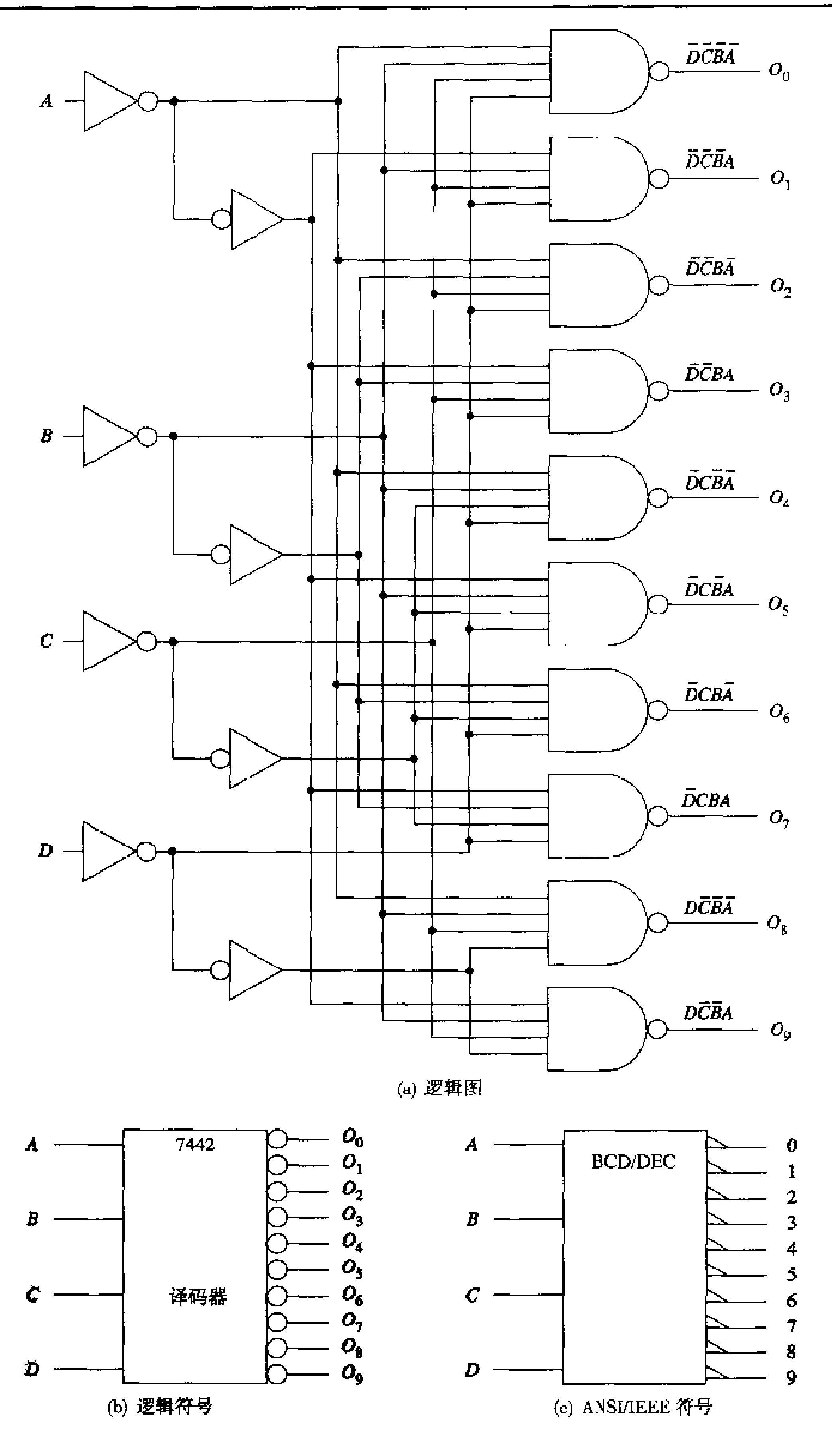
10.1.3　4-10线译码器

这类译码器也称为BCD-十进制译码器，这种1/10译码器的工作方式与前面介绍过的相同，即BCD码（$0000\text{~}1001_{(BCD)}$）作为电路的输入，激励其中一个输出，该输出表示十个可能的BCD码中哪一个为输入。

7442

4线BCD码-10线十进制码译码器如图10.6所示，图10.6(a)所示的逻辑图中有4个输入端（D~A）和10个低电平有效的输出端（O_9~O_0）。因为其输出是低电平有效，所以常用$\bar{O}_9$~$\bar{O}_0$来表示。图10.6(b)中输出端用圆圈表示电平符号；图10.6(c)中输出端用低电平有效符号表示ANSI/IEEE符号。

假设输入的BCD码为0111，图10.6(a)的逻辑图中输出的逻辑电平表示此时输出端7（O_7）有效，为低电平，其他几个输出端的与非门都禁止，其输出都是无效的高电平，如表10.4所示。



(a) 逻辑图

(b) 逻辑符号

(c) ANSI/IEEE 符号

图 10.6 7442，4 线 BCD-10 线十进制译码器

表10.4 7442译码器功能表

#	BCD输入				输 出									
	D	C	B	A	O_9	O_8	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	1	1	0	1
2	0	0	1	0	1	1	1	1	1	1	1	0	1	1
3	0	0	1	1	1	1	1	1	1	1	0	1	1	1
4	0	1	0	0	1	1	1	1	1	0	1	1	1	1
5	0	1	0	1	1	1	1	1	0	1	1	1	1	1
6	0	1	1	0	1	1	1	0	1	1	1	1	1	1
7	0	1	1	1	1	1	0	1	1	1	1	1	1	1
8	1	0	0	0	1	0	1	1	1	1	1	1	1	1
9	1	0	0	1	0	1	1	1	1	1	1	1	1	1
I														
\	1	0	1	0	1	1	1	1	1	1	1	1	1	1
\	1	0	1	1	1	1	1	1	1	1	1	1	1	1
A	1	1	0	0	1	1	1	1	1	1	1	1	1	1
L	1	1	0	1	1	1	1	1	1	1	1	1	1	1
I	1	1	1	0	1	1	1	1	1	1		1	1	1
D	1	1	1	1	1	1	1	1	1	1		1	1	1

表10.4也列出了译码器输出端都无效时的几种无效输入码（1010~1111）。例如，输入端为无效的1111，在逻辑图标出的逻辑电平中就没有相应的输出。输入端的非门输出为低电平时就使译码器相应的与非门禁止，此时输出端无效（高电平）。

10.1.4 BCD-7段码译码器

译码器不只用于1/n译码，也可用于数字LED显示器之类的设备中，这些显示器有两种基本类型，因此至少需要两种不同的译码器。这些显示器的基本要求是首先要有译码器驱动电路．这些数字LED显示器一般称为7段码显示器，其外形如图10.7所示，各个7段码对应的字母是标准的字母，且易于传送到存储器。

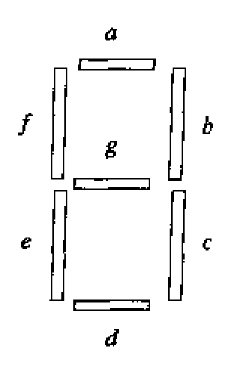
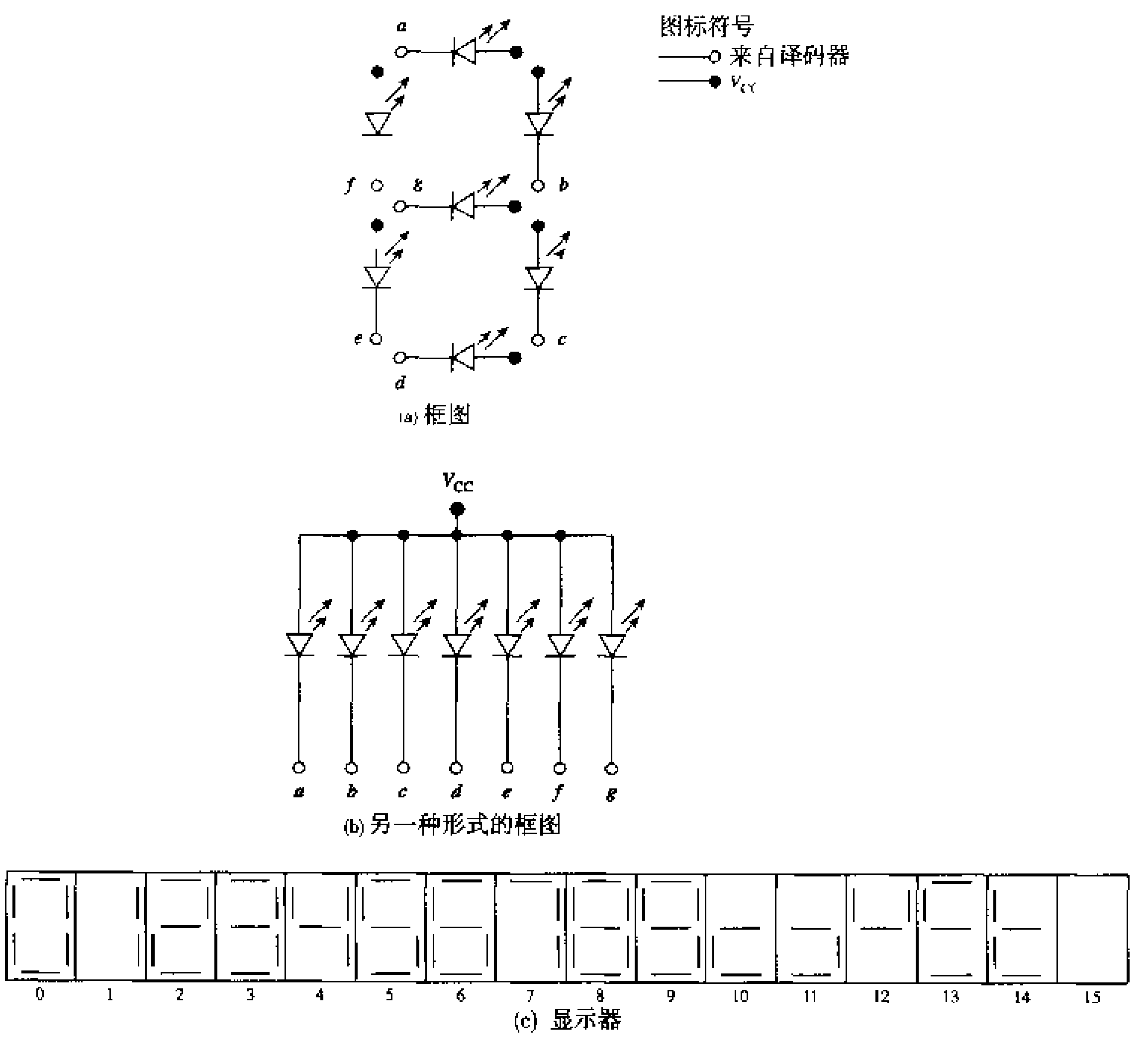


图10.7 7段码显示器外形

阳极为公共端的7段码显示器

该显示器的7段码中每一段都是一个发光二极管（LED），阳极为公共端的7段码显示器如图10.8(a)所示，每段（a~g）如图所示。这类阳极为公共端的显示器，其阳极都接V_{CC}，通常是各段阳极两两相连再接V_{CC}，图10.8(b)为框图的另一种表示形式，它们各段的阳极都连在一起。



(a) 框图

(b) 另一种形式的框图

(c) 显示器

图 10.8 阳极为公共端的 7 段码显示器

该显示器对应于译码器的每一个BCD输入码的显示如图10.8(c)所示，标准的BCD-7段码译码器在BCD输入无效时也有输出显示，如图所示，这些显示有时可以用来对系统进行测试或故障诊断。

图 10.9 所示的逻辑电路包括一个BCD计数器，BCD-7段码译码器/驱动器和一个阳极为公共端的7段码显示器，该译码器电路的输出必须为有效的低电平才能使各段发光，因为它是阳极为公共端的显示器。

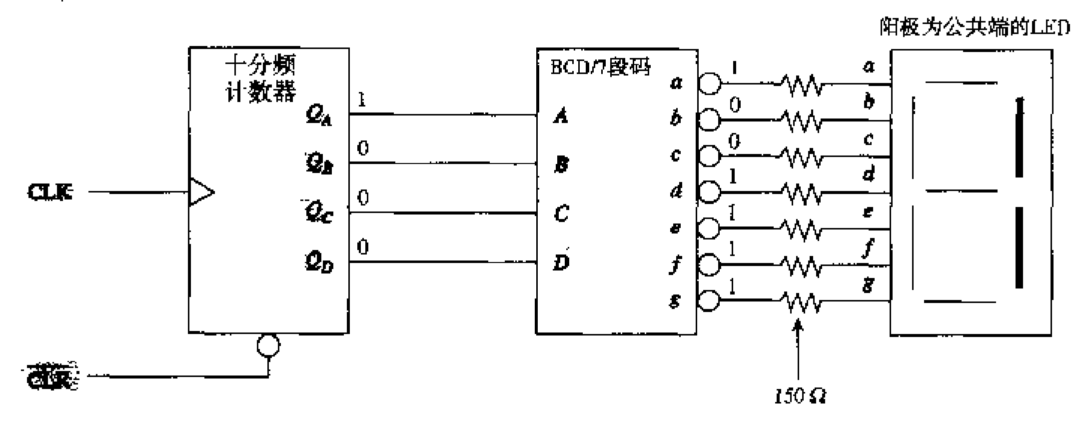


图 10.9 BCD 计数器、译码器和 7 段码显示器

在图10.9中，若BCD计数器的输入为0001，则显示器的b段和c段发光，因为译码器的b和c的输出为低电平，而其他的输出都为高电平。

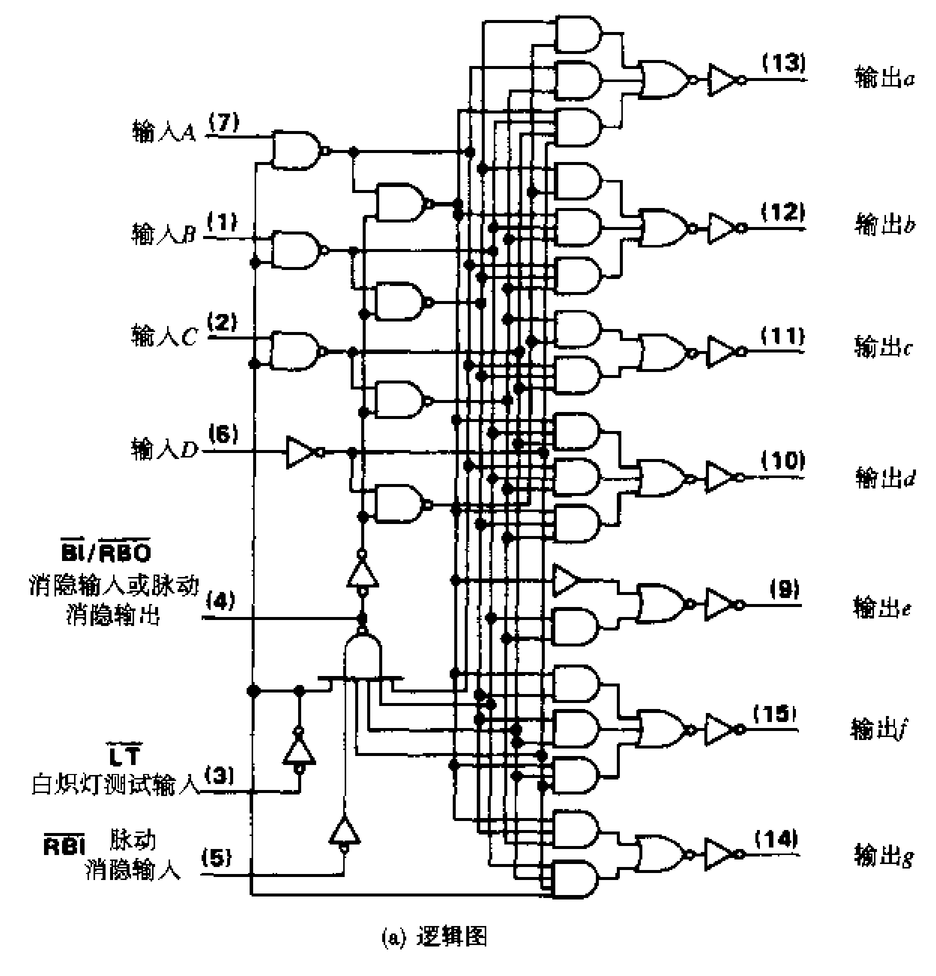
阳极为公共端的7段显示器的7段码如表10.5所示，前面的例子表明译码器的b和c的输出必须是低电平才能显示出1，从表中可以看出这一点。对于表中给出的各个BCD码，必须使各段为低电平才能使其发光，高电平使其不发光。

表10.5　阳极为公共端的7段码显示

数字	输出						
	a	b	c	d	e	f	g
0	0	0	0	0	0	0	1
1	1	0	0	1	1	1	1
2	0	0	1	0	0	1	0
3	0	0	0	0	1	1	0
4	1	0	0	1	1	0	0
5	0	1	0	0	1	0	0
6	0	1	0	0	0	0	0
7	0	0	0	1	1	1	1
8	0	0	0	0	0	0	0
9	0	0	0	0	1	0	0

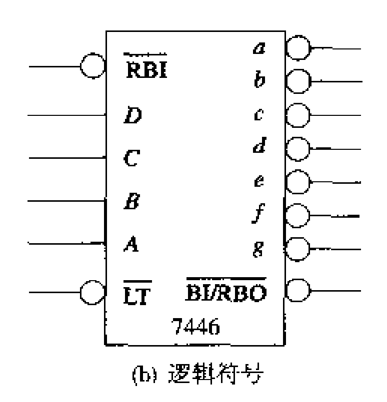
7446

该BCD-7段码译码器/驱动器的逻辑图如图10.10所示，7446用来驱动阳极为公共端的发光二极管或白炽灯显示器。该译码器的显示模式与图10.8(c)所示的7段码显示器的相同。



(a) 逻辑图

图10.10　7446，阳极为公共端的BCD-7段码译码器



(b) 逻辑符号

图 10.10（续）　7446，阳极为公共端的BCD-7段码译码器

7446的功能表如表10.6所示，该表与表10.5相比扩展了许多，7446的功能表包括无效的BCD码输入和一些特殊功能的输入。该译码器的工作原理与前面讨论过的基本相同，只是它必须有不只一个输出端是低电平时才能使多段发光管发光。这种器件一般也称为数码转换器，因为它能将一种码（BCD）转换成另一种码（段码）。

这种译码器的特殊功能输入/输出在以后讨论。

表 10.6　7446 译码器功能表

十进制或功能	输入							输出						
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A	$\overline{BI}/\overline{RBO}$	a	b	c	d	e	f	g
0	1	1	0	0	0	0	1	ON	ON	ON	ON	ON	ON	OFF
1	1	X	0	0	0	1	1	OFF	ON	ON	OFF	OFF	OFF	OFF
2	1	X	0	0	1	0	1	ON	ON	OFF	ON	ON	OFF	ON
3	1	X	0	0	1	1	1	ON	ON	ON	ON	OFF	OFF	ON
4	1	X	0	1	0	0	1	OFF	ON	ON	OFF	OFF	ON	ON
5	1	X	0	1	0	1	1	ON	OFF	ON	ON	OFF	ON	ON
6	1	X	0	1	1	0	1	ON	OFF	ON	ON	ON	ON	ON
7	1	X	0	1	1	1	1	ON	ON	ON	OFF	OFF	OFF	OFF
8	1	X	1	0	0	0	1	ON	ON	ON	ON	ON	ON	ON
9	1	X	1	0	0	1	1	ON	ON	ON	ON	OFF	ON	ON
10	1	X	1	0	1	0	1	OFF	OFF	OFF	ON	ON	OFF	ON
11	1	X	1	0	1	1	1	OFF	OFF	ON	ON	OFF	OFF	ON
12	1	X	1	1	0	0	1	OFF	ON	OFF	OFF	OFF	ON	ON
13	1	X	1	1	0	1	1	ON	OFF	OFF	ON	OFF	ON	ON
14	1	X	1	1	1	0	1	OFF	OFF	OFF	ON	ON	ON	ON
15	1	X	1	1	1	1	1	OFF	OFF	OFF	OFF	OFF	OFF	OFF
BI	X	X	X	X	X	X	0	OFF	OFF	OFF	OFF	OFF	OFF	OFF
RBI	1	0	0	0	0	0	0	OFF	OFF	OFF	OFF	OFF	OFF	OFF
LT	0	X	X	X	X	X	1	ON	ON	ON	ON	ON	ON	ON

下列图标符号有助于理解7446：

$\overline{BI}$ = 低电平有效的消隐输入

$\overline{RBI}$ = 低电平有效的脉动消隐输入

$\overline{RBO}$= 低电平有效的脉动消隐输出

$\overline{LT}$= 低电平有效的白炽灯测试

由功能表（表 10.6）可以看出，消隐输入 $\overline{BI}$ 有效时所有的发光管都熄灭。

在几个译码器驱动多路7段码显示器时，脉动消隐信号在显示单元中用于消除前导零。前导零消除是消除数字中的前导零的方法。如果6个译码器驱动6个显示器，且显示数据为011146，进行前导零消除后，实际的显示数据为11146。同理，若要显示001146，则有两个前导零消除，实际显示数据为1146。当输入数据为011146时，要完成该功能，MSD 译码器的 $\overline{RBI}=0$，$\overline{LT}=1$，$DCBA=0000$。由表 10.6 中可以看出，在该输入条件下，MSD 的所有数码管都熄灭，且 RBO 变为低电平。如果 RBI 为高电平或悬空，则无法进行前导零消除。

在多路显示器中，前导零消除是通过将 MSD 显示译码器的 $\overline{RBI}$ 与低电平相连，且其 $\overline{RBO}$ 与下一级的 RBI 相连来完成的。连续的前导零消除方法是将 $\overline{RBO}$ 与下一级的 $\overline{RBI}$ 相连，一直到 LSD。

当译码器的消隐输入（BI）为低电平时，所有的数码管都熄灭；当它悬空或为高电平时，显示器的各段才正常工作。BI悬空或为高电平且 $\overline{LT}$ 为低电平时，所有的数码管都发光。在测试或故障诊断时，LT 输入用来确定有故障的数码管。7446具有集电极开路输出的特性，该特性将在第 11 章详细讨论。

阴极为公共端的 7 段码显示器

阴极为公共端的7段码显示器如图10.11(a)所示，图中的符号表示所有7段码的阴极都接地。一般每个显示器单元有两个引脚要与电路的地相连，图10.11(b)所示结构图中各个阴极都连在一起接地。

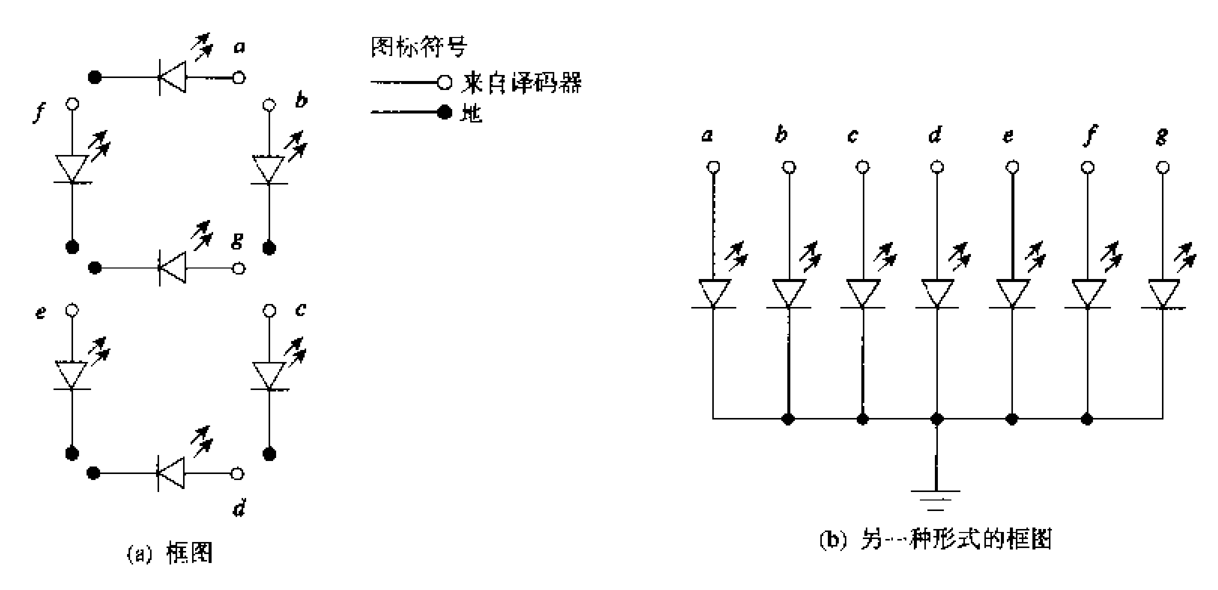


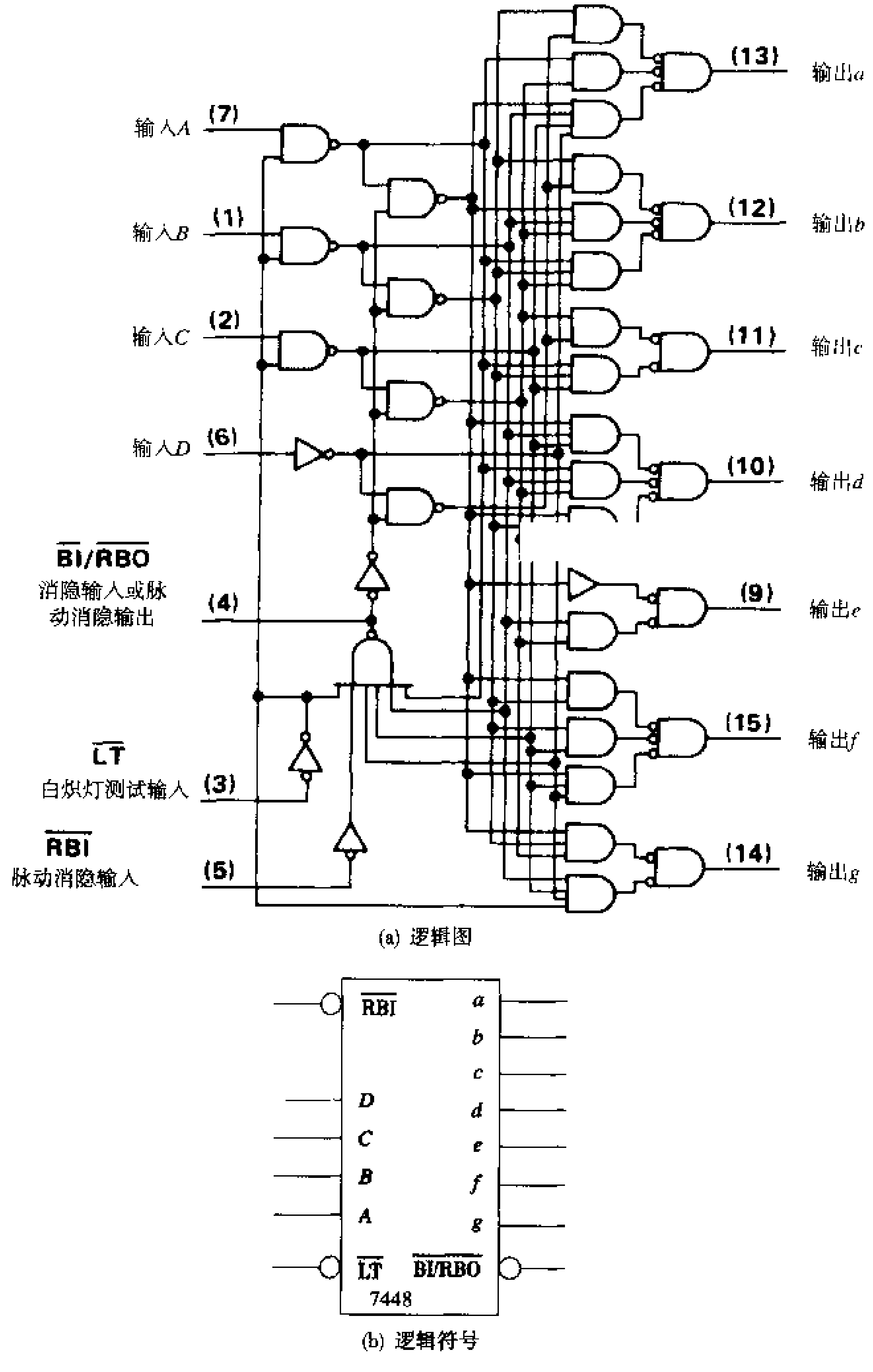
图 10.11　阴极为公共端的 7 段码显示器

译码器输出的7段码与相应的各段（a~g）的阳极相连，这说明译码器的输出必须为高电平时才能激励各段发光，因此它的7段码（a~g）正好与表 10.5 所示的相反。

7448

7448 BCD-7段码译码器/驱动器的逻辑图及符号如图10.12所示，该集成芯片高电平输出有效，它的输出可以驱动阴极为公共端的 LED。

表 10.6 所示的 7446 译码器的功能表也同样适用于 7448。记住，7446 产生低电平输出来激励阳极为公共端的显示，而7448则是产生高电平输出来激励阴极为公共端的显示器的各段，两种译码器的功能表可以通用，原因在于表 10.6 所示的 a~g 的输出就是使各段码（a~g）发光或熄灭，7448 译码器 / 驱动器的特殊功能与 7446 的相同，它的功能也是消隐、前导零消除及白炽灯测试。



(a) 逻辑图

(b) 逻辑符号

图 10.12 阴极为公共端的 7448 BCD-7 段码译码器

在模16计数器或其他设备需要显示十六进制数字时，译码器也可以产生相应的输出显示。9368 就是这样一种 7 段码译码器 / 驱动器 / 存储器集成芯片，0~9 的数字显示和 A~F 的显示如图 10.13 所示。注意这些显示与图 10.8(c)所示的 7446 和 7448 的显示的区别，b 和 d 的十六进制数是小写字母的形式，是为了与数字 8 和 0 相区分，其他的十六进制数都是以大写字母形式显示的。

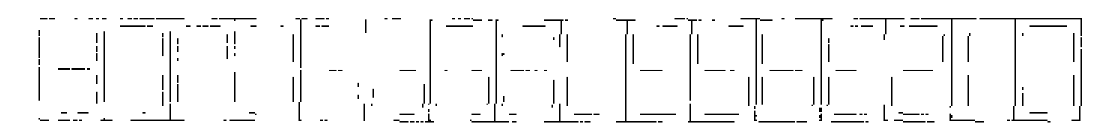


图 10.13　7 段码显示器的十六进制显示

本节讨论的译码器有两种基本类型。第一种是检测二进制数/码，并激励对应于这个输入的某一条输出电路。第二种是将输入的数转换成合适的码去驱动 7 段码显示器。还有一种译码器可以驱动液晶显示、打印机和阴极射线管（CRT）。

10.1 节复习题

A. 描述两种基本的译码器。

B. 若 1/4 译码器的输入为 11_2，则哪个输出有效？

C. 74LS138 译码器（图 10.4）的输入为 $A = B = C = \overline{G}_2A = \overline{G}_2B = 0$，$G_1 = 1$，此时哪个输出端有效？

D. 74LS138 译码器（图 10.4）的输入为 $A = B = C = 1$，$G_2A = G_2B = G_1 = 0$，此时哪个输出端有效？

E. BCD－十进制译码器是一种________－________线译码器。

F. 要使阳极为公共端的 7 段码显示器发光，相应的 7 段码译码器的输出逻辑电平是什么？

G. 什么叫前导零消除？

10.2　编码器

要点

1. 定义编码的概念，描述编码器电路的功能。
2. 给出标有输入电平的编码器的逻辑图或逻辑符号，确定电路，决定其输出。

编码是产生某种二进制码或数的过程。编码器的功能与前面介绍的基本译码器功能正好相反。译码器是检测一个二进制码并将其转换成单独的有效输出，编码器则是检测一个有效的输入并将其转换成二进制数或码输出，键盘就是这样一个例子，将按下的每个键转换成一个特定的二进制码。第 2 章介绍的 ASCII 码就是当 PC 机的某一个键被按下时通过编码器转换成 7 位扫描码而得到的。

10.2.1　4-2 线编码器

4-2 线编码器的逻辑图和逻辑符号如图 10.14 所示，从逻辑符号可以看出这种编码器的输入（I_0~I_3）是高电平有效，其编码原理是激励一个输入端，然后将其转换成一个码或二进制数。如果图中输入 I_1 为高电平，其他几个输入为低电平，输出将为 01（$O_1\,O_0$）。输出的二进制码与有效输入相对应。该电路只有 4 种可能的输入码，但在同一时间只有一个输入有效，输入码如表 10.7 所示。

表 10.7　4-2 线编码器功能表

输入				输出	
I_3	I_2	I_1	I_0	O_1	O_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

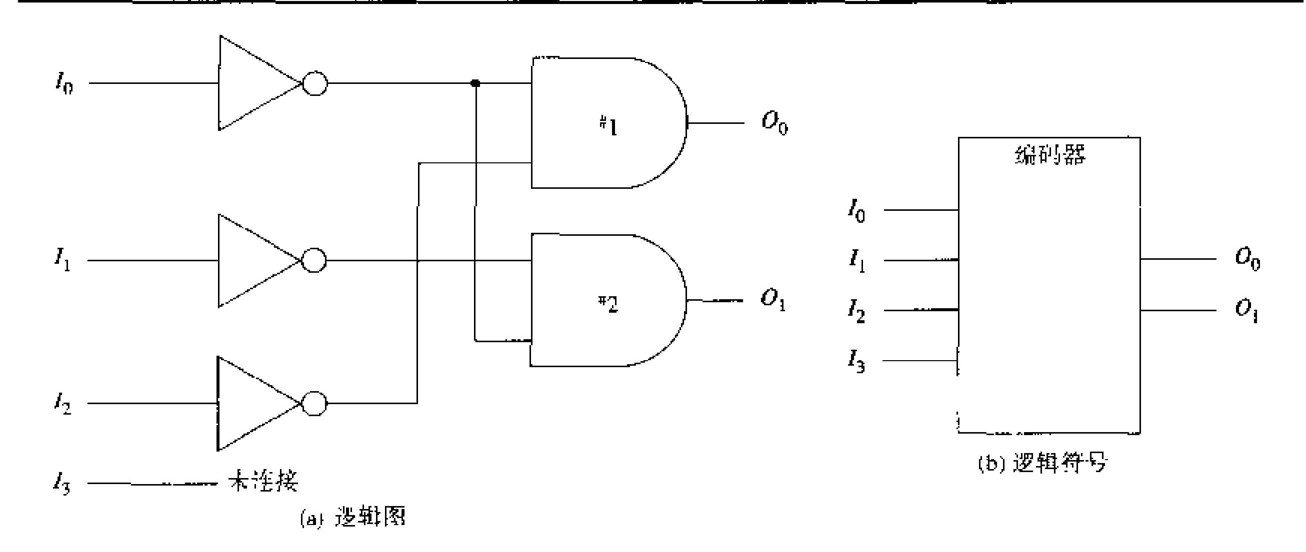


图 10.14 4–2 线编码器

从图 10.14(a)所示的逻辑图中可以看出这种特殊的编码器有几个特性，第一个特性是它的I_3输入端没有与最后的逻辑门相连。这表示I_3输入与电路的输入无关，从逻辑图中可以看出I_3为什么与输入无关，首先，如果I_0输入为高电平，与门#1 和#2 禁止，它们的输出为00；如果I_1有效，取非后再送到与门#2，使与门#2 禁止，而I_0和I_2输入取非后使与门#1 为高电平输出，输出正确的结果01。当I_2为高电平时，I_2取非后使与门#1 禁止，而I_0和I_1取非后使与门#2 为高电平输出，因此产生正确的输出结果10。如果I_3有效，I_0，I_1和I_2均为低电平输入，它们经非门后再送到两个与门，产生相应的输出 11，以上分析结果如表 10.7 所示。

该编码器的另外一个特性也可以从图 10.14(a)所示的逻辑图中看出。如果有不只一个输入同时为高电平，则编码器的输出无效。例如，$I_0 = I_1 = 1$，则输出为 00。记住，这是在两个输入有效时的情况，当I_1和I_2同时有效时其输出也为 00。

优先编码器可以解决这个问题。优先编码器允许在同一时间有不只一个输入有效，这种编码器在几个输入同时有效时只响应最高级的输入，因此在系统中它可以对输入进行优先排队。例如，在数字系统中，#4 中断申请正在工作过程中，此时更高一级的 #6 中断申请也有效，那么这种优先编码器将切换到高一级的中断申请响应。

这种优先编码器的问题是设计比较困难，虽然购买优先编码器的价格比较便宜，但我们还是来看看其设计过程，从而更好地理解其工作过程。

10.2.2 4–2 线优先编码器

前面讨论的 4–2 线编码器的设计只考虑了除 0001，0010，0100 和 1000 以外所有可能的 4 位输入，而没有考虑其输出。对于输入为高电平有效的编码器，当输入为这四种码时其输出是无效的。

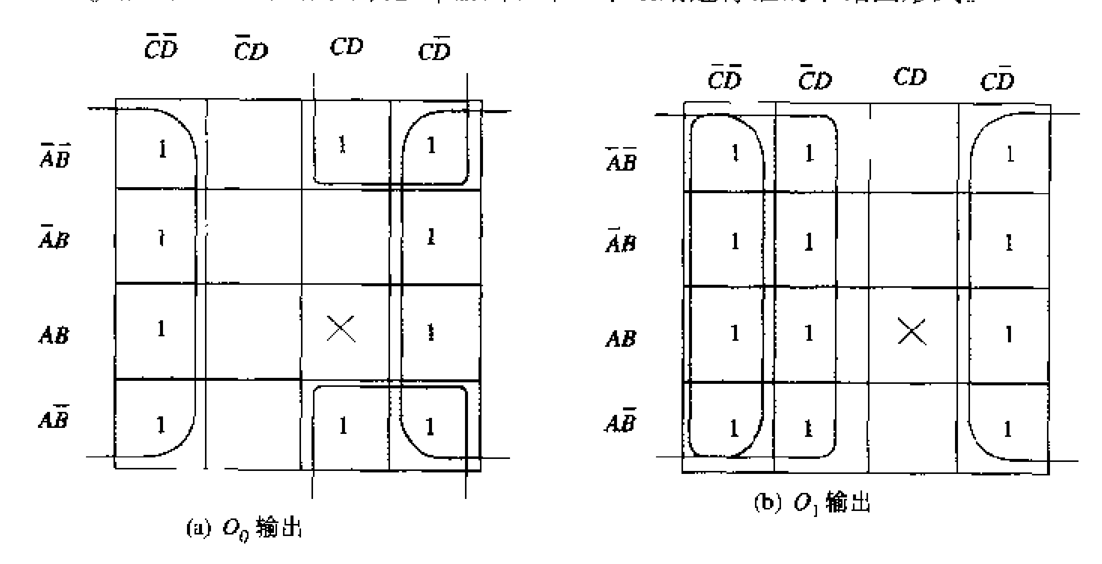
优先编码器必须考虑所有可能的输入码，且只响应最高有效位输入。4–2线优先编码器的功能表如表 10.8 所示，从表中可以看出 16 个可能的输入码中，每一个对应的输出O_0和O_1。该编码器电路的输出对应于低电平有效的输入。

表 10.8 中前 8 个输入码（0000~0111）的I_3输入均为有效的低电平，因此编码器的输出是对应于最高有效输入位的 11。接下来的 4 个码（1000~1011）均为I_2输入为最高有效位，因此其输出是 10。再接下来的两个码（1100 和 1101）是I_1输入为有效位，因此其输出为 01。输入为 1110 时，因为I_0是惟一的有效输入，因此其输出为 00。最后的输入 1111 没有输出，因为此时编码器的输入都无效。

表 10.8　4–2 线优先编码器功能表

输入				输出	
I_3	I_2	I_1	I_0	O_1	O_0
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	1	1
0	1	1	0	1	1
0	1	1	1	1	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	0
1	1	1	1	X	X

卡诺图可以将编码器的设计过程大大简化。两个卡诺图（O_0和O_1）如图 10.15 所示，一个卡诺图用于简化 O_0 输出，另一个用于简化 O_1 输出。第 4 章里用过标准的卡诺图形式。



(a) O_0 输出　(b) O_1 输出

图 10.15　4–2 线优先编码器卡诺图

图 10.15(a)中输出 O_0 可简化为 $\bar{B}C + D$，图 10.15(b)中输出 O_1 可简化为 $\bar{C} + D$，从这两个图中可以得到如下等式：

$$O_0 = BC + \bar{D}$$

$$O_1 = \bar{C} + \bar{D}$$

实现这两个简化的表达式的电路如图 10.16(a)所示，图 10.16(b)是用 I_0~I_3 输入代替卡诺图中的 A~D 输入。因为这两个表达式中均没有 A，因此该优先编码器的 I_0 输入没有与逻辑门相连。

10.2.3　8–3 线优先编码器

8–3 线优先编码器用于对 8 位输入中最高有效位进行优先编码，一旦检测出最高有效位输入，3 条输出线上（4–2–1）就有二进制编码的八进制数（BCO）输出。

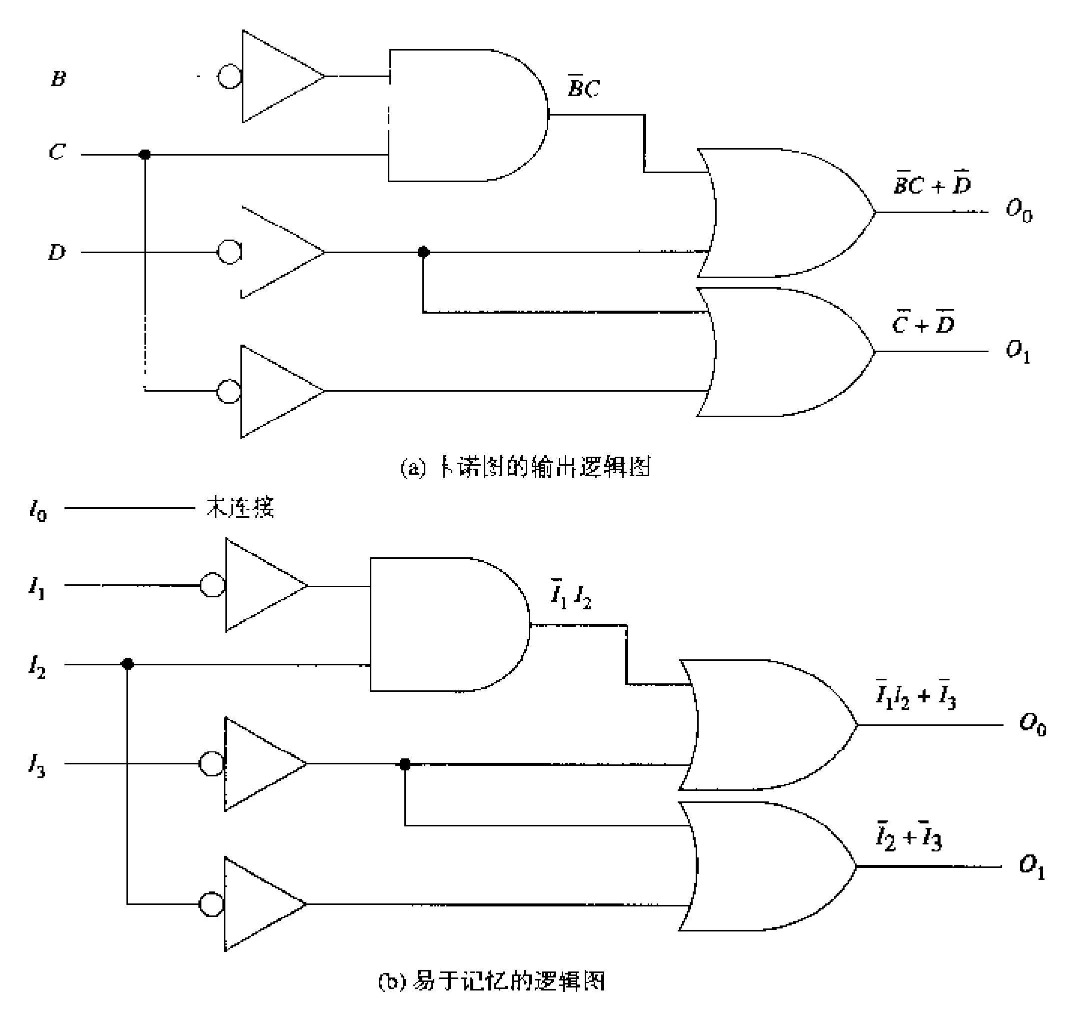


图 10.16 4-2 线优先编码器

前面介绍的通用编码器与一些集成电路的区别在于它们有输入输出使能端，这些使能端能将几个编码器级联而无需外部电路，这些编码器常指 n 位编码器，能对一个有效输入端进行 n 位编码。

74148

该 8-3 线优先编码器的逻辑符号如图 10.17 所示，其逻辑图在大部分数据表中都能查到，下面的讨论不用其框图。图中的符号表示该编码器是低电平输入有效，输出为 BCO 码的反相形式。

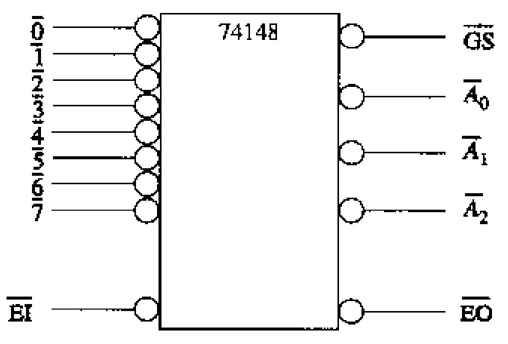


图 10.17 74148，8-3 线优先编码器逻辑符号

该编码器的功能表如表10.9所示。注意，当使能端($\overline{EI}=0$)及$\bar{7}$输入端有效时，输出为000($\bar{A}_2$~$\bar{A}_0$)，即所希望的 111 BCO 输出。同时，$\bar{7}$ 输入端有效时，其他所有的输入（$\bar{6}$~$\bar{0}$）都不用考虑，因为该端是最高级输入端。如果 $\bar{5}$ 输入端有效，则 $\bar{6}$ 输入端和 $\bar{7}$ 输入端一定无效，输出是 $101_{(BCO)}$的反相。

表 10.9　74148 优先编码器功能表

输入									输出				
$\overline{EI}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	A_2	A_1	A_0	$\overline{GS}$	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

从功能表及图 10.17 中的逻辑符号可以看出，使能输入端（$\overline{EI}$）必须是低电平。74148 的输出端除了有 BCO 的反相输出端 A_2、A_1、A_0 以外，还有两个输出端，当编码器工作而所有的输入端无效时，$\overline{EO}$ 输出端有效（低电平）；当编码器工作且所有的输入端有效时，$\overline{GS}$ 输出端有效。$\overline{GS}$ 端有效说明输入/输出编码都有效。

将两片 74148 级联可以构成一个 4 位（16-4 线）编码器，如图 10.18 所示。编码器的 EO 和 GS 端均为低电平有效，它们可以扩展电路而无需外部电路。低位编码器的 $\overline{EI}$ 接地，因此它总是有效低位编码器的任何一个输入端有效时，高位编码器都不工作。例如，$\overline{6}$ 输入端有效，则低位编码器在 $\overline{A}_2$~A_0 上的输出就为 BCO 的反相 001，此时其 $\overline{EO}$ 端为高电平。EO=1 使高位编码器不工作，此时高位编码器 $\overline{GS}$ 的输出也为高电平，因此电路输出为 1001，该输出表示低位编码器的 6 端有效，经非门后输出变为 0110。

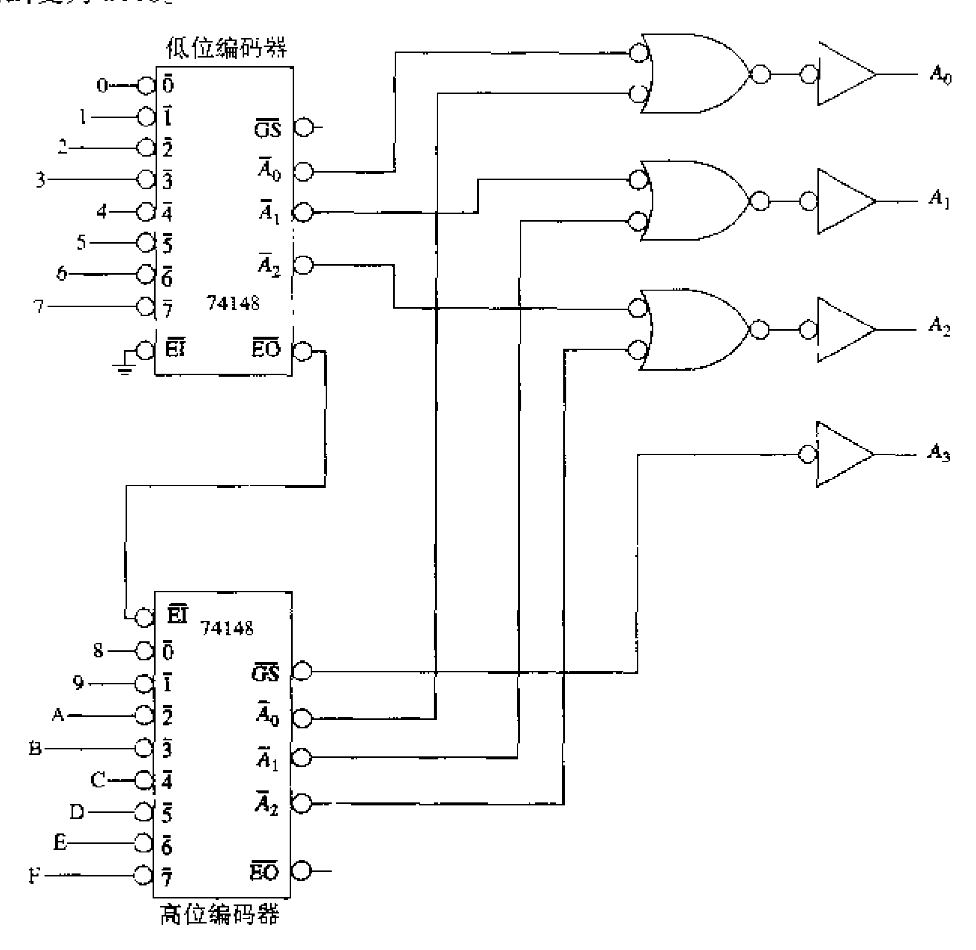


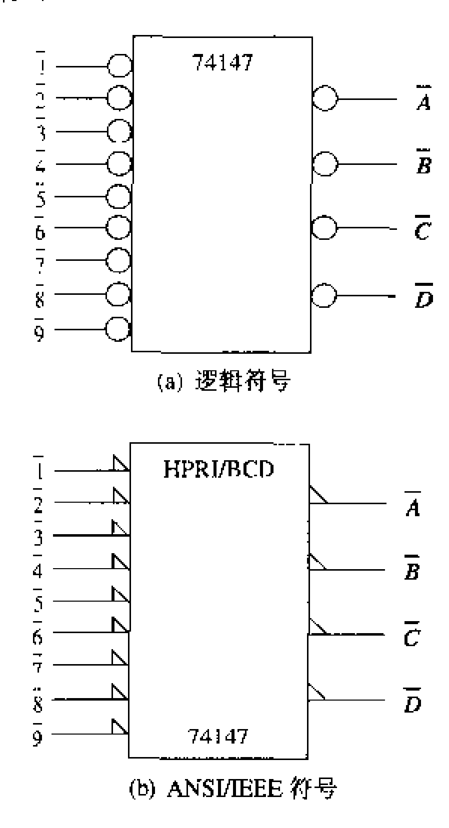
图 10.18　74148 构成的 16-4 线编码器

10.2.4 10-4线优先编码器

10（十进制数）-4线BCD编码器用于将某一输入，尤其是键盘输入进行优先编码，变成二进制编码的十进制数（BCD），该电路也称为4位编码器。

74147

该十进制-BCD编码器的逻辑符号如图10.19所示。74147与74148大致相同，只是它没有用于级联的输入输出使能端。图10.19(a)中有9个低电平有效的输入端，没有0输入端，这说明当所有9个输入都无效时即是对0进行编码。



(a) 逻辑符号

(b) ANSI/IEEE 符号

图10.19 74147，10-4线优先编码器

74147的输出是所希望的BCD输出的补码形式，如表10.10所示。如果输入端6是最高有效输入，输出就为1001，是$0110_{(BCD)}$的补码。如果输入端都无效，则输出为1111~0000的补码。

表10.10 74147优先编码器功能表

输入									输出			
$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{8}$	$\overline{9}$	$\overline{D}$	$\overline{C}$	$\overline{B}$	$\overline{A}$
1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

ANSI/IEEE 符号如图 10.19(b)所示。HPRI 表示最高优先输入，因此，HPRI/BCD 就表示可以将最高优先有效输入写成低电平有效的 BCD 码输出，即 $\overline{BCD}$。

十进制－BCD 编码器（74147）和 BCD－十进制译码器（7442）的应用如图 10.20 所示。该电路可以将编码器的数据只通过 4 条数据线传送到译码器的接收端。上拉电阻 R_p 确保开关打开时编码器的逻辑电平为高电平（+5 V）。图中的 * 号注释说明编码器的每个输入端都要接上拉电阻。

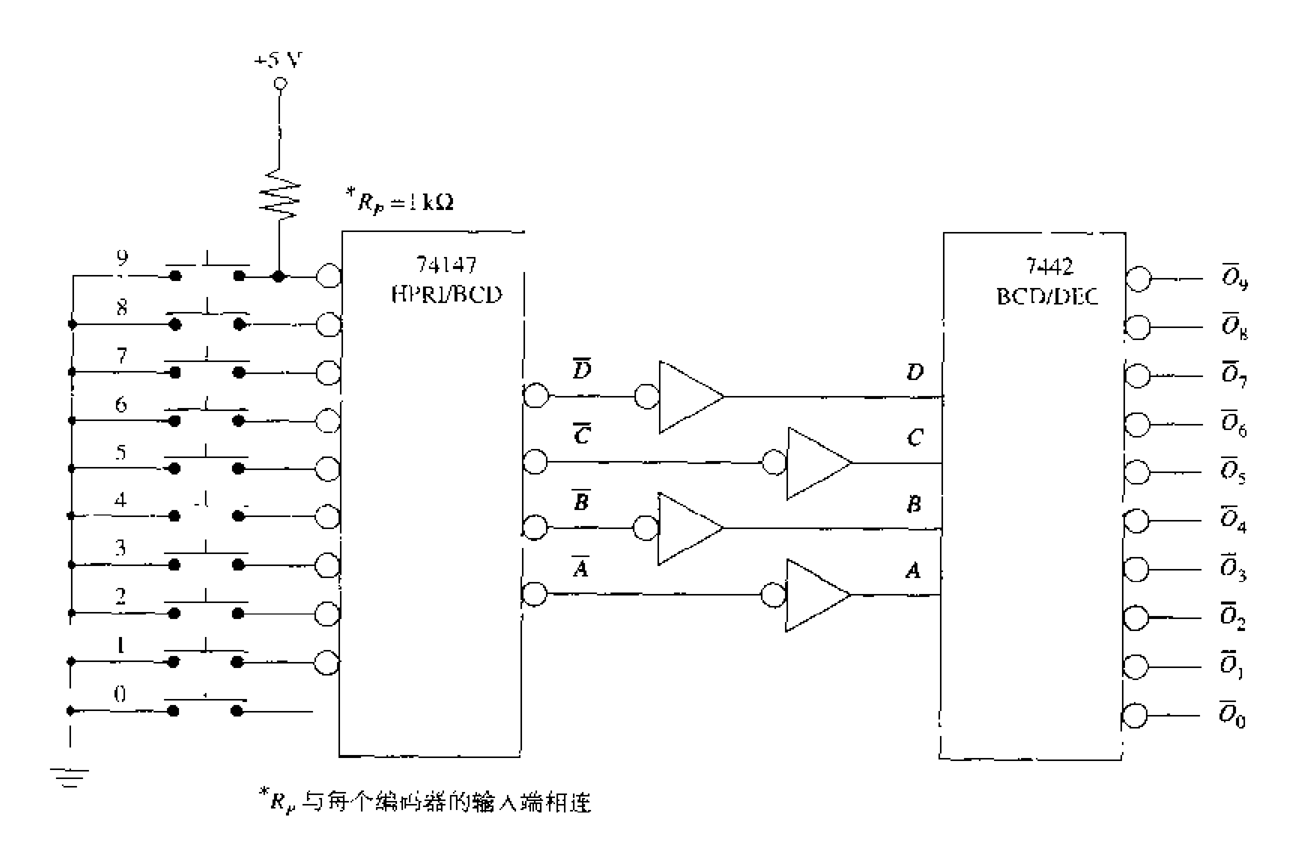


图 10.20　用编码器和译码器进行数据传输

图 10.20 中，若 #7 开关按下，编码器的该输入端变为低电平，其输出为 1000，然后将其反相变为 0111，作为译码器的 BCD 数，此时译码器的 $\overline{O}_7$ 输出端有效，该输出表示电路的输入端中 #7 开关闭合。

编码器和译码器的功能正好相反，电路逻辑可以说明这一点。#7 开关（按键）按下，使电路的该输入端为低电平，结果是译码器的 O_7 输出端也为低电平。总之，该电路将数据传输的线路由 10 条减少为 4 条

10.2 节复习题

A. 描述编码器的功能。

B. 图 10.14(a)中 I_3 输入有效时，编码器的输出是什么？

C. 优先编码器响应_________输入。

(1) 低级

(2) 高级

D. 74148 优先编码器（图 10.17）中，$\overline{EI}=0$，$\overline{7}=0$，此时输出是什么？

E. 74148 优先编码器（图 10.17）中，$\overline{EI}=0$，$\overline{7}=0$，此时 $E\overline{O}$ 的电平是什么？

F. 74147 十进制－BCD 编码器有九个输入端，然而却有十个有效的十进制输入（0~9），解释一下为什么？

阶段性小结（10.1 节～10.2 节）

本章前两节介绍的译码器和编码器集成电路属于中规模集成电路。

一种译码器用于检测输入端的二进制码或数，并在相应的一端输出；另一种译码器是数码转换器。该电路可以检测输入端的二进制码或数，并将其转换为另一种码或形式

第一种译码器常称为 $1/n$ 译码器。输入端输入某个二进制数时，与之相对应的某个输出有效这些译码器的输出端一般是低电平有效。

大部分译码器集成电路包括一个或多个使能输入端用于电路的扩展，这些输入端省去或减少了级联两个或多个译码器时所需要的控制电路。

BCD－十进制（1/10）译码器和BCD–7段码译码器在二进制编码的十进制电路中应用非常广泛。在选择 BCD－7 段码译码器/驱动器时一定要特别注意，一种译码器/驱动器是低电平输出有效，用来驱动阳极为公共端的7段码显示器；另一种是高电平输出有效，用来驱动阴极为公共端的7段码显示器。BCD－7 段码译码器集成芯片常具有特殊的功能，比如消隐、白炽灯测试和前导零消除。

编码器用于检测某一有效的输入端并转换成二进制码或数输出，常用于将键盘输入的数转换成二进制码或数。编码器与译码器的功能正好相反。

在有几个输入同时有效时，优先编码器只响应最高位有效输入。8–3线优先编码器可以将一有效的输入变成二进制编码的八进制数输出。一些编码器集成芯片的输出常以反相的形式输出。有的编码器集成芯片有输入输出使能端用于级联。数据表中的功能表可以帮助大家理解这些电路的工作过程。

阶段性练习（10.1 节～10.2 节）

参照制造商数据表回答下列各题。

1. 包含 50 个逻辑门或复杂程度与之基本相同的电路的集成芯片属＿＿＿＿＿类。
   a. SSI　　c. LSI
   b. MSI　　d. VLSI
2. 译码器用于
   a. 选择某一输入并将其送到输出端。
   b. 将一条输入线路上的输入数据分配到几条输出线路上。
   c. 检测输入端的二进制数/码并转换成一种有效的输出。
   d. 检测有效输入端并转换成二进制数/码输出。
3. 图 10.21 中，输入 $A=0$，$B=1$，$C=1$，$G_1=1$，$\overline{G}_2A=0$，$G_2B=0$ 时，74LS138 的输出端哪一个有效？
   a. 0　　c. 6
   b. 3　　d. 无
4. 图 10.21 中，输入 $A=0$，$B=0$，$C=0$，$G_1=0$，$\overline{G}_2A=0$，$\overline{G}_2B=0$ 时，74LS138 的输出端哪一个有效？
   a. 0　　c. 6
   b. 3　　d. 无

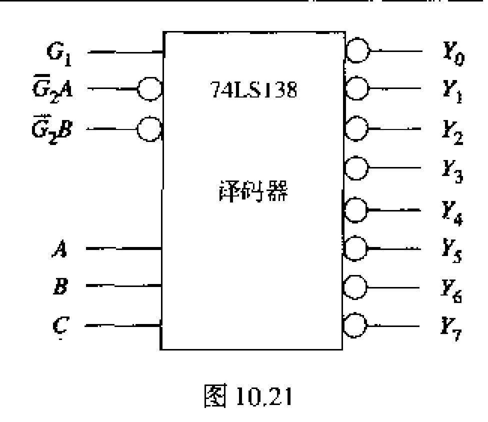


图 10.21

5. 图 10.21 中，输入 $A=0$，$B=0$，$C=0$，$G_1=1$，$\bar{G}_2A=0$，$\bar{G}_2B=0$ 时，74LS138 的输出端哪一个有效？

   a. 0　　　　c. 6

   b. 4　　　　d. 无

6. 图 10.22 中，输入 $1A=0$，$1B=0$，$1\bar{G}=0$，$2A=0$，$2B=0$，$2G=1$ 时，74LS139 的输出端哪些有效？

   a. $1Y_0$　　　　c. $2Y_0$

   b. $1Y_2$　　　　d. $1Y_0$ 和 $2Y_0$

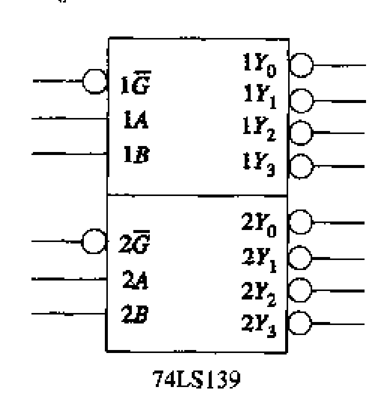


图 10.22

7. 图 10.23 所示电路的输出端________输出有效。

   a. 低电平　　　　b. 高电平

8. 图 10.23 所示电路中，$A=1$，$B=1$，$C=1$，$D=0$ 时，电路输出是什么？

   a. 输出全为 0。

   b. 输出全为 1。

   c. $O_7=0$，其他的输出为 1。

   d. $O_7=1$，其他的输出为 0。

9. 图 10.23 所示电路中，$A=0$，$B=1$，$C=0$，$D=1$ 时，电路输出是什么？

   a. 输出全为 0。

   b. 输出全为 1。

   c. $O_5=0$，其他的输出为 1。

   d. $O_5=1$，其他的输出为 0。

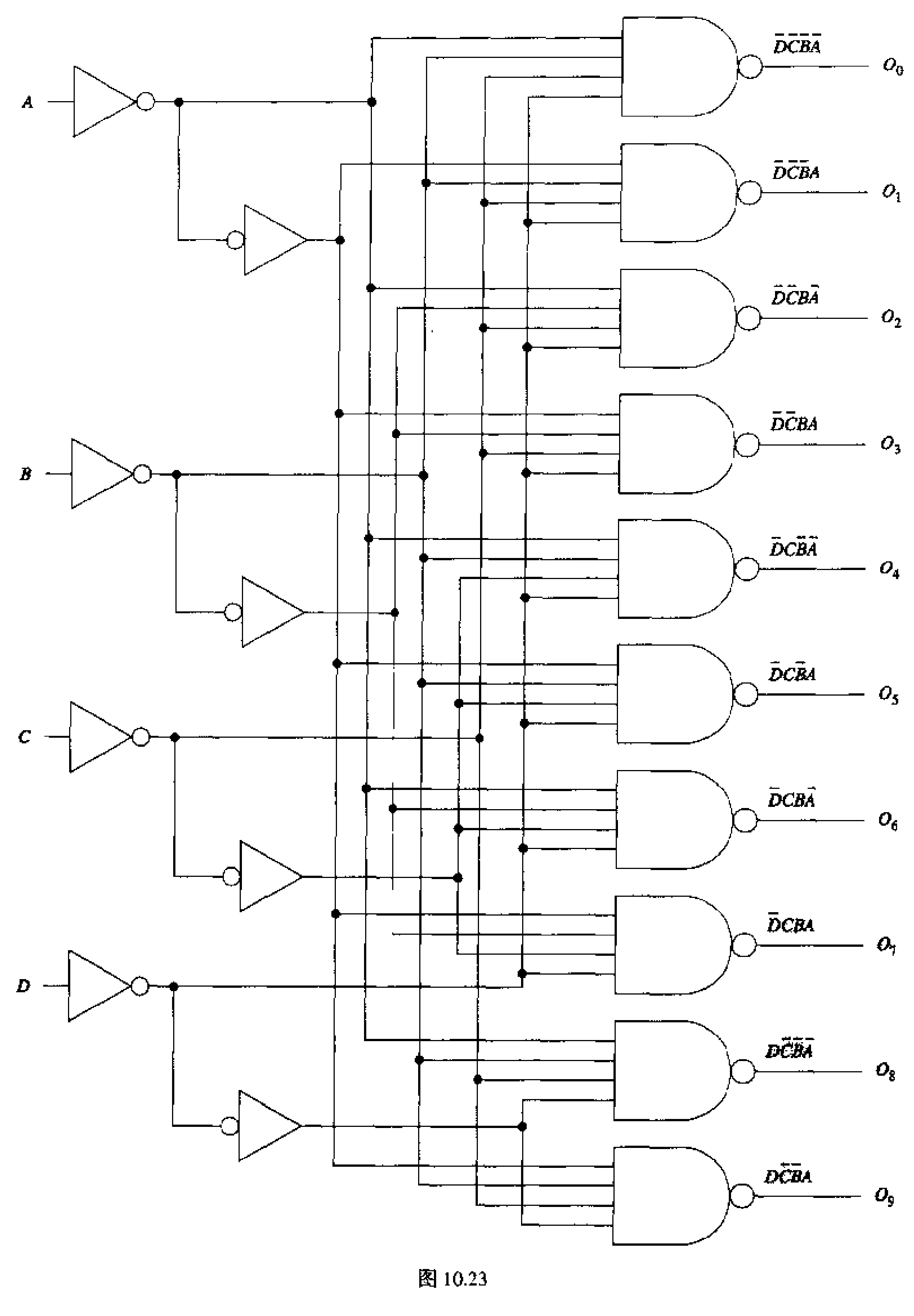


图 10.23

10. 低电平输出有效的 BCD-7 段码译码器用于驱动________为公共端的 7 段码显示器。

a. 阳极　　　　b. 阴极

11. 要使译码器的消隐输入有效，7 段码显示器的数码管的状态是什么？
   a. 全部点亮。
   b. 全部熄灭
   c. 全部零消除。
   d. 前导零消除。
12. 编码器用于
   a. 选择某一输入并将其送到输出端。
   b. 将一条输入线路上的输入数据分配到几条输出线路上。
   c. 检测输入端的二进制数/码并将其转换成一种有效的输出。
   d. 检测有效输入端并将其转换成二进制数/码输出。
13. 图 10.24 所示电路中，$I_0 = 1$，$I_2 = 0$，$I_3 = 0$，$I_4 = 0$ 时，电路输出是什么？
   a. 00　　c. 10
   b. 01　　d. 11

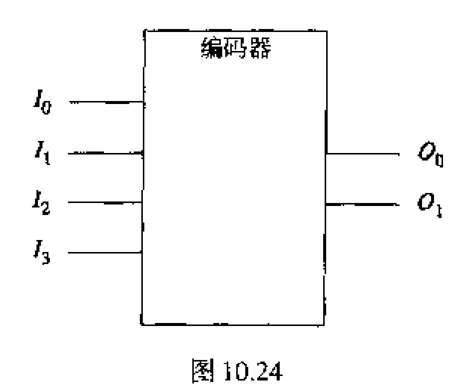


图 10.24

14. 优先编码器响应________。
   a. 没有有效输入
   b. 所有有效输入
   c. 最低级有效输入
   d. 最高级有效输入
15. 图 10.25 所示电路中，当 $\overline{EI} = 0$，$\overline{5} = 0$，其他所有输入为 1 时，电路输出是什么？

	$\overline{A}_2$	$\overline{A}_1$	$\overline{A}_0$
a.	0	0	0
b.	0	1	0
c.	1	0	1
d.	1	1	1

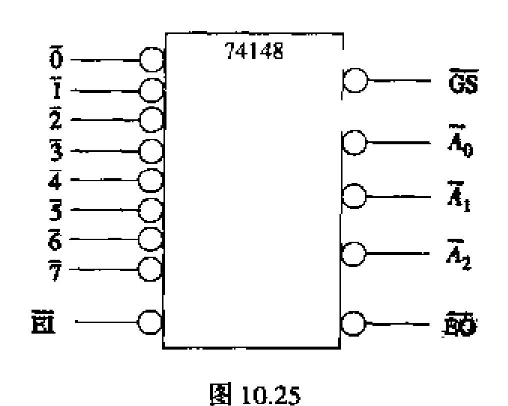


图 10.25

16. 图 10.25 所示电路中，当$\overline{EI}=0$，$\overline{5}=0$，$\overline{7}=0$，其他所有输入为 1 时，电路输出是什么？

	$\overline{A_2}$	$\overline{A_1}$	$\overline{A_0}$
a.	0	0	0
b.	1	1	1
c.	0	1	0
d.	1	0	1

17. 图 10.25 所示电路中，$\overline{EI}=0$，$\overline{0}=0$，$\overline{1}$~$\overline{7}=1$ 时，EO 和$\overline{GS}$的电平是什么？

	EO	$\overline{GS}$
a.	0	0
b.	0	1
c.	1	0
d.	1	1

18. 图 10.26 所示电路是一个______。

a. BCD－十进制译码器

b. BCD－十进制编码器

c. 十进制－BCD 译码器

d. 十进制－BCD 编码器

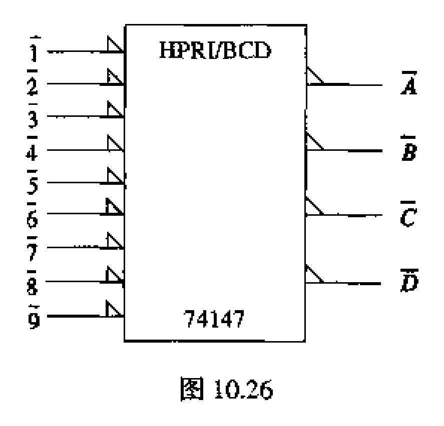


图 10.26

10.3 数据选择器

要点

1. 定义数据选择器，确定数据选择器的逻辑电路及逻辑符号。
2. 给出数据选择器的逻辑图或逻辑符号及输入条件，确定其输出。

数据选择是选择数据的过程，进行数据选择的器件通常也称为数据选择器，这个通用名称来源于这些集成芯片在数字系统中的作用。数据选择过程可以用图 10.27 所示的双柄开关来说明。图中的输出与输入数据 A 相连，如果开关打在另一端，则输出与输入数据 B 相连。数据选择器是通过电路选择数据的。

数据选择器（MUX）可以扩展输入端数据，图 10.27 中一条输入线路可以利用开关扩展为两个输入端。在 PC 机中数据选择器常用来给随机存储器（RAM）编址，存储单元在芯片中以列和行编址，数据选择器可以将地址总线分成列地址和行地址，详细的例子见第 12 章。

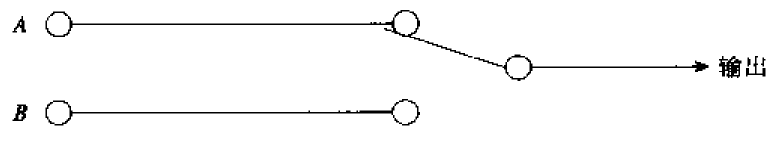


图 10.27　数据选择分析

数据选择器也可以用于电话线路中选择传输的数据，因此只用一条线路就可以实现多路通话，这时数据选择也可以认为是分时共享的。另外，数据选择器也具有一般求和的逻辑功能，由数据选择器完成的逻辑功能在 10.6 节中讨论。最后，数据选择器也可以用于数据转换，能够将并行数据转换成串行数据。

10.3.1　2-1 线数据选择器

图 10.28 为基本的 2-1 线数据选择器，该电路其实就是一个和产生电路，选择输入（S）用来控制哪一个与门工作。

若 $S = 0$，则输入端 A 的数据送到数据选择器的输出端，图 10.28 中下方的与门禁止，其输出使或门工作；若 $S = 0$ 且 $A = 1$，则上方的与门的两个输入都是高电平，因此与门的输出也是高电平，该高电平送到数据选择器的输出端。若 $S = 1$，输入端 B 的数据送到数据选择器的输出端。总之，无论选择的数据电平是什么，总有一个输入数据是真正的数据（没有反相）并送到数据选择器的输出端，数据选择器的输出表达式为 $AS + BS$。

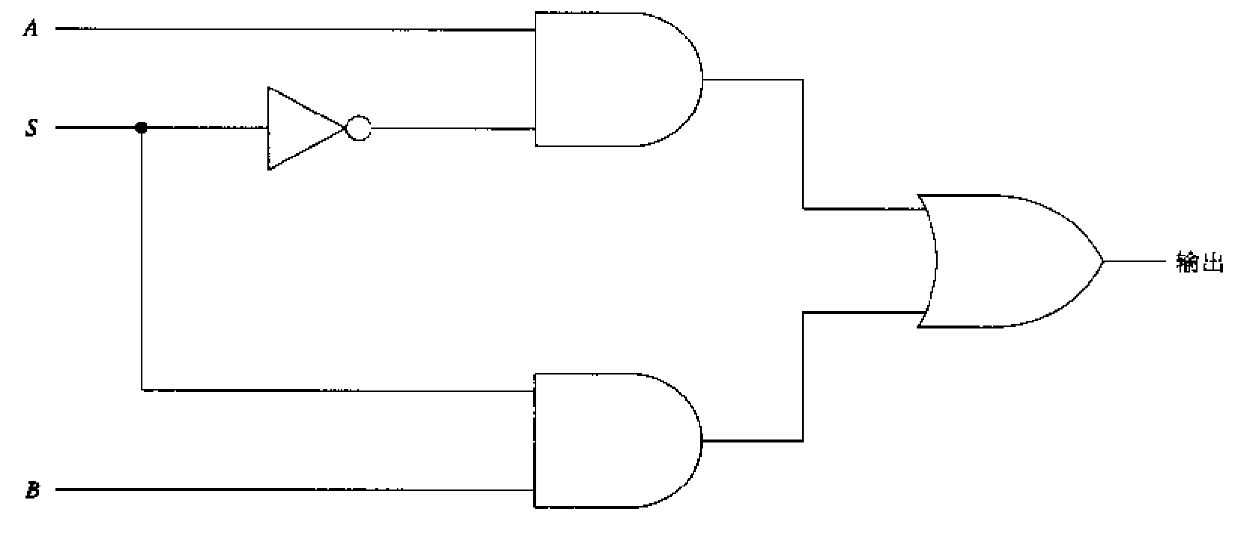


图 10.28　2-1 线数据选择器逻辑图

74LS157

74LS157 是一种四 2-1 线数据选择器，其逻辑图和逻辑符号如图 10.29 所示，该电路就是四个已讨论过的 2-1 线数据选择器。

图 10.29(a)逻辑图中有一个选通输入（$\bar{G}$），该输入为低电平时使数据选择器工作，为高电平时使数据选择器不工作，当电路不工作时数据选择器的输出保持低电平。G 输入也可用于级联。

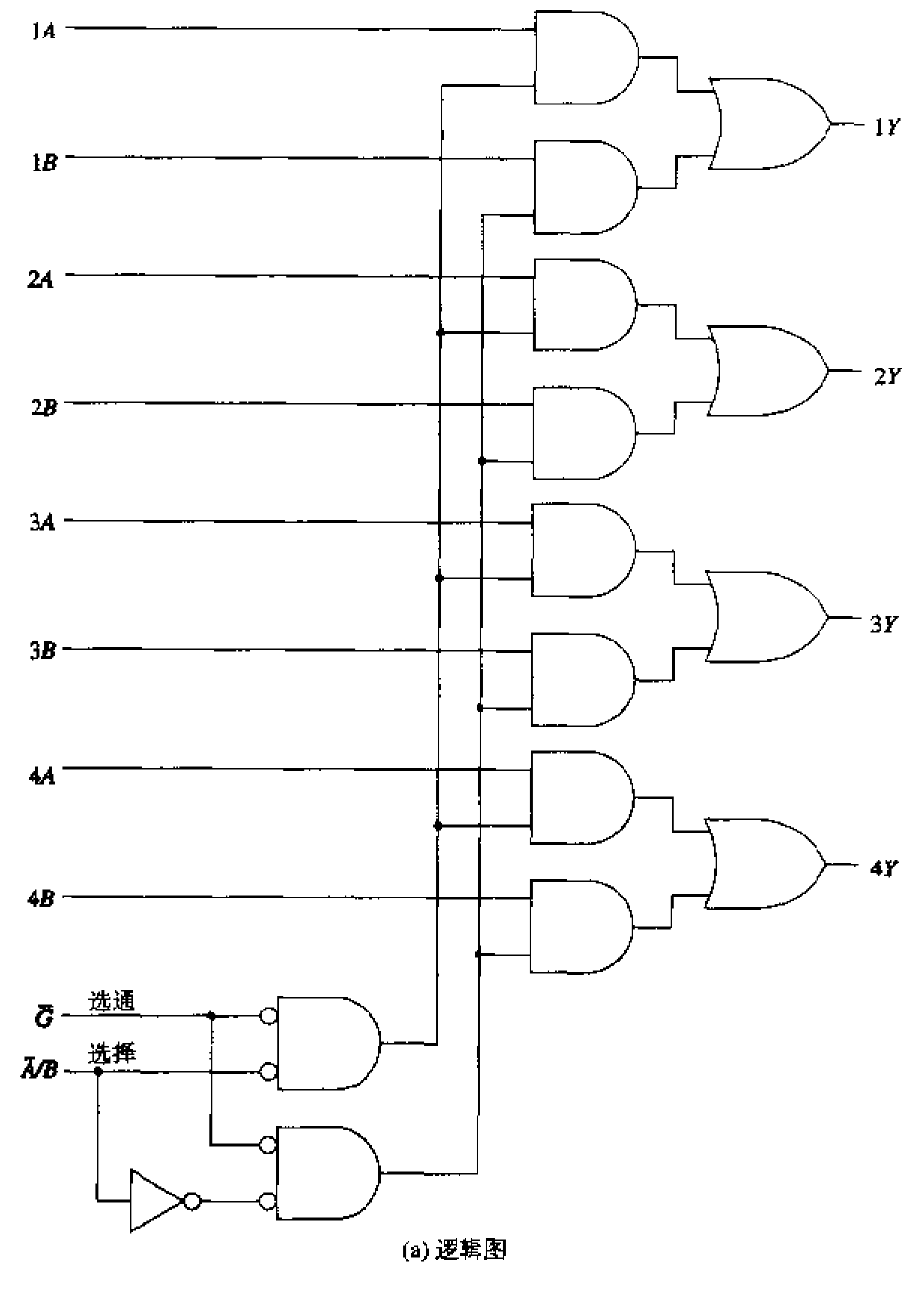
74LS157 的功能表如表 10.11 所示，从表中可以看出，当数据选择器正常工作时，可以选择真正的数据并送到其输出端。选择输入为低电平时选择 A 端输入的数据，为高电平时选择 B 端输入的数据。

74LS157 的逻辑符号如图 10.29(b)和(c)所示。图 10.29(c)中的 ANSI/IEEE 符号表示在一般的控制模块中使能输入（EN）低电平有效，另外，G_1 表示选择的数据由数据选择器中的 1 和 $\bar{1}$ 决定，或者

说，G_1 表示选择输入（$\bar{A}/B$）是与输入 $1B$ 相与，还是其补码与 $1A$ 相与。在该数据选择器中其他各对输入数据都具有这种相与的功能。

表 10.11　74LS157 数据选择器功能表

输入				输出
选通 $\bar{G}$	选择 $\bar{A}/B$	A	B	Y
1	X	X	X	0
0	0	0	X	0
0	0	1	X	1
0	1	X	0	0
0	1	X	1	1



(a) 逻辑图

图 10.29　74LS157，四 2-1 线数据选择器

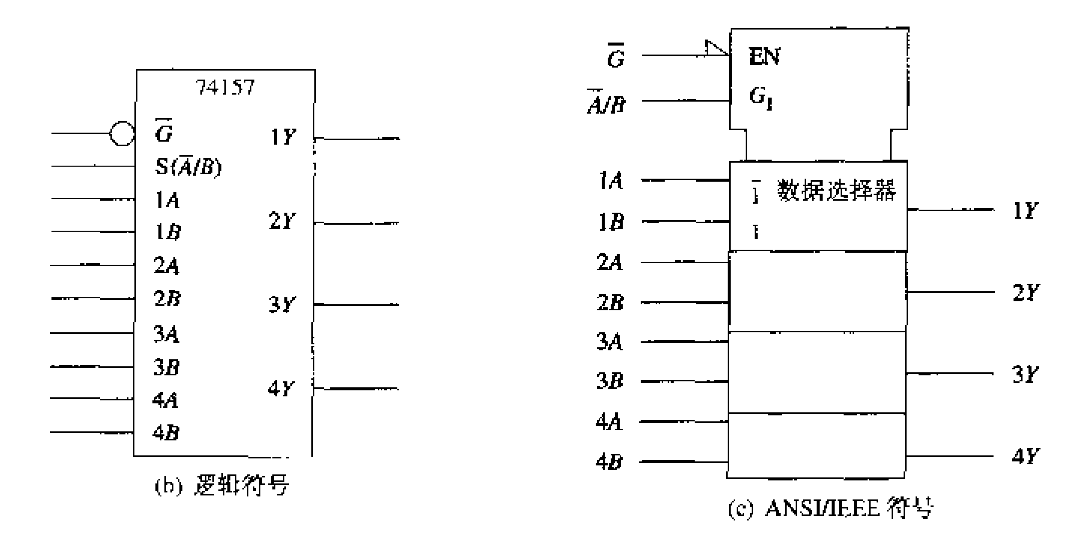


图 10.29（续）　74LS157，四 2-1 线数据选择器

10.3.2　4-1 线数据选择器

4-1 线数据选择器可以选择 4 个输入中的一个数据并将其送到输出端. 这就需要两条选择输入线路，因为有 4 种（2^2）可能的输入可供选择。

基本的 4-1 线数据选择器如图 10.30 所示，当 S_1S_0 输入为 00 时，选择 A 数据送到 Y 输出，当 $S_1S_0 = 01$ 时，选择 B 数据；$S_1S_0 = 10$ 时，选择 C 数据；$S_1S_0 = 11$ 时，选择 D 数据。

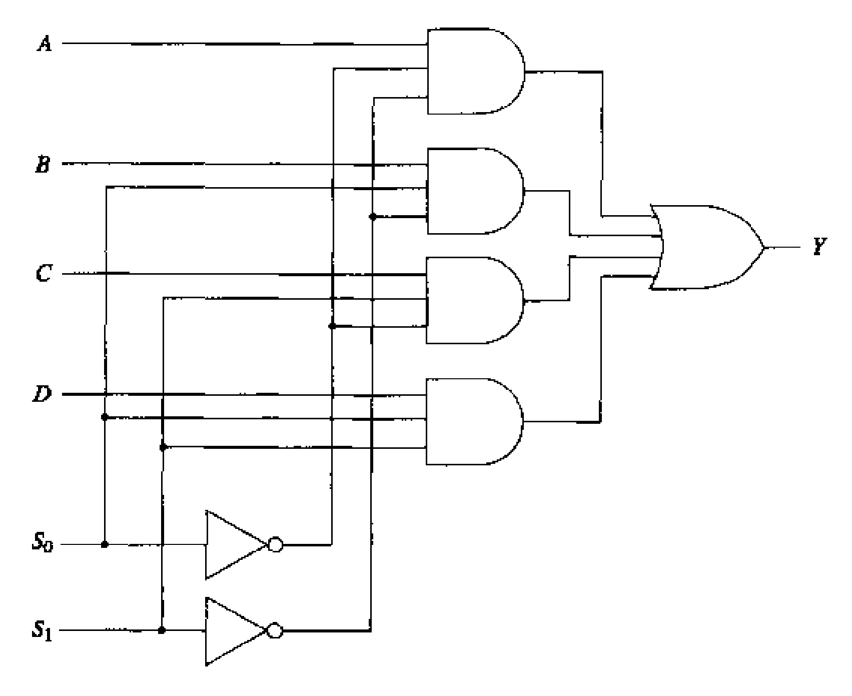


图 10.30　4-1 线数据选择器逻辑图

74153

该集成电路是一个双 4-1 线数据选择器，其逻辑符号如图 10.31 所示，符号中包括选择输入（S_1S_0）和两个使能输入（$1\overline{G}$ 和 $2\overline{G}$），这两个使能输入可以使两个数据选择器独立工作。输入输出符号左边的 "1" 表示是第一个数据选择器的输入输出，"2" 表示是第 2 个数据选择器的输入输出，选择输入是两个数据选择器共用的。

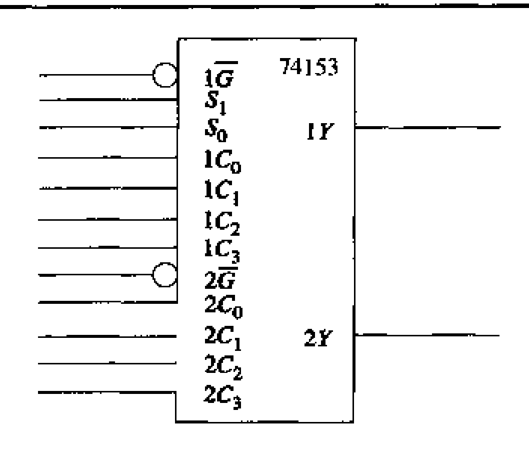


图 10.31 74153，双 4–1 线数据选择器逻辑符号

74153 的功能表如表 10.12 所示，从表中可以看出，选通输入（$\overline{G}$）为高电平时 Y 输出为低电平。表中其他几行数据表明，数据选择器正常工作时，输出 Y 就是选择的输入数据。例如，当 $1\overline{G}=0$，$2\overline{G}=1$，$S_1=1$，$S_0=0$ 且 $1C_2$ 的输入数据为 1 时，1Y 输出为 1，1C 其他的输入数据与输出无关，因为没有选择这些数据。同理，当 $2\overline{G}$ 输入为 1 时，2Y 输出也为低电平，这意味着第二个数据选择器没有工作，且所有的 2C 输入数据都没用。如果 74153 的两个选通输入都为低电平，此时它相当于一个 8–2 线数据选择器。

表 10.12 74153 数据选择器功能表

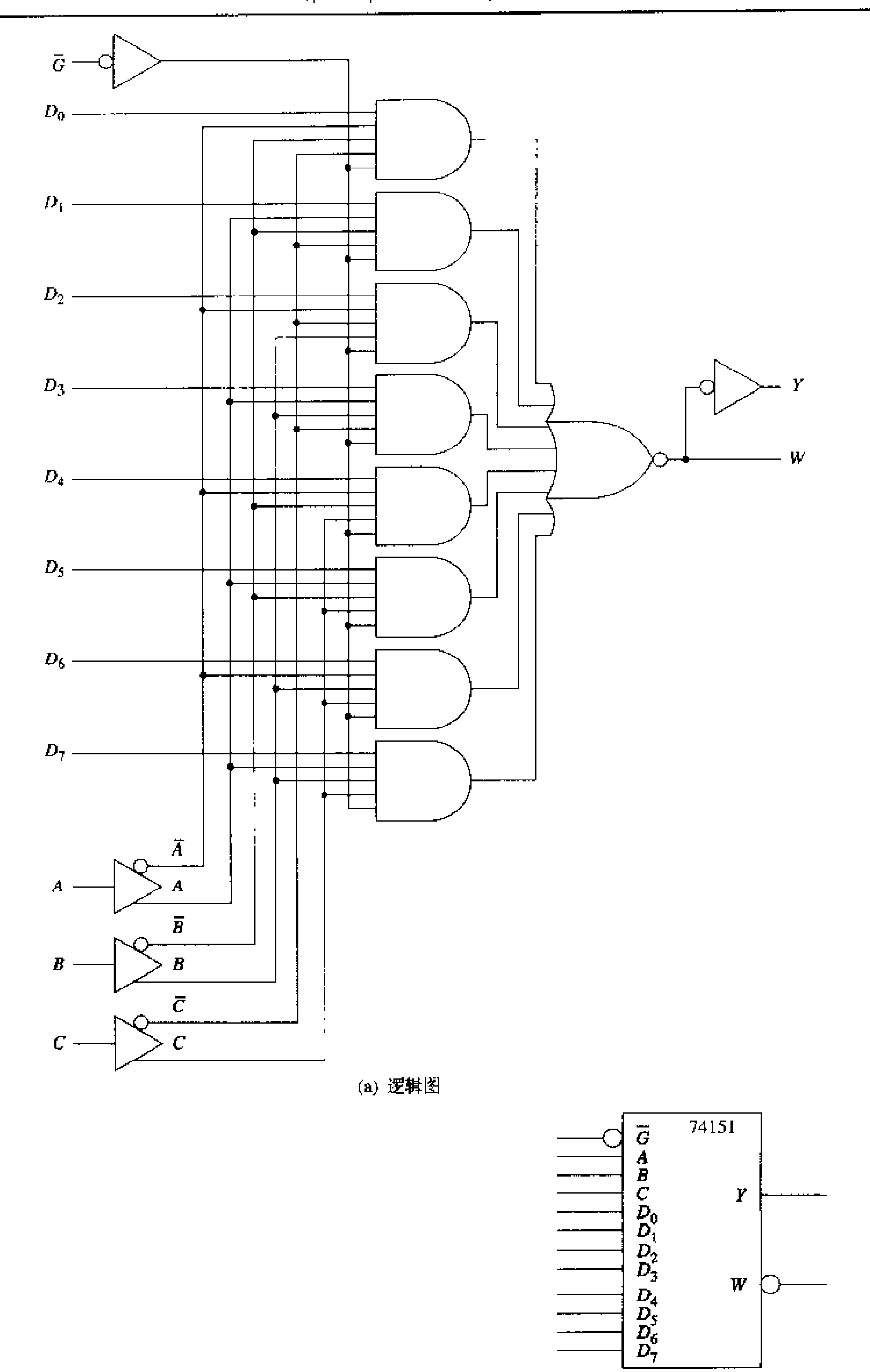
选择输入		数据		输入		选通	输出
S_1	S_0	C_3	C_2	C_1	C_0	$\overline{G}$	Y
X	X	X	X	X	X	1	0
0	0	X	X	X	0	0	0
0	0	X	X	X	1	0	1
0	1	X	X	0	X	0	0
0	1	X	X	1	X	0	1
1	0	X	0	X	X	0	0
1	0	X	1	X	X	0	1
1	1	0	X	X	X	0	0
1	1	1	X	X	X	0	1

10.3.3 8–1 线数据选择器

74151

74151 是一个 8–1 线数据选择器，其逻辑图和符号如图 10.32 所示。3 个选择输入端（CBA）用于选择 8 个数据输入（D_0~D_7）中的一个，选通输入（$\overline{G}$）必须为低电平才能使该数据选择器正常工作。图 10.32(a)中的地址缓冲具有对称传播延迟时间的特点，这就减少了选择输入改变时引起输出错误的可能性。

为了方便设计，74151 有一个数据输出端（Y）和一个补码输出端（W），如图 10.32(b)所示，其功能表如表 10.13 所示。从表中可以看出数据选择器不工作时，Y 输出为低电平，$\overline{G}=0$ 时的输出取决于 C，B 和 A 的电平。在选择过程中，真正选中的输入数据送到 Y 输出；其补码送到 W 输出。



(a) 逻辑图

(b) 逻辑符号

图 10.32　74151，8-1 线数据选择器

表 10.13　74151 数据选择器功能表

输入				输出	
选择			选通		
C	B	A	$\bar{G}$	Y	W
X	X	X	1	0	1
0	0	0	0	D_0	D_0
0	0	1	0	D_1	$\bar{D}_1$
0	1	0	0	D_2	$\bar{D}_2$
0	1	1	0	D_3	$\bar{D}_3$
1	0	0	0	D_4	$\bar{D}_4$
1	0	1	0	D_5	D_5
1	1	0	0	D_6	$\bar{D}_6$
1	1	1	0	D_7	$\bar{D}_7$

图 10.33 所示电路由两个 74151 级联成一个 16–1 线数据选择器，选择输入中最上要的位（S_3）用于控制哪个数据选择器在工作。选择输入 0000~0111（MSB 为低电平）使图 10.33 中上方的低位数据选择器工作，当该数据选择器工作时，S_2~S_0 选择输入数据 I_0~I_7。

选择输入为 0000~0111 时，高位数据选择器不工作。从表 10.13 所示的功能表中可以看出，当数据选择器的选通输入（$\bar{G}$）为高电平时，Y 输出为低电平，高位数据选择器的 Y 输出为低电平，使或门工作，从而将低位数据选择器选择的数据送到电路的输出端。

选择输入为 1000~1111（MSB 为高电平）时，高位数据选择器工作而低位数据选择器不工作，此时 S_2~S_0 选择输入数据 I_8~I_{15}，这些数据通过或门送到电路的输出端。

图 10.33 所示电路可以用一个 74150 集成芯片实现。74150 是有 24 个引脚的 16–1 线数据选择器，该集成芯片有 1 个使能输入端，4 个选择输入端，16 个数据输入端，输出数据是选择的输入数据的补码，这种集成电路的输出端没有真实数据。

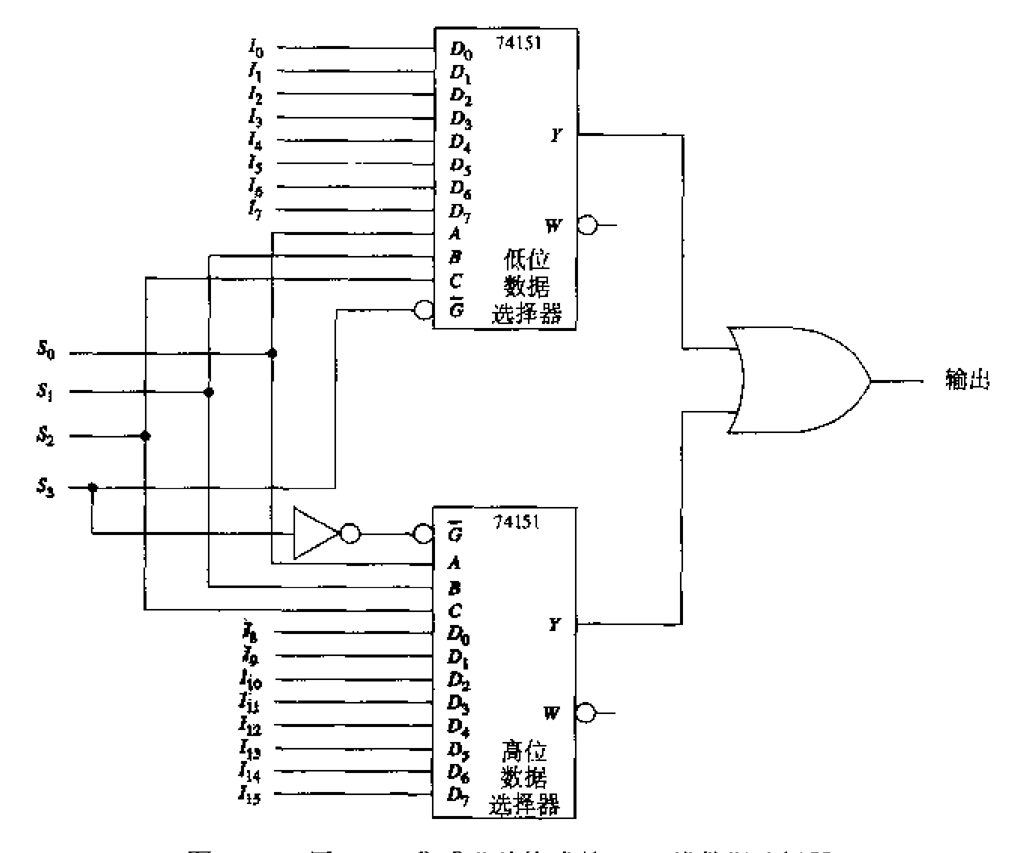


图 10.33　用 74151 集成芯片构成的 16–1 线数据选择器

10.3节复习题

A. 什么是数据选择?

B. 图10.28中，$S=1$，$A=0$，$B=1$时电路输出是什么?

C. 图10.28所示电路的目的是什么?

D. 图10.29(a)中，$G=0$，$\bar{A}/B=0$，所有的A输入数据为1且B都为0时电路输出是什么?

E. 图10.30中，$S_1=1$，$S_0=0$，$A=B=0$，$C=D=1$时电路输出是什么?

F. 图10.32(a)中，$\bar{G}=0$，$A=B=C=1$，$D_0=D_1=D_2=D_3=1$，$D_4=D_5=D_6=D_7=0$时电路的Y输出是什么?

G. 图10.32(a)中，$G=1$，$A=B=C=0$，$D_0=D_1=D_2=D_3=1$，$D_4=D_5=D_6=D_7=0$时电路的Y输出是什么?

10.4 数据分配器

要点

1. 定义数据分配，确定数据分配器的逻辑电路和逻辑符号。
2. 给出数据分配器的逻辑图或标有输入条件的逻辑符号，决定电路输出。

数据分配是一种分配数据的过程，数据分配器用于完成数字系统中的这种功能。数据分配器（DEMUX）的功能与数据选择器的正好相反，数据选择器从几个输入中选择某个数据，而数据分配器是将一条输入线路上的数据分配到几条输出线路上。

用一个四向开关完成数据分配的过程如图10.34所示，输入数据通过开关分配到W，X，Y或Z输出。数据分配器通过电路完成这种功能，同时也可以将串行数据转换成并行数据。可以用10.1节中介绍的译码器连成数据分配器。事实上，本节介绍的两个集成芯片在数据表中也称为译码器/数据分配器。

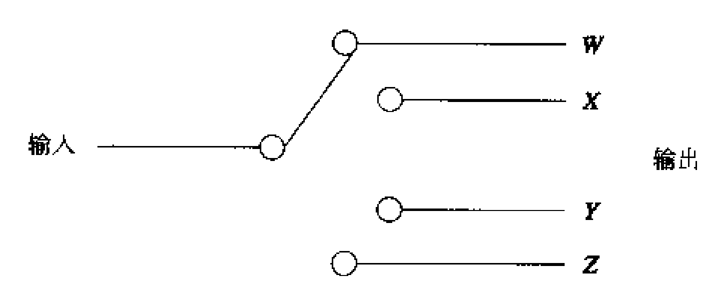


图10.34 数据分配器分析

10.4.1 1-4线数据分配器

基本的1-4线数据分配器如图10.35所示，该数据分配器的逻辑图与基本译码器的逻辑图相同之处在于都有一个使能输入端，由此很容易看出为什么说译码器是一种多功能器件。译码器的使能输入端在数据分配器中用于数据输入。在深入了解这个问题之前，先来分析一下图10.35所示的数据分配器。

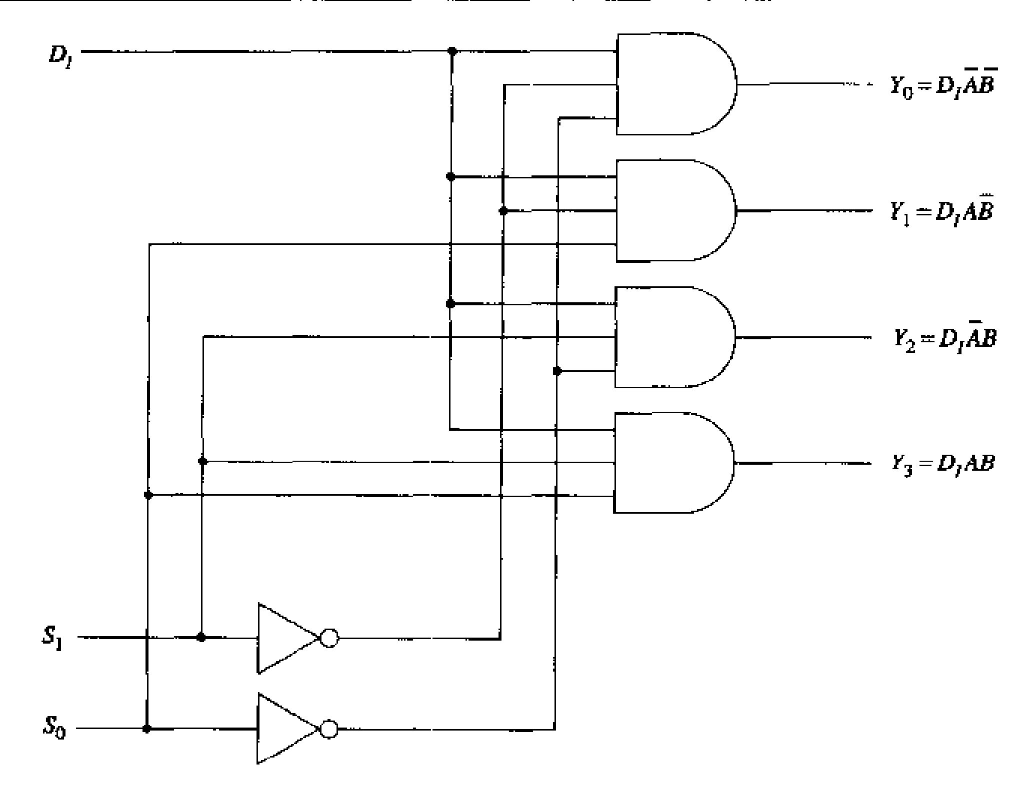


图 10.35　1-4 线数据分配器逻辑图

数据分配器的选择输入（S_1S_0）用于选择哪个与门工作。当 $S_1S_0 = 00$ 时，上方的与门工作，其他的与门都禁止，从而将输入数据（D_I）分配到 Y_0 输出，该门的输出表达式为 $Y_0 = D_I\bar{A}\bar{B}$。输入数据为低电平时，Y_0 输出也为低电平，输入数据为高电平时，Y_0 也为高电平，即选择的数据真实值送到输出端。

74LS139

74LS139 译码器/数据分配器的一半逻辑图如图 10.36 所示，当数据从使能端输入时，它作为数据分配器使用。

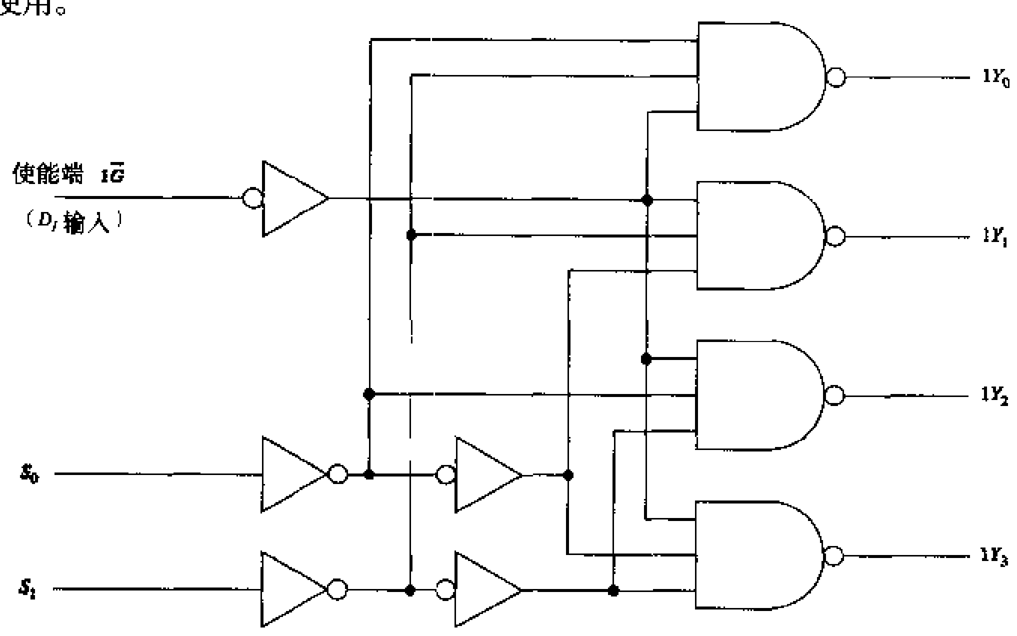


图 10.36　74LS139，1-4 线数据分配器逻辑图

电路工作过程如前所述，$S_1S_0=00$时，最上方的与非门工作，其他的与非门禁止。D_1为低电平时，将其反相变为高电平后使与非门工作，与非门输出低电平，即数据真实值送到Y_0端，当D_1为高电平时，数据分配器不工作，Y_0输出高电平。

10.4.2　1-8线数据分配器

10.1节讨论过74LS138译码器/数据分配器，将它接成数据分配器的逻辑符号如图10.37所示。数据从某一低电平有效的使能端输入，利用选择输入（CBA）把数据分配到输出端，从而将$\bar{G}_2A$端输入的串行数据转换成并行数据。

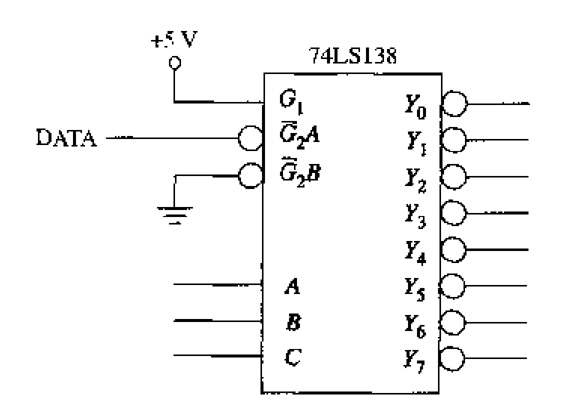


图10.37　74LS138，1-8线数据分配器逻辑符号

数据选择及数据分配的例子如图10.38所示。假设要将数据选择器的输入数据传输到远处的控制中心，下面讨论一下数据选择的原因及数据分配过程。

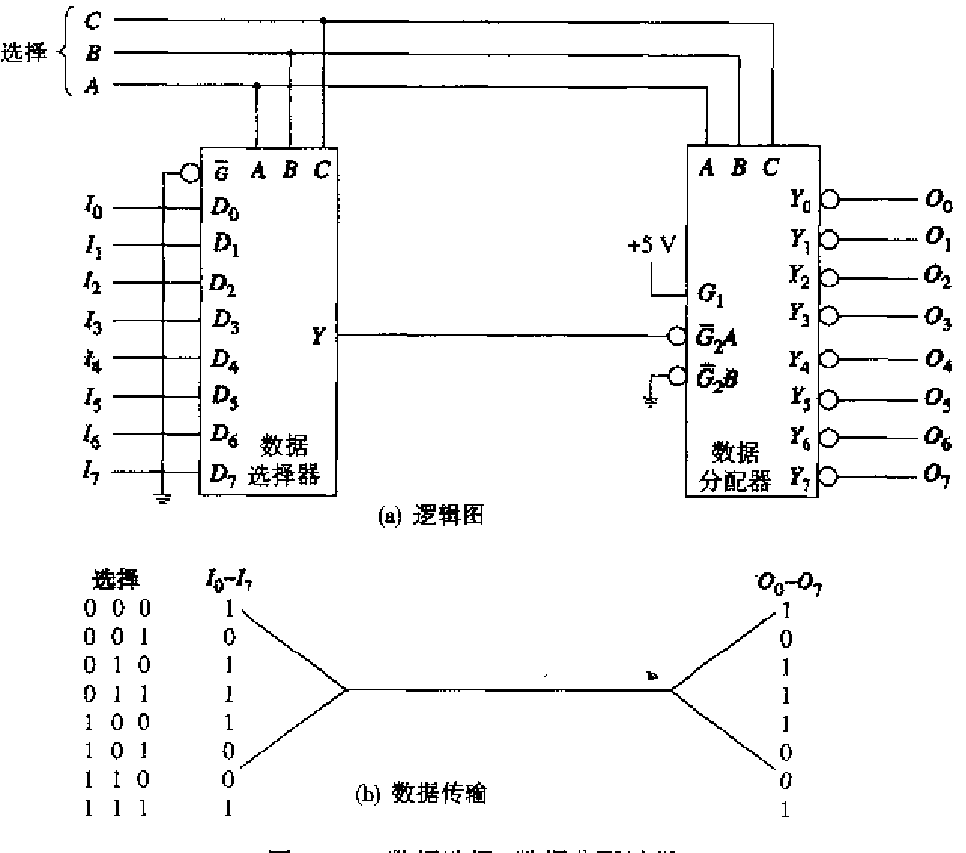


图10.38　数据选择/数据分配过程

选择输入（CBA）用于选择数据选择器输入端的数据，然后通过一条线路将其传送到数据分配器的G_2A端作为输入数据，再将这个数据分配到数据分配器的输出线路上。简而言之，输入端的并行数据转变成串行数据，经远距离传输，再转变成原始的并行数据。以上过程类似于PC机利用调制解调器进行数据转换从而传输数据的过程。数据传输过程如图10.38(b)所示。74154译码器/数据分配器可将数据从1条线路分配到16条线路上，其电路工作过程与前面提到的其他数据分配器的工作过程类似，这里不再详述。

10.4 节复习题

A. 什么是数据分配?

B. 数据分配器可以将并行数据转换成串行数据。

(1) 对　　(2) 错

C. 译码器可以作为数据分配器使用。

(1) 对　　(2) 错

D. 图10.37中，$\overline{G}_2A=0$，$A=B=C=1$时，译码器/数据分配器的输出是什么?

10.5　数值比较器

要点

1. 叙述数值比较器的功能。
2. 给出功能表及包括两个级联4位数值比较器的电路，决定在给定输入条件下电路的输出。

数值（Magnitude）定义为一个集合中的数，该数与同一集合的另一个数进行比较。幸运的是数字电路中涉及的只有两个数，即0和1，因此数字系统中比较的是两个输入哪一个比较大，这个比较过程可以通过MSI组合逻辑电路（也称数值比较器）来完成。

要深入了解数值比较器的工作过程，最简单的办法就是比较两个数（B_0和A_0），相应的电路是一个1位比较器，只用来比较下标为0的两个数。切记，2位数值比较器比较的是B_1B_0和A_1A_0，3位数值比较器比较的是$B_2B_1B_0$和$A_2A_1A_0$，以此类推。数值比较器必须确定3种可能的大小情况，即A小于B（$A<B$），A等于B（$A=B$）及A大于B（$A>B$），这种比较器有3个输出引脚。

1位数值比较器的功能表如表10.14所示，该比较器高电平输出有效。当$B_0A_0=00$且$B_0A_0=11$时，即$A=B_{out}$时，电路输出必须是高电平，其逻辑图如图10.39所示。

表10.14　1位数值比较器功能表

输入		输出		
B_0	A_0	$A>B_{out}$	$A=B_{out}$	$A<B_{out}$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

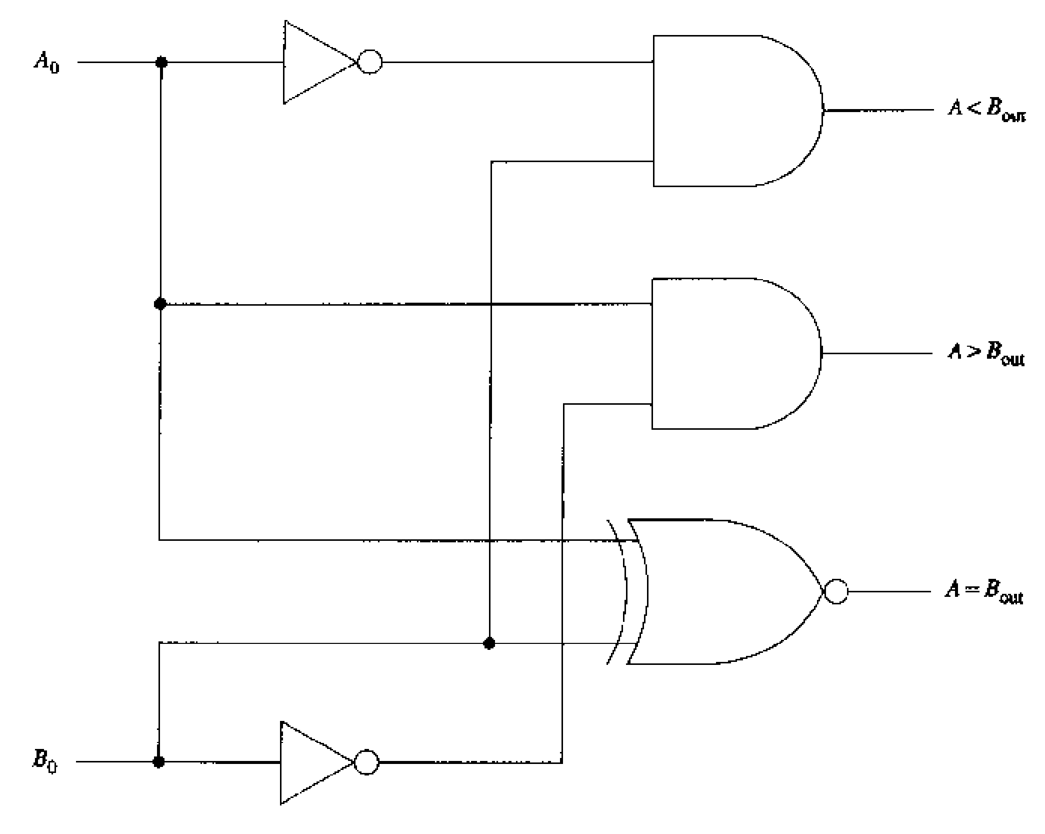


图 10.39　1 位数值比较器逻辑图

当 $A < B$ ($B_0\bar{A}_0$) 时，图中上方的与门输出为高电平，$A > B$ ($\bar{B}_0A_0$) 时，下方的与门输出为高电平，异或非门的输出表达式为 $\overline{A \oplus B}$ ，即 $B_0A_0 + B_0A_0$，该式说明输入相同时异或非门的输出为高电平。回忆一下异或非门的简单逻辑：两个输入互补时输出为 0，即输入相同时输出为高电平。

7485

该集成芯片有 16 个引脚，是一个 4 位数值比较器，用来比较两个 4 位二进制数或用二进制编码的十进制数。注意，4 位是指要比较的数的长度。

由图 10.40 所示的逻辑符号可以看出，当两个 4 位数作为输入时，有 3 个译码输出，即 $A > B_{out}$，$A = B_{out}$ 和 $A < B_{out}$。将几个 7485 的 $A > B_{in}$，$A = B_{in}$ 和 $A < B_{in}$ 三个输入端级联，可以增加要比较的数的位数，此时各 7485 的输入、输出引脚对应连接，以扩展电路，无需外部控制逻辑。

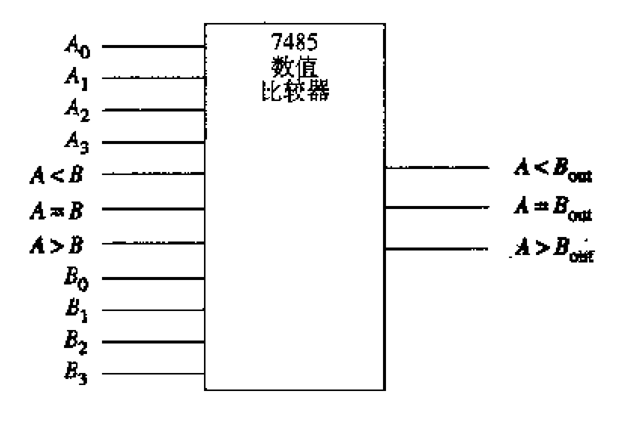


图 10.40　4 位数值比较器，7485 逻辑符号

7485这种4位数值比较器的功能表如表10.15所示。从表中可以看出，前8行相对而言都是自我比较过程。让我们比较一下如下几个集合中的数：

	B_3	B_3	B_1	B_0	A_3	A_2	A_1	A_0
集合1	1	1	0	0	0	1	1	1
集合2	1	1	0	0	1	1	1	1
集合3	1	1	0	0	1	1	0	0

集合1：集合1中$A_3 < B_3$，从表中的第2行可以看出，$A < B$的输出为高电平有效（见输出列），且7485其他的输出都无效。

集合2：此时的输入为$A_3 = B_3$，$A_2 = B_2$，$A_1 > B_1$和$A_0 > B_0$，从表中的第4行可以看出，输入A_0 B_0的值与结果无关，$A > B$输出有效。

集合3：该集合中的数都相等，对应于表中的第9行到第13行，可见，此时必须考虑将输入进行级联。

表10.15　7485，4位数值比较器功能表

比较输入				级联输入			输出		
A_1　B_3	A_2　B_2	A_1　B_1	A_0　B_0	$A > B$	$A < B$	$A = B$	$A > B$	$A < B$	$A = B$
$A_3 > B_3$	X	X	X	X	X	X	1	0	0
$A_3 < B_3$	X	X	X	X	X	X	0	1	0
$A_3 = B_3$	$A_2 > B_2$	X	X	X	X	X	1	0	0
$A_3 = B_3$	$A_2 < B_2$	X	X	X	X	X	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	X	X	X	X	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	X	X	X	X	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	X	X	X	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	X	X	X	0	1	0
$A_1 = B_1$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	0	0	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_3$	0	1	0	0	1	0
$A_3 = B_3$	$A_2 = B_3$	$A_1 = B_1$	$A_0 = B_0$	X	X	1	0	0	1
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	1	0	0	0	0
$A_3 = B_3$	$A_2 = B_3$	$A_1 = B_1$	$A_0 = B_0$	0	0	0	1	1	0

从数据表中可以看出，7485数值比较器在处理最低有效位（LSB）时，输入$A = B$必须为高电平。当只用一个7485进行比较时，LSB的$A > B$和$A < B$级联输入与输入无关。总之，$A = B$输入必须为高电平，在表中第11行可以找到对应于集合3的输入条件，此时$A = B$输出有效。

8位数值比较器如图10.41所示，该电路中两个7485连在一起，从而将4位数值比较器扩展为8位数值比较器。低位比较器的$A = B$输入接+5 V，输出端与相应的高位比较器级联输入端相连。

下面比较一下如下所示的两个8位数：

	B_7	B_8	B_6	B_4	B_3	B_2	B_1	B_0	A_7	A_6	A_6	A_6	A_3	A_0	A_1	A_0
集合4	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0

低位比较器的输入都相等，且$A = B$输入为高电平，如图10.41所示，此时输出$A = B_{out}$为高电平，$A > B_{out}$为低电平，且$A < B_{out}$为低电平。

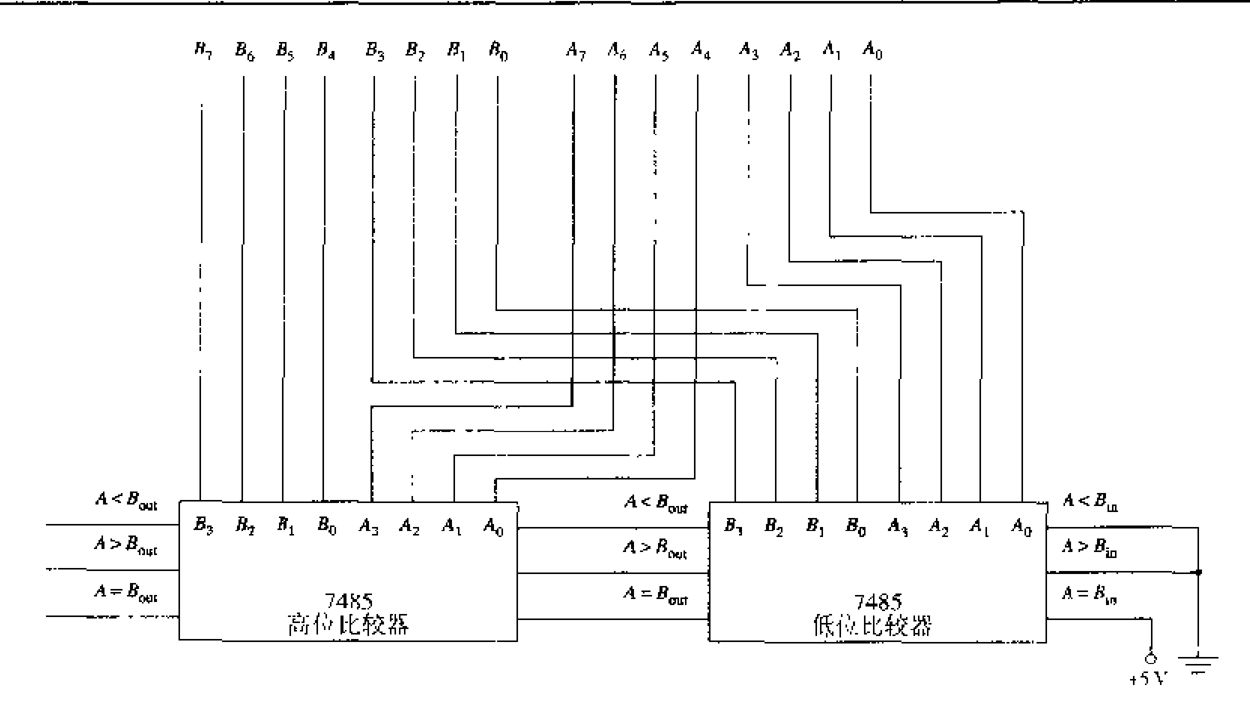


图10.41　由7485构成的8位数值比较器

高位比较器进行如下比较：$A_4 > B_4$，$A_5 = B_5$，$A_6 = B_6$，且$A_7 = B_7$（注意，必须找到高位输入的位数A_7~A_4和B_7~B_4所对应的A_3~A_0和B_3~B_0在表10.15中的位置），从表中第7行可以看出$A > B_{out}$输出有效，表示集合4中"A" 8位数大于"B" 8位数。

下面的例子可以更进一步说明级联输入的重要性。

	B_7	B_6	B_5	B_4	B_3	B_2	B_7	B_0	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
集合5	1	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0

对于低位比较器，$A_0 = B_0$，$A_1 > B_1$，$A_2 = B_2$，且$A_3 > B_3$，因为$A_3 > B_3$，比较结果$A > B_{out} = 1$、$A < B_{out} = 0$，且$A = B_{out} = 0$。

高位比较器的A和B输入都相等，且级联输入$A > B$为高电平，从表中可以看出$A > B_{out}$为高电平，从表中最后一行可以看到，如果所有的级联输入都为低电平，电路输出$A = B$为有效的低电平。

10.5节复习题

A. 数值比较器的功能是什么？

B. 数值比较器集成芯片的典型输出是什么，它们的有效输出是什么？

C. 在图10.40中，当

B_3	B_2	B_1	B_3	A_3	A_2	A_1	A_0
1	0	0	0	0	1	1	1

时，给出7485的三个输出电平。

D. 在图10.40中，当

B_3	B_2	B_1	B_0	A_3	A_2	A_1	A_0
1	1	1	0	1	1	1	1

时，给出7485的三个输出电平。

E. 在图 10.40 中，当

B_3	B_2	B_1	B_0	A_3	A_2	A_1	A_0	$A<B_{in}$	$A>B_{in}$	$A=B_{in}$
1	1	0	0	1	1	0	0	1	0	0

时，给出 7485 的三个输出电平。

阶段性小结（10.3 节 ~ 10.5 节）

这三节讲述了数字电路中几个重要的工作过程：数据选择、数据分配及数值比较。

数据选择器在数字电路中用来选择数据，其工作过程可看成是分时共享的。数据选择器也常用于将并行数据转换成串行数据。

数据选择器集成芯片可以将 2 线、4 线、8 线和 16 线转换成 1 线输出，它们都是选择一条线路上的输入数据送到选择的输出端，除了选择和数据输入端外，一般都有一个使能输入端。使能输入端可以将数据选择器集成芯片进行级联而无需另外的控制电路。

数字信号的数据分配过程与数据选择过程正好相反。数据分配器是将一条单独的输入线路上的数据分配到几条输出线路上，数据分配器可以将串行数据转换成并行数据。

没有专门的数据分配器芯片，而译码器集成芯片可以对信号进行数据分配，这是通过将串行数据送到译码器的使能输入端来完成的。

数值比较器用于比较二进制数，确定其值是否相等。如果不相等，比较器可以区分出哪个更大。

7485 这种 4 位数值比较器用于比较 4 位二进制数或 BCD 数，此时的 4 位二进制数称为一个字。多个 7485 可以级联，从而增加要比较的字的字长。许多计算机程序是用命令编写的，当比较的值相等，$A>B$ 或 $A<B$ 时，程序就会跳转到相应的入口地址。

阶段性练习（10.3 节 ~ 10.5 节）

参照制造商数据表回答下列各题。

1. 数据选择器用于________。
   a. 选择数据
   b. 分配数据
   c. 对应每个输入产生一个不同的码 / 数
   d. 通过一个输出表示选择的码 / 数
2. 数据分配器用于________。
   a. 选择数据
   b. 分配数据
   c. 对应每个输入产生一个不同的码 / 数
   d. 通过一个输出表示选择的码 / 数
3. 下面哪种数字电路可以将串行数据转换为并行数据？
   a. 译码器　　c. 数据选择器
   b. 编码器　　d. 数据分配器
4. 确定图 10.42 所示电路为________。
   a. 双 4–1 线数据选择器
   b. 四 2–1 线数据选择器
   c. 双 4–1 线数据分配器

d. 四 2–1 线数据分配器

5. 图 10.42 所示电路中，$G = 0$，$A/B = 1$，所有的 A 输入数据都为 1，所有的 B 输入数据都为 0 时，电路的输出是什么？

a. $1Y = 2Y = 3Y = 4Y = 0$

b. $1Y = 2Y = 3Y = 4Y = 1$

c. $1Y = 2Y = 0$，$3Y = 4Y = 1$

d. $1Y = 2Y = 1$，$3Y = 4Y = 0$

6. 图 10.42 所示电路中，$G = 1$，$\bar{A}/B = 0$，所有的 A 输入数据都为 1，所有的 B 输入数据都为 0 时，电路的输出是什么？

a. $1Y = 2Y = 3Y = 4Y = 0$

b. $1Y = 2Y = 3Y = 4Y = 1$

c. $1Y = 2Y = 0$，$3Y = 4Y = 1$

d. $1Y = 2Y = 1$，$3Y = 4Y = 0$

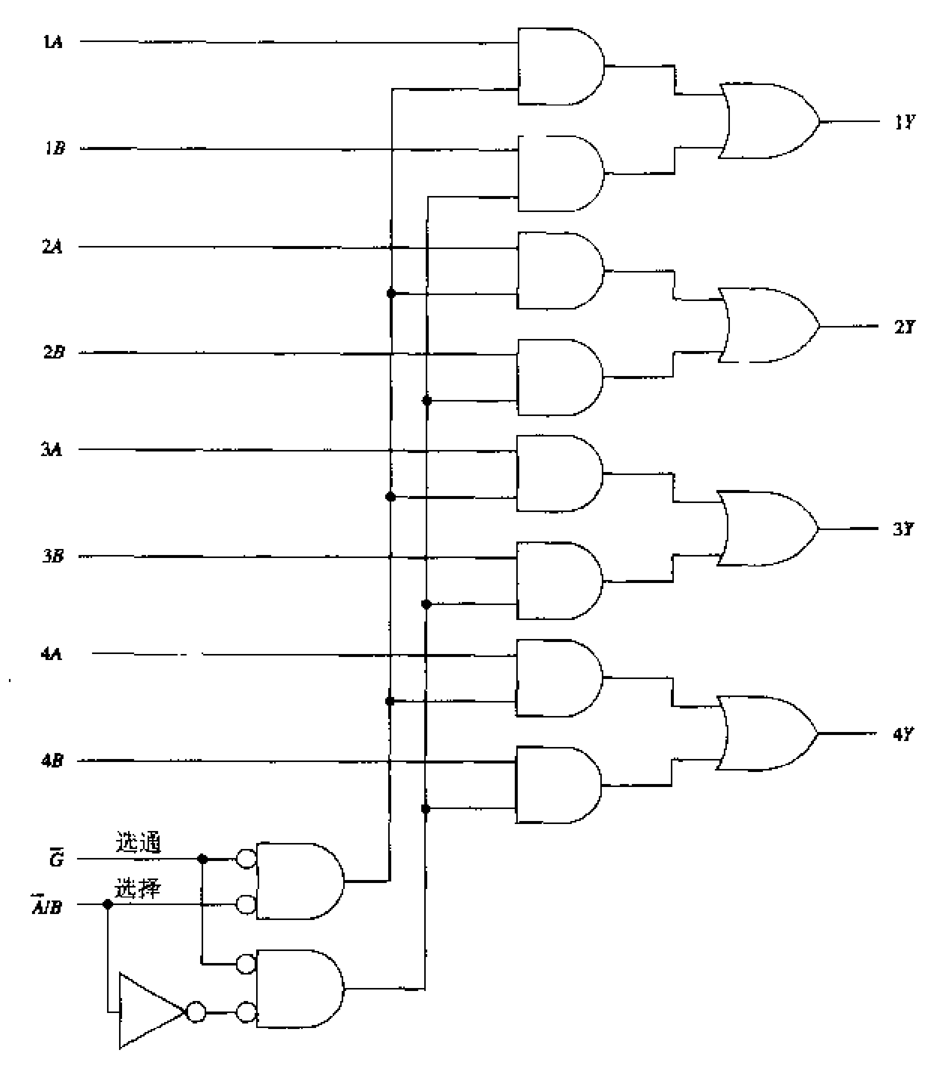


图 10.42

7. 图 10.43 所示双 4–1 线数据选择器中，$1\bar{G} = 2\bar{G} = 0$，$S_1 = S_0 = 1$，$1C_3 \sim 1C_0 = 0$，$2C_3 \sim 2C_0 = 1$ 时，电路的输出是什么？

a. $1Y=2Y=1$

b. $1Y=2Y=0$

c. $1Y=0$，$2Y=1$

d. $1Y=1$，$2Y=0$

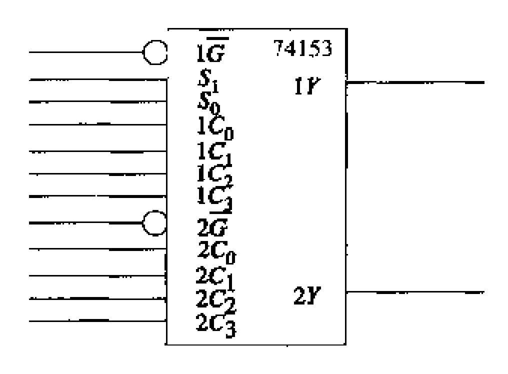


图 10.43

8. 图 10.43 所示双 4–1 线数据选择器中，$1\overline{G}=2\overline{G}=0$，$S_1=0$，$S_0=1$，$1C_3$~$1C_0=0101$，$2C_3$~$2C_0=1010$ 时，电路的输出是什么？

   a. $1Y=2Y=1$

   b. $1Y=2Y=0$

   c. $1Y=0$，$2Y=1$

   d. $1Y=1$，$2Y=0$

9. 图 10.44 中，$\overline{G}=0$，$C=B=A=1$，D_7~$D_0=10100011$ 时，74151 的输出是什么？

   a. $Y=0$，$W=0$　　c. $Y=1$，$W=0$

   b. $Y=0$，$W=1$　　d. $Y=1$，$W=1$

10. 图 10.44 中，$\overline{G}=1$，$C=B=A=0$，D_7~$D_0=10100011$ 时，74151 的输出是什么？

   a. $Y=0$，$W=0$　　c. $Y=1$，$W=0$

   b. $Y=0$，$W=1$　　d. $Y=1$，$W=1$

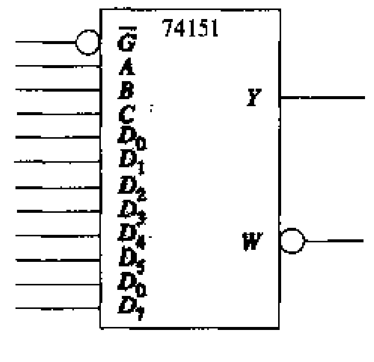


图 10.44

11. 图 10.45 中，74LS138 接成________？

   a. 译码器　　c. 数据选择器

   b. 编码器　　d. 数据分配器

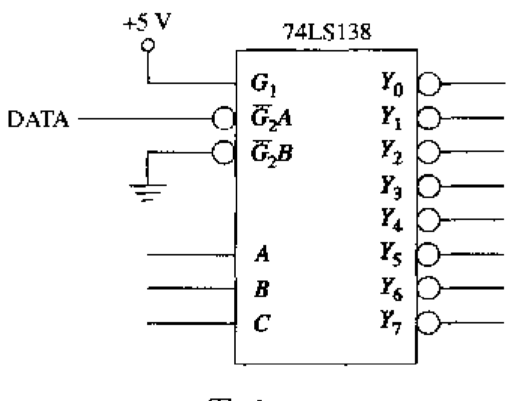


图 10.45

12. 图 10.45 中，74LS138 可用于________。
   a. 将串行数据转换为并行数据
   b. 将并行数据转换为串行数据

13. 在图 10.46 中，当

B_3	B_2	B_1	B_0	A_3	A_2	A_1	A_0	$A>B_{in}$	$A<B_{in}$	$A=B_{in}$
1	0	0	0	0	1	0	0	X	X	X

时，给出 7485 数值比较器的输出。
   a. $A>B_{out}=1$，$A<B_{out}=1$，$A=B_{out}=1$
   b. $A>B_{out}=0$，$A<B_{out}=0$，$A=B_{out}=1$
   c. $A>B_{out}=1$，$A<B_{out}=0$，$A=B_{out}=0$
   d. $A>B_{out}=0$，$A<B_{out}=1$，$A=B_{out}=0$

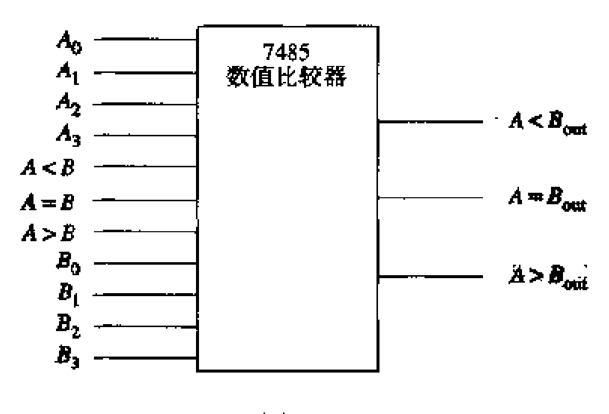


图 10.46

14. 在图 10.46 中，当

B_3	B_2	B_1	B_0	A_3	A_2	A_1	A_0	$A>B_{in}$	$A<B_{in}$	$A=B_{in}$
1	0	0	0	1	0	0	0	X	X	1

时，给出 7485 数值比较器的输出。
   a. $A>B_{out}=1$，$A<B_{out}=1$，$A=B_{out}=1$
   b. $A>B_{out}=0$，$A<B_{out}=0$，$A=B_{out}=1$
   c. $A>B_{out}=1$，$A<B_{out}=0$，$A=B_{out}=0$
   d. $A>B_{out}=0$，$A<B_{out}=1$，$A=B_{out}=0$

15. 在图 10.46 中，当

B_3	B_3	B_1	B_3	A_3	A_2	A_1	A_0	$A>B_{in}$	$A<B_{in}$	$A=B_{in}$
1	0	0	0	1	0	0	0	0	1	0

时，给出7485数值比较器的输出。

a. $A>B_{out}=1$，$A<B_{out}=1$，$A=B_{out}=1$

b. $A>B_{out}=0$，$A<B_{out}=0$，$A=B_{out}=1$

c. $A>B_{out}=1$，$A<B_{out}=0$，$A=B_{out}=0$

d. $A>B_{out}=0$，$A<B_{out}=1$，$A=B_{out}=0$

10.6 应用及故障诊断

要点

1. 画出包括译码器、编码器、数据选择器、数据分配器和/或数值比较器的电路，决定电路输出。
2. 说明以上各种电路的主要作用或应用。
3. 给出包括MSI集成芯片的有缺陷电路的故障诊断结果，确定其可能的故障。
4. 给出包括MSI集成芯片的电路的故障，确定最可能的现象。

本节的目的不是讲授计算机工作原理或计算机术语。前面提到的各种电路都是数字系统中的一些实际电路，本节的重点是了解MIS电路能完成什么操作，与它们相连的电路有故障时会发生什么现象。这里提到的术语是一般的计算机术语，但本节的要点不是有关术语而是电路的工作过程。

大多数MSI集成芯片的故障诊断相对来说很容易，在正常供电时它们能正常工作，否则就会出现故障。当有故障出现时，首先要考虑的是断开负载，以保证负载不是故障源。我们的目的是要确定电路中有故障的芯片，因此，为了得到更接近于实际情况的故障诊断结果，需将集成芯片与电路的应用结合起来。另外，故障诊断最重要的是知道电路在正常控制时是怎样工作的。一旦找到了集成芯片的问题，就可以根据前面给出的故障信息判断该集成芯片的故障了。

10.6.1 地址译码器

首先讨论的是3.10节中提到的只读存储器（ROM），5.5节也讨论了ROM的地址译码过程，其译码电路是由逻辑门构成的，将图10.4(a)所示的74LS138译码器逻辑图与图5.36所示的译码器电路相比较可以看出，它实际上就是74LS138译码器。用74LS138的逻辑符号画出的ROM地址译码器如图10.47所示，由该图可以很快回想起地址译码器的工作过程，需要时可参阅第5章。

在图10.47中，74LS138译码器有两个低电平有效的使能输入端（$\bar{G}_2A$和$\bar{G}_2B$），地址位A_{19}到A_{16}必须是高电平，以保证与非门在$\bar{G}_2A$端输出一个低电平。与非门输出的低电平也称为ROM页($\overline{\text{ROMPG}}$)信号，该信号用于在读存储操作中选择ROM中的页存储，微处理器的读存储（$\overline{\text{MEMR}}$）信号在读存储操作中必须为低电平才能使74LS138译码器工作。注意，译码器的使能输入（G_1）为高电平有效。

译码器的输出为低电平时选中某一ROM芯片，这取决于译码器的输入端CBA所连的地址位A_{15}，A_{14}和A_{13}的电平。如果$A_{15}=0$，$A_{14}=1$，$A_{13}=1$，则输出$\bar{Y}_3$为低电平有效，该低电平送到第2个ROM芯片的片选端（$\overline{\text{CS}}$），使该芯片工作。

收发器的数据传输方向由$\overline{\text{ROMPG}}$和$\overline{\text{MEMR}}$信号控制，第5章曾简要介绍过收发器，它是一个发送/接收器，其数据可以向一个方向或相反方向变动。从图10.47中可以看出，当微处理器从ROM芯片读数据时，其数据必须从左到右。或门#1的$\overline{\text{MEMR}}$和$\overline{\text{ROMPG}}$信号有效时，ROM地址选择信

号（ROM ADDRSEL）有效（高电平），该信号使或门 #3 禁止，收发器的 DIR 脚为低电平，从而允许微处理器从 ROM 中读取数据

图 10.47 所示的 ROM 地址译码器是 8088 微处理器系统中的一部分，系统的存储器的页设置如表 10.16 所示，基于 8088 微处理器的计算机的存储单元有 64 K 页。

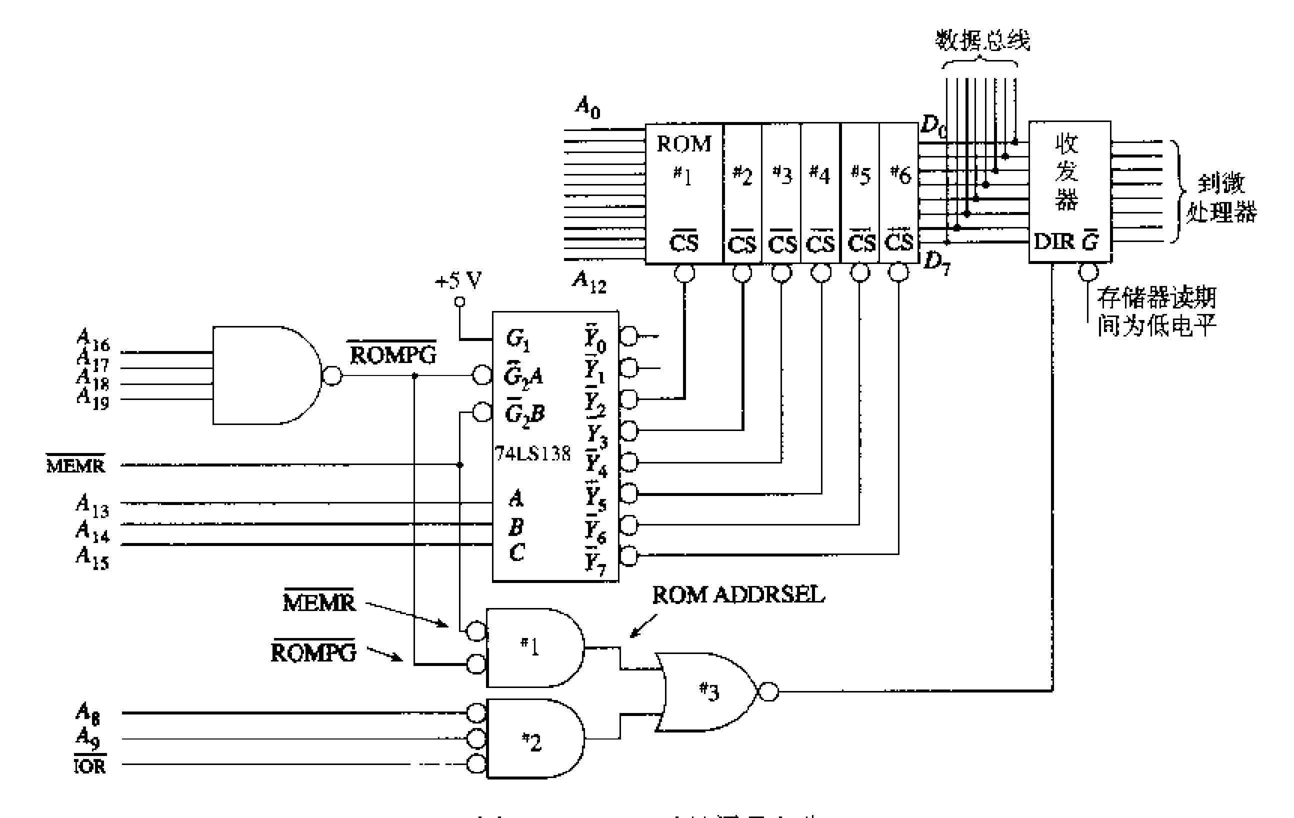


图 10.47　ROM 地址译码电路

表 10.16　8088 系统页设置

A_{19}	A_{18}	A_{17}	A_{16}	
0	0	0	0	页 0 = RAM
0	0	0	1	页 1 = RAM
0	0	1	0	页 2 = RAM
0	0	1	1	页 3 = RAM
0	1	0	0	页 4 = RAM
0	1	0	1	页 5 = RAM
0	1	1	0	页 6 = RAM
0	1	1	1	页 7 = RAM
1	0	0	0	页 8 = RAM
1	0	0	1	页 9 = RAM
1	0	1	0	页 A = 保留未用
1	0	1	1	页 B = VIDEO/GRAPHICS
1	1	0	0	页 C = 保留未用
1	1	0	1	页 D = 保留未用
1	1	1	0	页 E = ROM BASIC
1	1	1	1	页 F = ROM

该系统有 16 页存储单元可寻址，这 16 页存储单元相当于总的存储容量，即 1 048 576 个存储单元，每个存储芯片的存储单元包括一个 8 位数据。

表 10.16 所示的页设置说明系统有 20 个地址位，A_{19}~A_{16} 为页地址，只有当 A_{19}~A_{16} = 1111 时，才会寻址到 ROM 芯片，该页为 F 页，注意，0~E 页有其他用途。ROM 地址划分如下：

$$\begin{array}{cccccccccccccccccccc} A_{19} & A_{18} & A_{17} & A_{16} & A_{15} & A_{14} & A_{13} & A_{12} & A_{11} & A_{10} & A_9 & A_8 & A_7 & A_6 & A_5 & A_4 & A_3 & A_2 & A_1 & A_0 \\ 1 & 1 & 1 & 1 & X & X & X & X & X & X & X & X & X & X & X & X & X & X & X & X_{(2)} \\ \end{array}$$

$$\underbrace{1111}_{F}\ \underbrace{XXXX}_{X}\ \underbrace{XXXX}_{X}\ \underbrace{XXXX}_{X}\ \underbrace{XXXX}_{X}\ {}_{(16)}$$

地址用二进制和十六进制表示，其中最高的4位必须考虑，其余的地址位与输入无关。我们可以看出，前4位是选择ROM页的：在图10.47中，当页地址为F时，$\overline{MEMR}=0$时，就选中了6个ROM芯片的某一个。地址位A_{15}、A_{14}和A_{13}决定选中的是6个ROM芯片中的哪一个，地址位A_{12}~A_0从选中的ROM芯片中读取某一确定的存储单元的数据。从ROM中读取的数据提供电源初始化信息，从而为系统正常工作配置并初始化支持芯片，这个初始化过程称为启动。

在图10.47中，74LS138译码器的$\overline{G}_2A$引脚或$\overline{G}_2B$引脚内部断开时会出现什么现象呢？此时译码器不工作，74LS138的输出永远无效，从而在启动时无法选择ROM芯片，而系统要从ROM中接收初始化指令，因此系统无法初始化，此时系统处于死机状态。如果译码器有故障或+5 V没有与G_1或V_{CC}引脚相连，系统就会出现同样现象。

如果和与非门相连的A_{19}输入端断开，又会出现什么现象呢？这个悬空端相当于高电平送到与非门的$\overline{ROMPG}$端，它不影响正常启动时ROM芯片的选择。总之，要在读操作时寻址RAM的第7页（表10.16中页地址为0111），此时ROM的译码器电路将该输入地址数据翻译成ROM数据申请指令，结果是ROM和RAM数据同时应用于系统数据总线，这种总线问题称为系统性事故。

如果收发器的DIR输入引脚断开会有什么结果呢？在ROM读操作和I/O读操作中，DIR引脚为低电平。DIR引脚不是低电平，微处理器就不能读取数据，因此系统就无法初始化，造成死机。

可编程地址译码器如图10.48所示，该电路由两片7485 4位数值比较器组成，用户可以通过DIP开关对某一片进行编址。该电路可为计算机的输入/输出（I/O）口地址进行译码。

在图10.48所示电路中，只有当微处理器的地址是$B0_{(16)}$时，才能使某一片7485工作。低位比较器的$A=B_{in}$输入端接高电平，该集成芯片将微处理器地址的低4位字节与DIP开关的低四位相比较。如果低四位地址字节为$0000_{(2)}$，比较器的输出为$A=B_{out}=1$（见表10.15），$A>B_{out}$和$A<B_{out}$输出未使用。如果微处理器的高4位地址字节为$1011_{(2)}$，对应的十六进制数为B，高位比较器的输出也为$A=B_{out}=1$。

微处理器给I/O口编址时，高位比较器的输出与输入/输出存储信号（$IO/\overline{M}$）进行与非运算，产生一个低电平有效的选择信号（$\overline{SEL}$），$\overline{SEL}$信号必须与微处理器的READ（$\overline{RD}$）和WRITE（$\overline{WR}$）信号进行或运算，产生相应的I/O读（$\overline{IOR}$）或I/O写（$\overline{IOW}$）命令。微处理器处于读周期时$\overline{IOR}$为低电平。

我们再来回顾一下以上操作。微处理器将一地址放在地址总线上，并发出读操作指令，地址对应于某一特定的I/O口，该口地址可以通过DIP开关设置，设置的口地址通过7485集成芯片与微处理器的地址相比较，两个地址相同时，高位比较器的$A=B_{out}$信号为高电平，利用组合逻辑电路通过启动$\overline{IOR}$指示进行读操作。

该电路的设计比我们想像得简单，其故障诊断也很直接。如果微处理器的地址与DIP开关设置的口地址相同，两片7485的输出$A=B_{out}$都是高电平。如果与非门的$A=B_{out}$输入是断开的，那么在I/O读或写操作中$\overline{SEL}$信号将变为低电平。

当地址不相同时也是如此。如果或门的输入中也有断开的，或门将禁止，其输出无效。

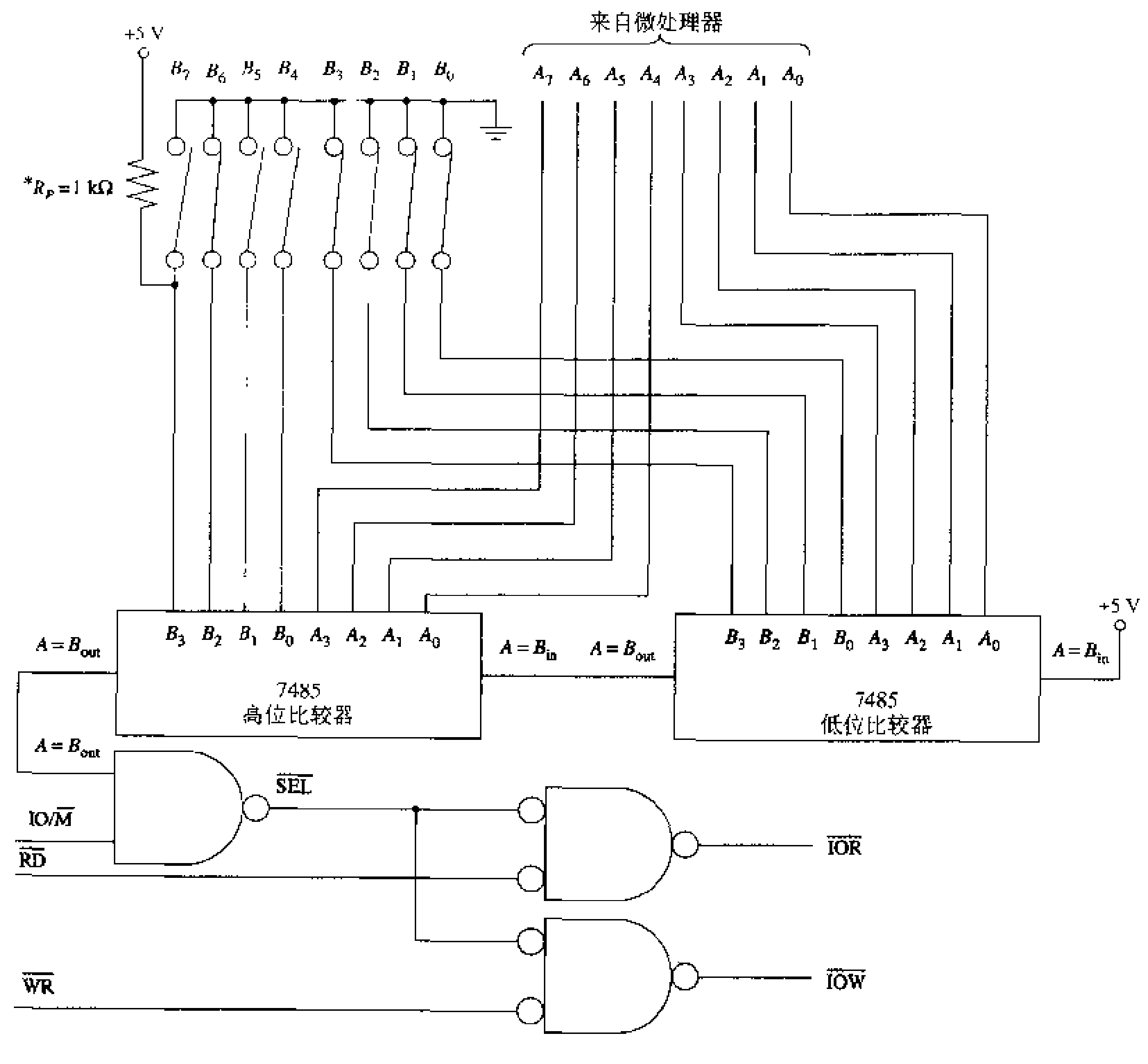


图 10.48　可编程地址译码器电路

10.6.2　显示译码器

图 10.49 所示电路包括一个模 1000 计数器（最大的数是 999），每个模 10 计数器的数通过 7446 BCD-7 段码译码器 / 驱动器进行译码，7446 可将 BCD 数转换成 7 段码，用于驱动阳极为公共端的 7 段码显示器。

这里用到了前导零消除，以清除多位数字显示时的前导零，为此连上了脉动消隐信号，如图 10.49 所示。注意，MSD 译码器 / 驱动器的 $\overline{RBI}$ 接地，且 $\overline{LT}$ 与高电平相连。当 MSD 计数器的输出为 $0000_{(BCD)}$时，MSD 显示器所有的数码管都熄灭，$\overline{RBO}$ 为低电平，图中 3 个数字显示为 55，MSD 的 7 段码显示全熄灭。

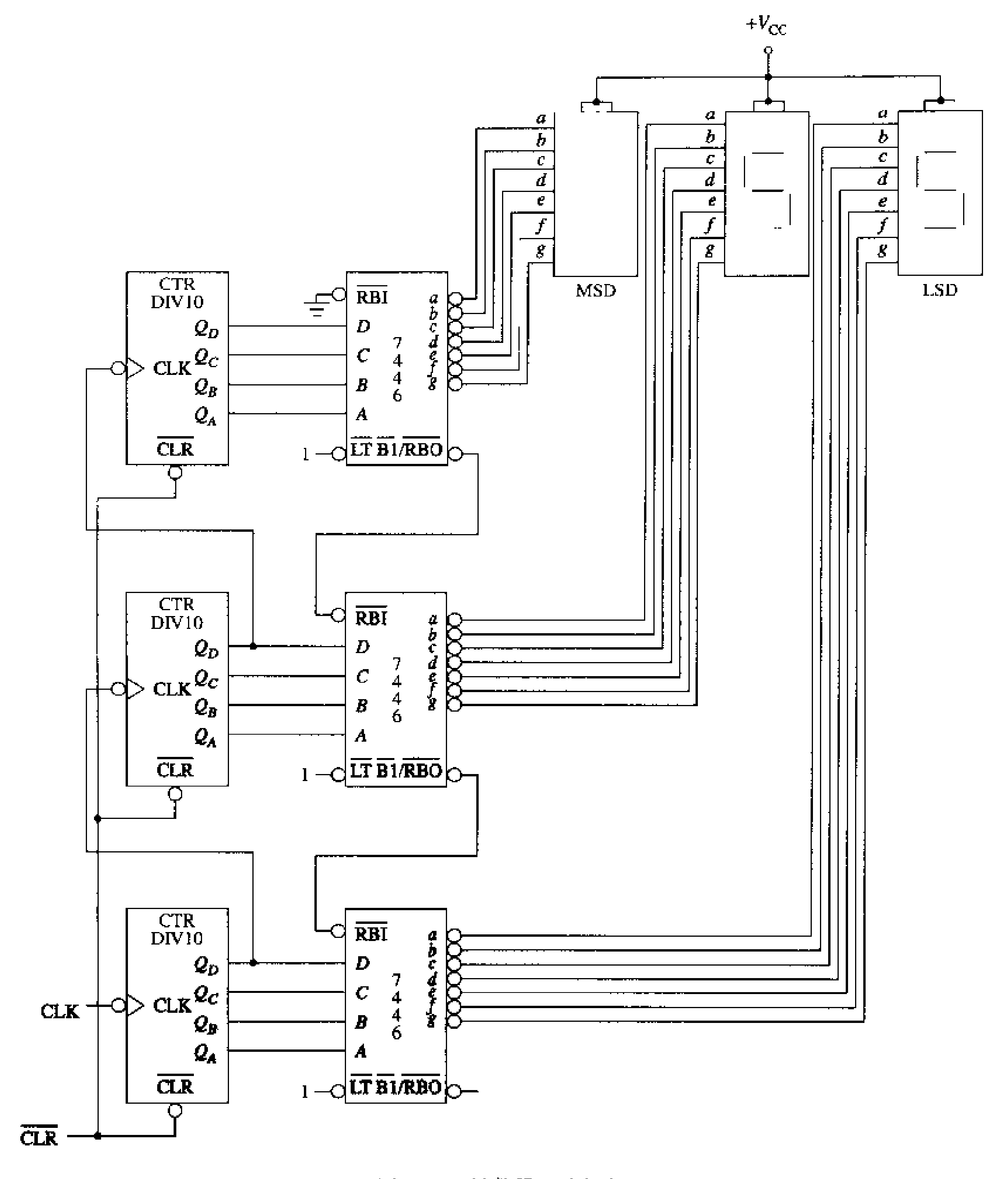


图 10.49 计数器显示电路

如果计数器的输出为005（0000 0000 $0101_{(BCD)}$），需消除两个前导零，可以通过将MSD译码器的$\overline{RBO}$与下一级数字译码器的$\overline{RBI}$相连进行脉动消隐。记住，只有当MSD译码器的计数为$0000_{(BCD)}$时，其$\overline{RBO}$才变为低电平。

7段码显示中的前导零消除问题可以通过连接脉动消隐信号来解决，如图所示，$\overline{RBO}$与下一级数字译码器/驱动器的$\overline{RBI}$相连，以此类推直到LSD。

计数器的故障诊断在第7章中详细讨论过。对图10.49所示电路进行故障诊断时，最容易查到的问题与操作按时序进行有关。LSD计数器的Q_D输出与高位数字计数器的时钟相连，这一级的Q_D输出又与MSD计数器的时钟相连。如果计数器出现不计数或计数错误的故障，则将7446与相应的计数器断开，以保证译码器不出现问题。也可以为相应的计数器提供正确的时钟输入。要常记着检查V_{CC}和接地端。如果显示器没有数字显示（全灭），白炽灯的测试输入LT为低电平，此时可以检测显示器中所有的数码管。

如果驱动译码器的计数器计数正常，而且数码管显示单元也正常，可以检测一下译码器的输出。译码器输出有效的低电平信号，从而使阴极为公共端的7段码显示器正常发光。因此，可以利用计数器进行专门的计数，再决定哪一个译码器的输出有效。例如，给计数器加上一个逻辑探针，直到怀疑有故障的译码器的输出为$0111_{(BCD)}$为止。a，b和c这3段数码管发光，其余各段均熄灭，译码器的输出为$a=b=c=0$和$d=e=f=g=1$。需要时可替换这个可能有问题的译码器。

图10.49所示电路不能正常工作时会发生什么现象呢？对于LSD 7段码显示器，可以观察到的结果和所希望的结果如图10.50所示。其他两个7段码显示器都能正常工作，那么引起错误显示可能的原因是什么呢？

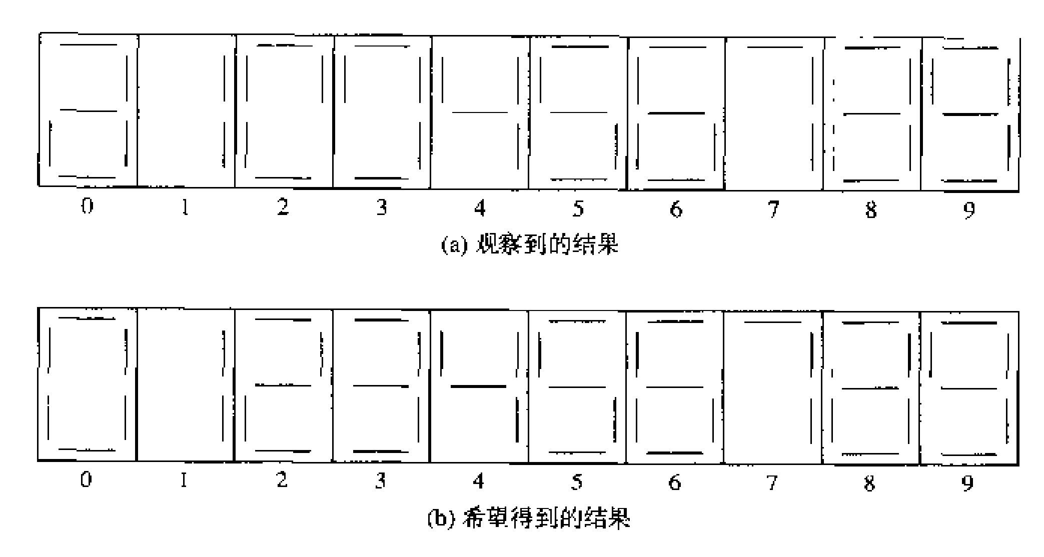
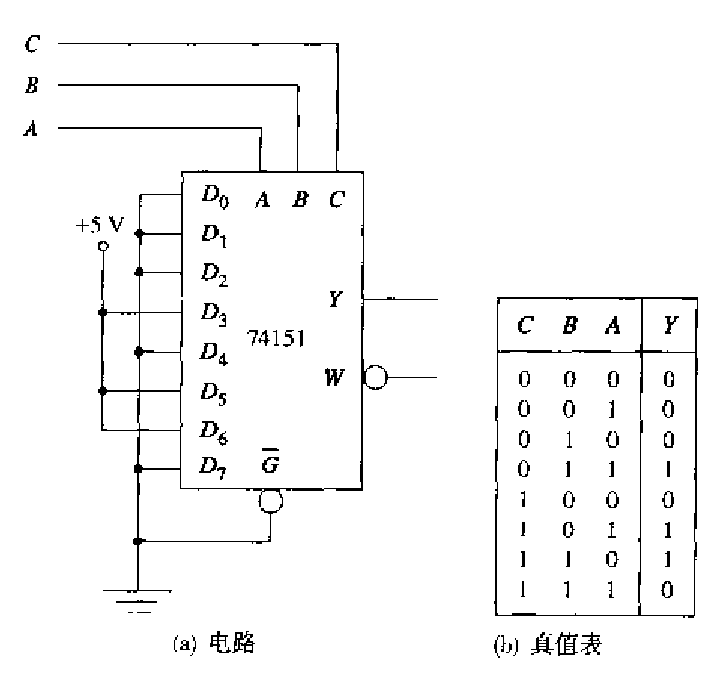


图10.50 计数器显示电路的故障显示

首先可以看到，在图10.50中，1，4，5，6，7，8和9几个数字正常显示，数字0说明f段熄灭（应该发光）且g段发光（应该熄灭）。这个现象说明译码器的f和g输出，或7段码显示器的f和g输入反相了，2和3的错误显示证明了这一点。

10.6.3 逻辑功能产生器

第4章学习的真值表和逻辑功能知识有助于分析图10.51(a)所示的逻辑功能产生器。图10.51(b)所示真值表的逻辑功能表达式为$AB\overline{C}+A\overline{B}C+\overline{A}BC$，实现这个表达式的电路应具备积之和（SOP）结构。数据选择器可以实现SOP表达式的计算，因为数据选择器实际上就是一个SOP电路。74151数据选择器的数据输入端与高电平或低电平相连，这取决于真值表中Y输出对应的输入。因为D_3，D_5和D_6输入端都与高电平相连，所以当选择输入$CBA=011$，101或110时，数据选择器的输出只能为高电平，其他输入码选择的输入端都与低电平相连。

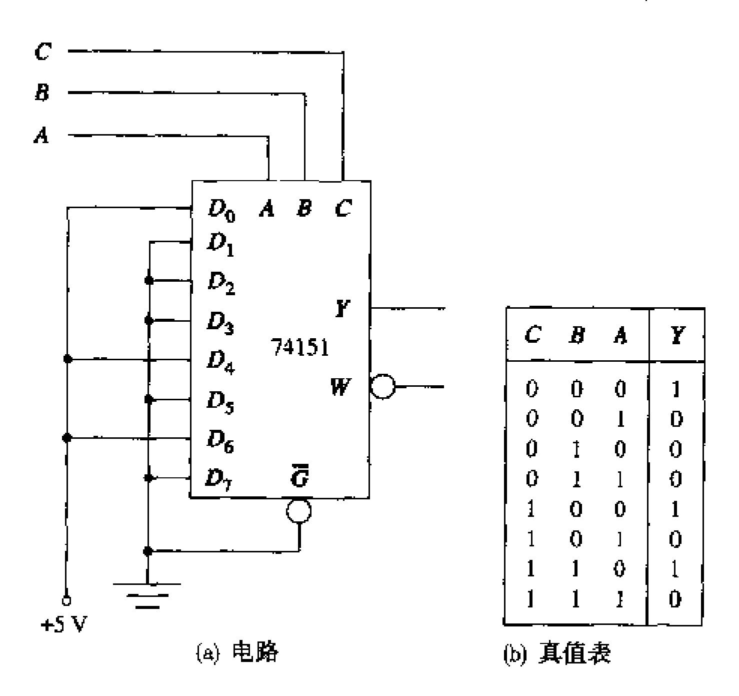


C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

(a) 电路　　(b) 真值表

图 10.51　逻辑功能产生器 $AB\bar{C}+A\bar{B}C+\bar{A}BC$

下面写出图10.52(a)所示电路的输出表达式。注意，图10.52(b)所示真值表的选择输入条件是使输出为高电平，此时条件为 $\bar{A}\bar{B}\bar{C}$，$\bar{A}\bar{B}C$ 和 $\bar{A}BC$，因此电路在 Y 输出端产生 $\bar{A}\bar{B}\bar{C}+\bar{A}\bar{B}C+\bar{A}BC$ 输出。数据选择器从反相输出端（W）输出时，表达式为 $\overline{\bar{A}\bar{B}\bar{C}}+\overline{\bar{A}\bar{B}C}+\overline{\bar{A}BC}$。



C	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(a) 电路　　(b) 真值表

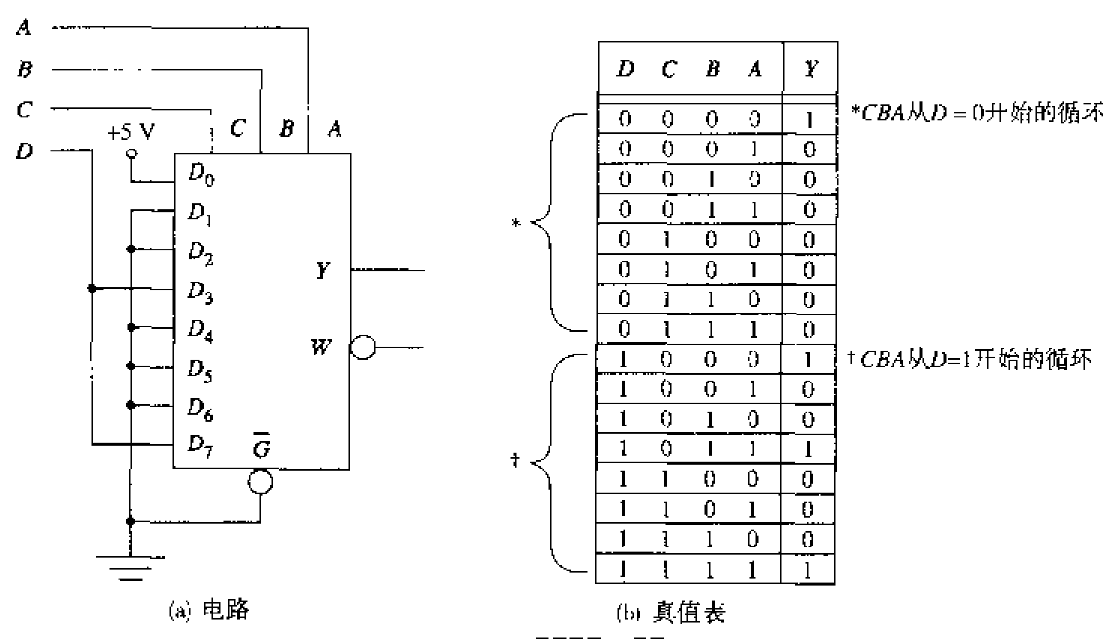
图 10.52　逻辑功能产生器 $\bar{A}\bar{B}\bar{C}+\bar{A}\bar{B}C+\bar{A}BC$

虽然 Y 输出表达式 $\bar{A}\bar{B}\bar{C}+\bar{A}\bar{B}C+\bar{A}BC$ 可以简化为 $\bar{A}\bar{B}+\bar{A}C$，但仍需要两个二输入与门，两个非门和一个二输入或门（共3个集成芯片）。如果只用与非门来实现该逻辑功能，需要5个二输入与非门（共两个集成芯片），因此用一个数据选择器芯片更有利于实现该电路。

图10.51和图10.52所示电路可以产生3个变量的逻辑功能，这3个变量就是选择输入的数据。在电路设计中，只需根据各自的真值表将数据选择器的数据输入端接为低电平或高电平即可。

74151数据选择器也可以连接成具有4个输入变量功能的电路，该电路如图10.53(a)所示，可实现图 10.53(b)所示真值表的功能，其表达式为 $\bar{A}\bar{B}\bar{C}\bar{D}+\bar{A}\bar{B}\bar{C}D+AB\bar{C}D+ABCD$。输入 $DCBA$ 的 MSB 与数据选择器的 D_3 和 D_7 相连、输入端 CBA 将所选择的数据送到 Y 端输出，过程如前所述。

从真值表中可以看出，在 16 种输入组合码中，CBA 的输入从 000 到 111 两次循环。在第一个循环中，MSB 始终为低电平，在第二个循环中，MSB 为高电平，下面对图 10.53 所示电路的操作过程进行深入分析。



D	C	B	A	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

(a) 电路　　(b) 真值表

图 10.53　逻辑功能产生器 $\bar{A}\bar{B}\bar{C}\bar{D}+\bar{A}\bar{B}\bar{C}D+AB\bar{C}D+ABCD$

深入分析操作过程

$DCBA$ = 0000　　因为 D_0 接高电平，所以 Y 为高电平。

$DCBA$ = 0001 和 0010　　D_1 和 D_2 都接低电平，所以 Y 为低电平。

$DCBA$ = 0011　　D_3 接选择输入 D，D 为低电平，所以 Y 也为低电平。

$DCBA$ = 0100~0110　　D_4，D_5 和 D_6 都接低电平，所以 Y 为低电平。

$DCBA$ = 0111　　D_7 接选择输入 D，D 为低电平，所以 Y 也为低电平。

注意，在以上输入循环中，CBA 在循环结束时是 000，此时 D 输入变为高电平。

$DCBA$ = 1000　　因为 D_0 接高电平，所以 Y 为高电平。

$DCBA$ = 1001 和 1010　　D_1 和 D_2 都接低电平，所以 Y 为低电平。

$DCBA$ = 1011　　D_3 接选择输入 D，D 为高电平，所以 Y 也为高电平。

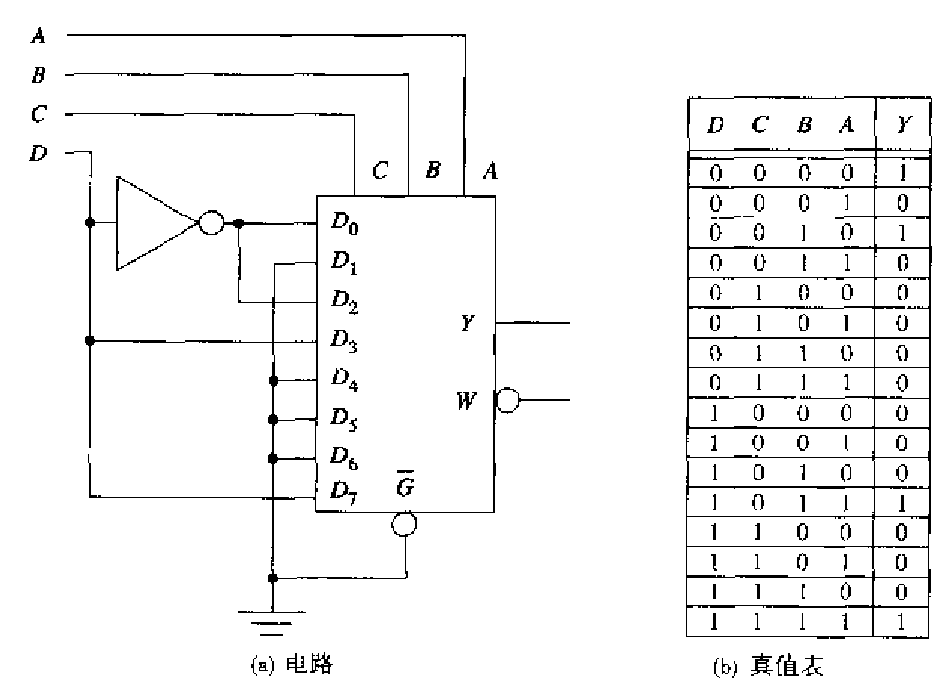
$DCBA$ = 1100~1110　　D_4，D_5 和 D_6 都接低电平，所以 Y 为低电平。

$DCBA$ = 1111　　D_7 接选择输入 D，D 为高电平，所以 Y 也为高电平。

下面简单说明一下利用 74151 数据选择器实现4个变量的逻辑功能的例子。首先，我们来看电路是怎样设计的。分析的关键是比较开始的循环中 D 为低电平（0<u>000</u> ~ 0<u>111</u>）和第二个循环中 D 为高电平（1<u>000</u> ~ 1<u>111</u>）时 CBA 的数据。

设计 / 实现规则

下面的规则针对图 10.54 所示的电路。



D	C	B	A	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

(a) 电路　　　　(b) 真值表

图 10.54　逻辑功能产生器 $\overline{A}\overline{B}\overline{C}\overline{D}+\overline{A}B\overline{C}\overline{D}+AB\overline{C}D+ABCD$

规则 1： 在 *CBA* 的两个循环过程中，要想使 *Y* 输出为低电平，将所选择的数据输入端接逻辑 0。输入为 0001/1001，0100/1100，0101/1101 和 0110/1110 时，输出为所希望的低电平。*CBA* 输入控制所选择的输入数据，所以 *CBA* 输入都用下划线标出，从电路中可以看出 D_1，D_4，D_5 和 D_6 都与地相连，正如规则 1 所述。

规则 2： 在 *CBA* 的两个循环过程中，要想使 *Y* 输出为高电平，将所选择的数据输入端接逻辑 1。该电路不具备规则 2 的条件，但从前面的图 10.53(a) 中可以看出，D_0 接高电平正如规则 2 所述。

规则 3： 在 *CBA* 的两个循环过程中，要想使 *Y* 输出不同，且希望 *Y* 输出电平与 *D* 的电平相同，则将 *D* 与选择数据输入端相连。

CBA 为 0011/1011 和 0111/1111 时正好符合该规则。对于 0011，*Y* 输出为低电平，对于 1011，*Y* 输出为高电平。可见这两个数的输出电平不同，且输出电平正好等于 *D* 输入的电平，对于 0111/1111 同样如此。

规则 4： 在 *CBA* 的两个循环过程中，要想使 *Y* 输出不同，且希望 *Y* 输出电平与 *D* 的补码（$\overline{D}$）相同，则将 *D* 的补码端与所选择的数据输入端相连。

CBA 为 0000/1000 和 0010/1010 时正好符合该规则。对于 0000，*Y* 输出为高电平，对于 1000，*Y* 输出为低电平。可见这两个数的输出电平不同，且输出电平正好等于 *D* 输入的补码。注意，图 10.54(a) 中 $\overline{D}$ 与 D_0 和 D_2 相连。

该电路的逻辑功能表达式为：$\overline{A}\overline{B}\overline{C}\overline{D}+\overline{A}B\overline{C}\overline{D}+AB\overline{C}D+ABCD$。该表达式可以简化，但使用数据选择器和一个非门是最简单的实现电路。

10.6.4　数据转换

数据转换电路如图 10.55 所示。通过 74151 数据选择器，并行输入数据（I_0~I_7）可以转换为串行数据，串行数据可以再以串行的方式传输到 74LS138，74LS138 可以进行数据分配，再转换成原始的并行数据，该并行数据送到电路的输出端（O_0~O_7）。从图 10.55 可以看出，$63_{(16)}$ 传输到数据分

配器，该数据01100011_2（$D_7 \sim D_0$）以串行的方式从数据选择器传输到数据分配器。7493计数器接成模8计数器，使数据选择器的传输和数据分配器的接收同步进行。

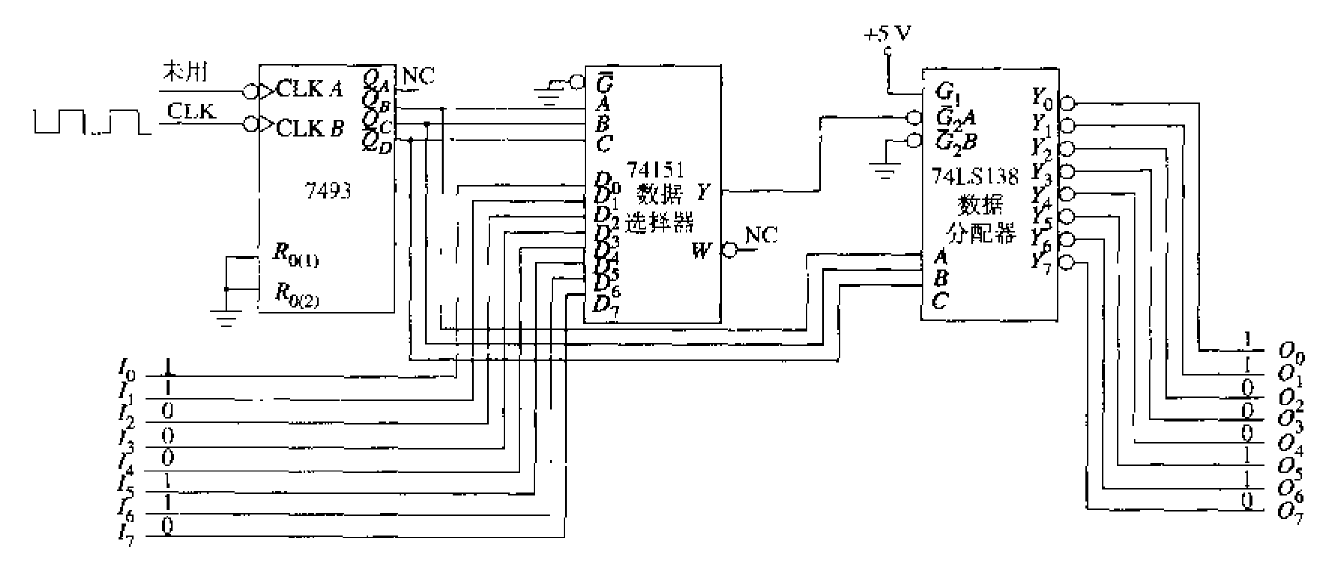


图10.55　数据转换电路

该电路的故障诊断可以一步步进行。如果输出端没有数据，先看看输入端，保证输入端有数据；然后，再看看数据选择器的选择输入端，保证这时输入端有数据。可以用逻辑探针检测CBA输入，保证有信号加到CBA。如果CBA没有信号加入，再按第7章介绍的方法检测计数器的故障；如果选择输入端有信号，说明计数器工作正常，这时检测一下数据选择器的输出。用逻辑探针只能检测数据选择器的输出是否有信号，这时可以用示波器观察Y输出端的串行数据。如果数据选择器的输出端没有信号，检测一下集成芯片的V_{CC}、地和使能端的电压值是否合适。如果这些都正常，断开负载之后再检查数据选择器的输出端，如果输出端仍然没有信号，就换一片数据选择器。

如果数据选择器的Y输出端有信号，检测数据分配器的$\bar{G}_2A$引脚的输入数据。如果信号正常，检测选择输入端。记住，在换数据分配器之前一定要检测$\bar{G}_1$，G_2B，V_{CC}和地端电平。

本节内容在本章小结中总结。本章最后有关故障诊断的习题可以扩展这方面的知识，而且可以帮助我们更好地理解电路的工作过程。

本章小结

本章介绍了几种中规模集成电路，其他中规模集成电路在本书其他相应章节介绍。

本章介绍的一些译码器用于检测码或数，激励相应的输出，表明输入码或数是什么，这种电路常称为$1/n$译码器。

另外一种译码器是将二进制码或数转换成另外形式的数，这种代码转换器最主要的例子是BCD-7段码译码器。这种译码器是将输入端的某一BCD码转换成7段码，以使7段码显示器正常发光。

有两种基本的7段码显示器：阳极为公共端的和阴极为公共端的，每一种都需要相应的译码器。许多译码器具有一些特殊功能，比如使用消隐和前导零消除来提高显示效果，也常用白炽灯测试输入进行故障诊断。

编码器与译码器的功能正好相反。编码器用于检测一个有效的输入端数，并将它转换成二进制码或数输出。当同时不止一个输入有效时，优先编码器只响应最高级的输入数据，这种功能允许优先输入。当同时有两个输入有效时，非优先级编码器所产生的输出无效。

数据选择器（MUX）用于扩展电路的数据输入点，将2线、4线、8线或16线输入选择的输入数据送到一个输出端输出。数据选择器常同于将并行数据转换成串行数据，该过程也可称为分时共享。从这个意义上来说，多路输入通过分时共享变成单路输出。

数据分配器（DEMUX）与数据选择器的功能正好相反。数据选择器是从输入中选择数据，而数据分配器是将一个输入端的数据分配到几个输出端。

译码器可作为数据分配器使用，此时可将它的其中一个使能输入端作为数据输入端，数据分配器电路可将串行数据转换成并行数据。

大多数的译码器、编码器和数据选择器集成芯片都有使能输入端，这些引脚可将集成芯片与控制电路级联。通过级联可以扩展电路，以处理较大的二进制数。

数值比较器用于确定两个输入值哪个大，这些集成芯片都有3个输出端：$A>B$，$A=B$和$A<B$。7485集成芯片是一个4位数值比较器，用来比较两个4位二进制数或BCD数。可将多个数值比较器级联，用于比较较大的二进制数。

习题

参照制造商数据表回答下列各题。

10.1节

1. 译码器的目的是什么？
2. 图10.56中，$1\overline{G}_1=1$，$2\overline{G}_1=0$，$1A=0$，$1B=0$，$2A=1$，$2B=0$时，74LS139的Y输出电平是什么？

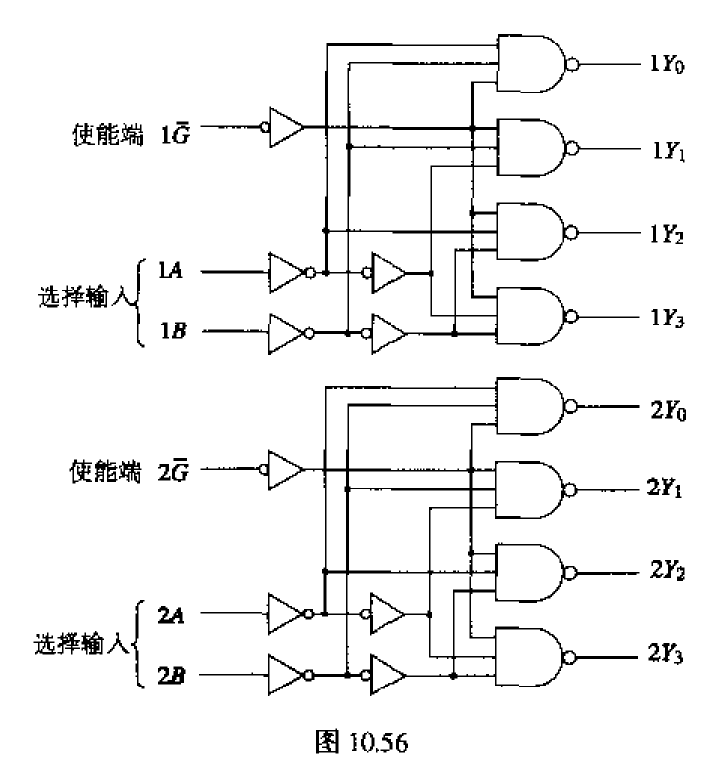


图10.56

3. 图10.57中，$G_1=0$，$\overline{G}_2A=0$，$\overline{G}_2B=0$，$CBA=000$时，74LS138译码器的Y输出电平是什么？

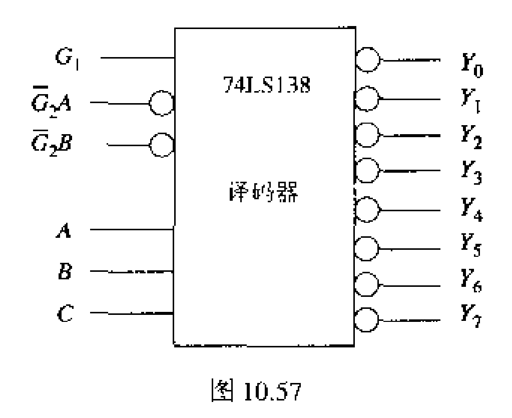


图 10.57

4. 图 10.57 中，$G_1=1$，$\overline{G}_2A=0$，$\overline{G}_2B=0$，$CBA=011$ 时，74LS138 译码器的 Y 输出电平是什么？
5. 图 10.58 中，当 $DCBA=0101$ 时，哪一个译码器有效？
6. 图 10.58 中，当 $DCBA=1100$ 时，哪一个 LED 发光？

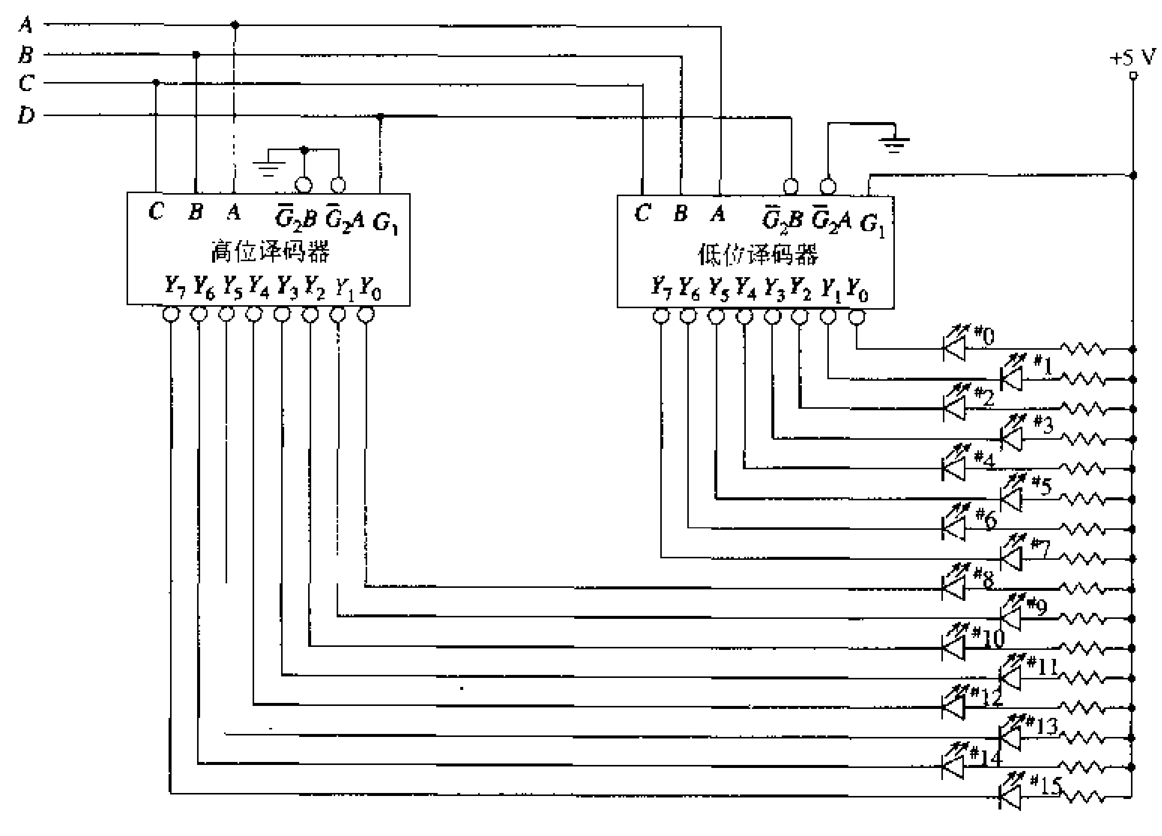


图 10.58

7. 译码器的输入为 $00000\sim11111_{(2)}$ 时，有多少个输出？
8. 低电平输出有效的 BCD-7 段码译码器用于驱动________公共端的 7 段码显示器。
9. 图 10.59 中，$\overline{LT}=0$，$\overline{BI}/\overline{RBO}=1$，$DCBA=0000$ 时，7 段码显示器显示________。
10. 图 10.59 中，LT= 1，$\overline{BI}/\overline{RBO}=0$，$\overline{RBI}=0$，$DCBA=0000$ 时，7 段码显示器显示________。
11. 只用 74LS138 集成芯片实现 1/24 译码器。
12. 习题 11 中，当输入为 $EDCBA=10111$ 时，译码器的哪个输出端有效？

CT　13. 画出图 10.60 所示电路的 Y_0 输出。画出对应于选择输入波形（ABC）的输出。

CT　14. 画出图 10.60 所示电路对应于选择输入波形（ABC）的 Y_5 输出。

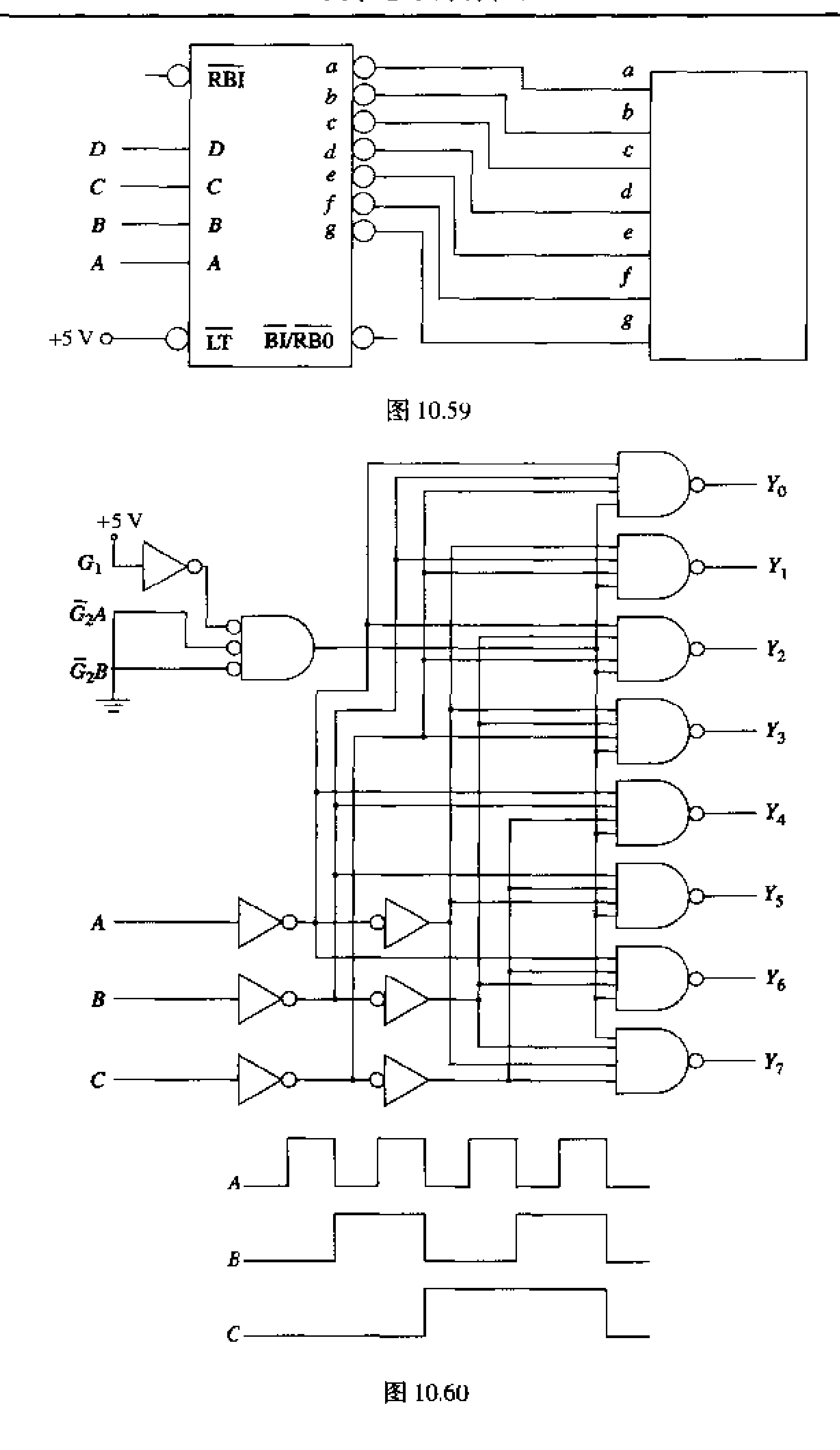


图 10.59

图 10.60

10.2 节

15. 编码器的目的是什么？
16. 图 10.61 中，$I_3=I_2=1$，$I_1=I_0=0$时，编码器的输出是什么？
17. 在优先编码器中，不只一个输入端有效时，响应哪一个输入？
18. 图 10.62 中，当$\overline{6}=\overline{2}=0$且其他的输入端都为高电平时，74147 优先编码器的输出是什么？
19. 图 10.62 中，当所有的输入端都无效时，编码器的输出是什么？
20. 图 10.63 所示电路中，当 A 输入有效，其他的输入端都无效时，A_3~A_0 的输出电平是什么？

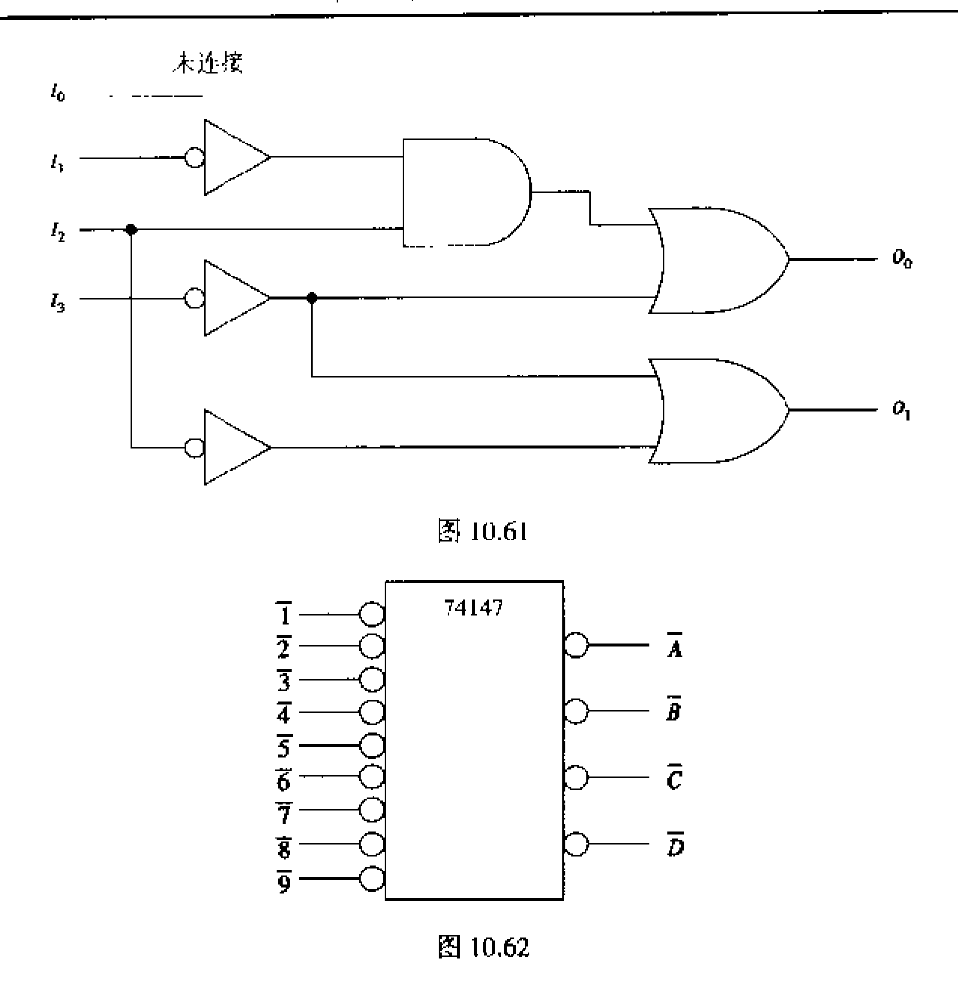


图 10.61

图 10.62

CT　21. 图 10.63 所示电路中，当 2 和 6 输入有效，其他的输入都无效时，A_3~A_0 的输出电平是什么？说明理由。

CT　22. 图 10.63 所示电路中，当 7 和 A 输入有效，其他的输入都无效时，A_3~A_0 的输出电平是什么？说明理由。

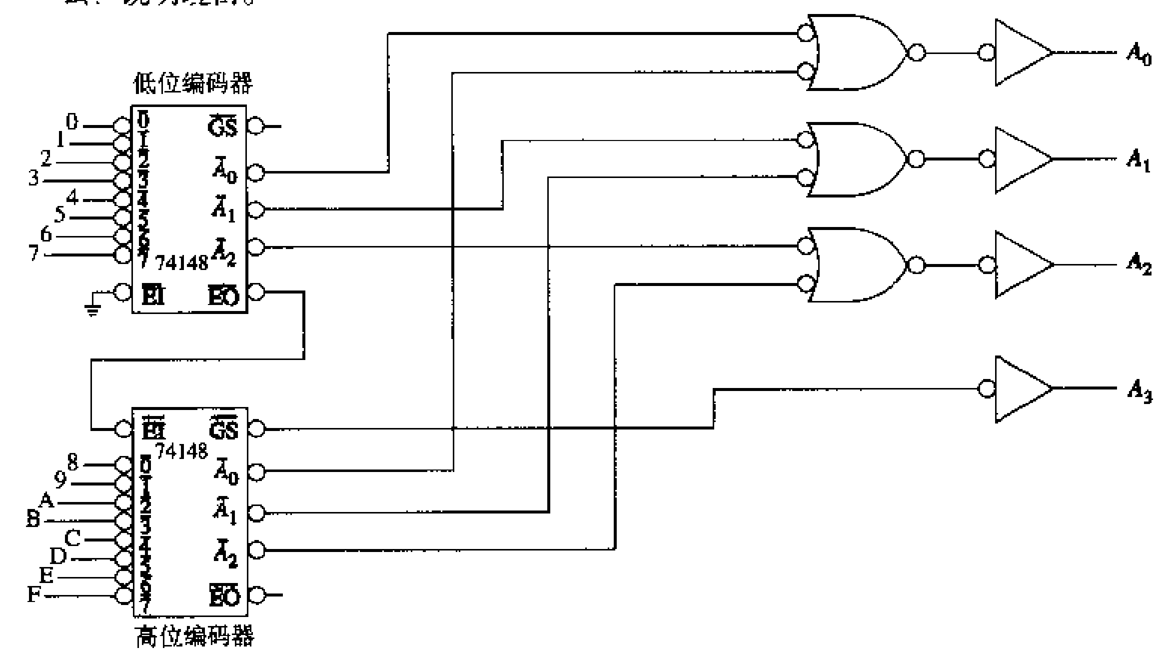


图 10.63

10.3 节

23. 数字系统中，数据选择器的功能是什么？

24. 图 10.64 中，当选择输入 S_3~S_0 = 0011 时，哪一个数据选择器工作？

25. 图 10.64 中，数据输入如图所示，当选择输入 S_3~S_0 = 0011 时，电路的输出电平是什么？

26. 图 10.64 中，数据输入如图所示，当选择输入 S_3~S_0 = 1101 时，电路的输出电平是什么？

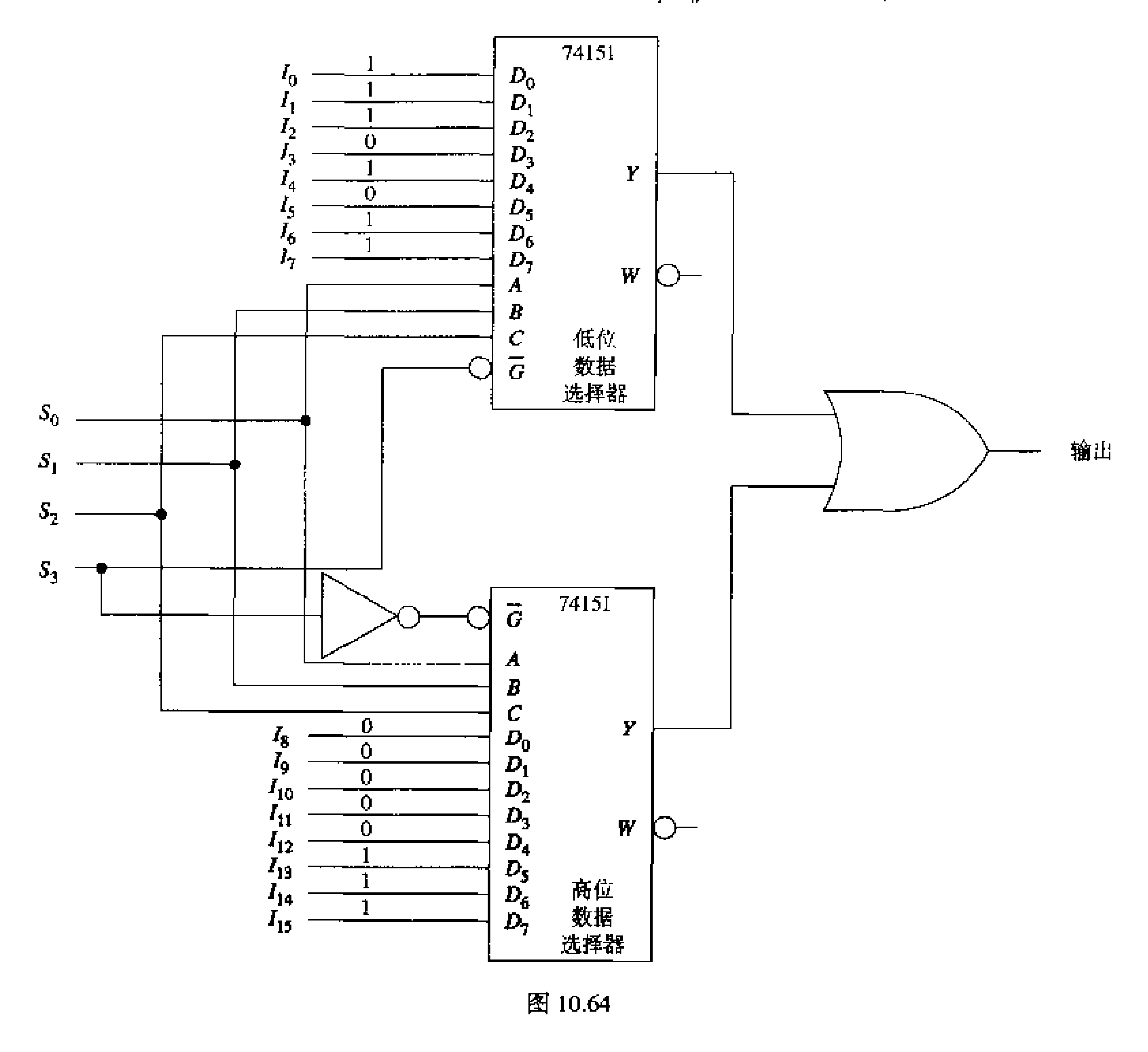


图 10.64

27. 图 10.65 所示电路是一个________。

28. 图 10.65 所示电路中，当 $\bar{G}=0$，$CBA=100$，D_7~$D_4=1$，D_3~$D_0=0$ 时，Y 输出是什么？

CT 29. 画出对应于图 10.66 的输入波形的 Y 输出。

CT s30. 画出对应于图 10.67 的 74151 数据选择器的输入波形（ABC）的 Y 和 W 输出。

10.4 节

31. 在数字系统中，数据分配器的功能是什么？

32. 数据与译码器的使能输入端相连时，它是________。

33. 图 10.68 所示电路中，选择输入按 00~11 循环时，每个输出端数据是什么？

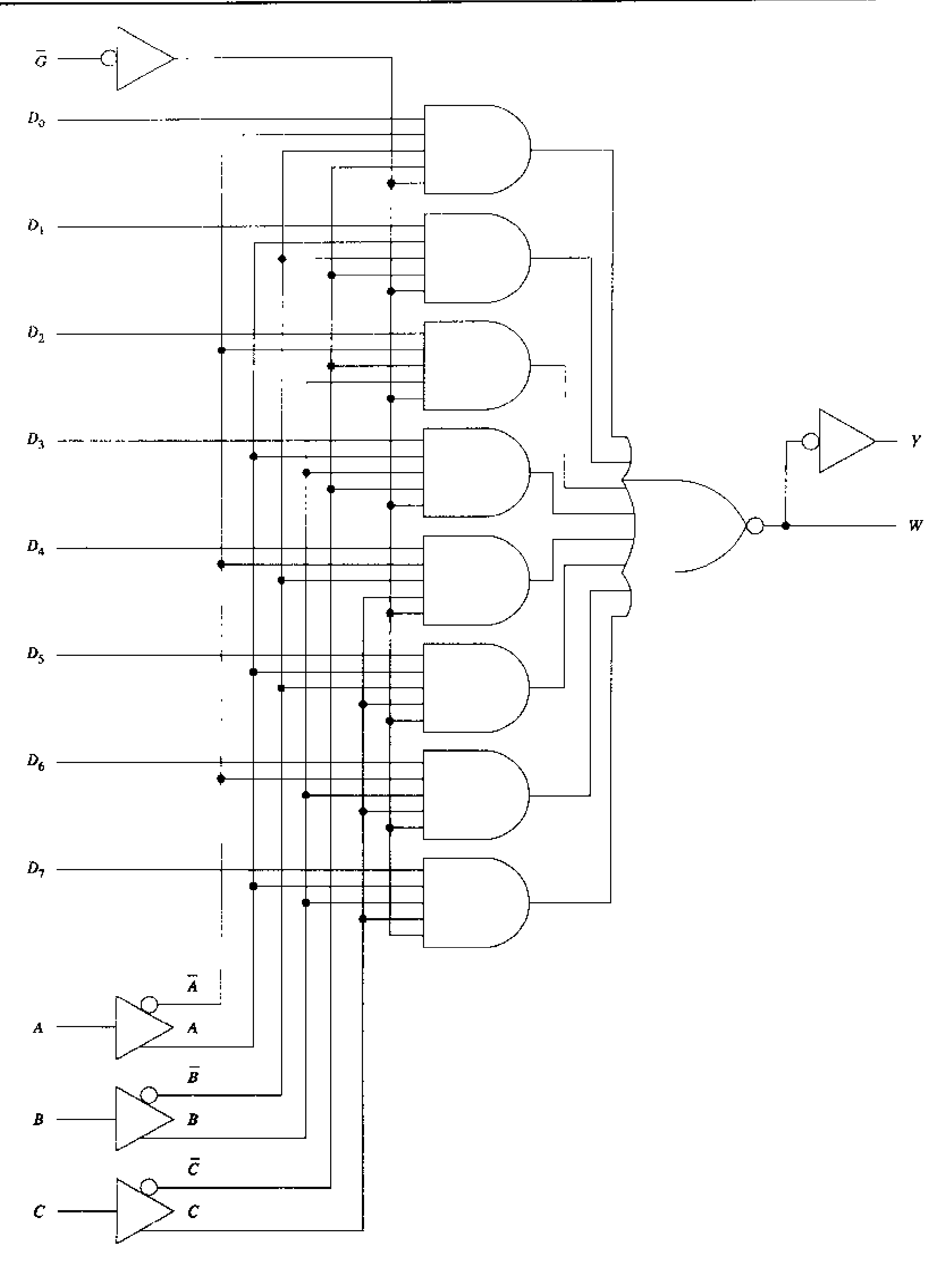


图 10.65

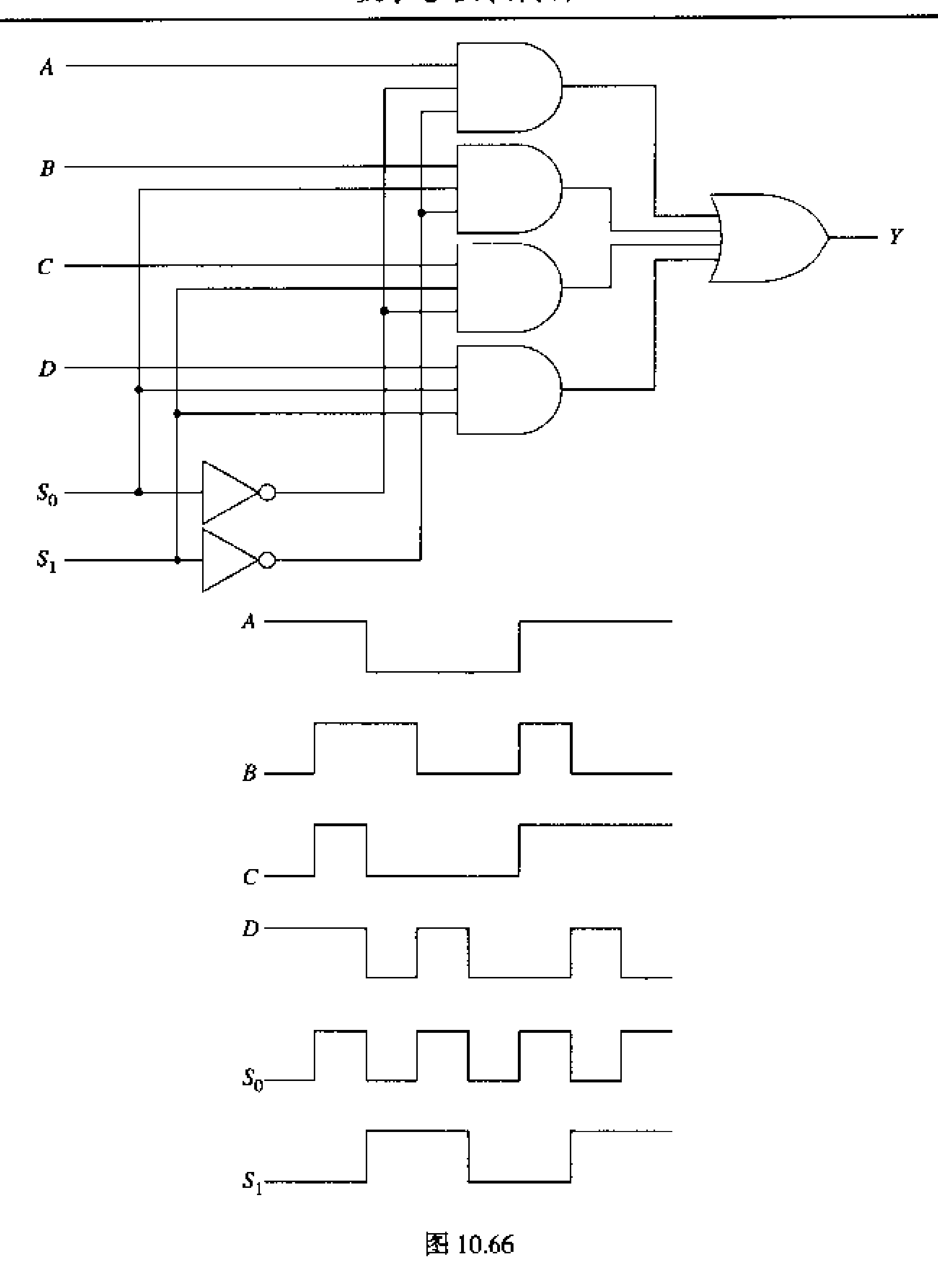


图 10.66

10.5 节

34. 图 10.69 所示电路用于比较两个＿＿＿＿＿位数。

35. 图 10.69 所示电路中，当

B_7	B_6	B_5	B_4	B_3	B_2	B_1	B_0	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	1

时，给出低位比较器三个输出的逻辑电平。

36. 图 10.69 所示电路中，当

B_7	B_6	B_5	B_4	B_3	B_2	B_1	B_0	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	1

时，给出高位比较器三个输出的逻辑电平。

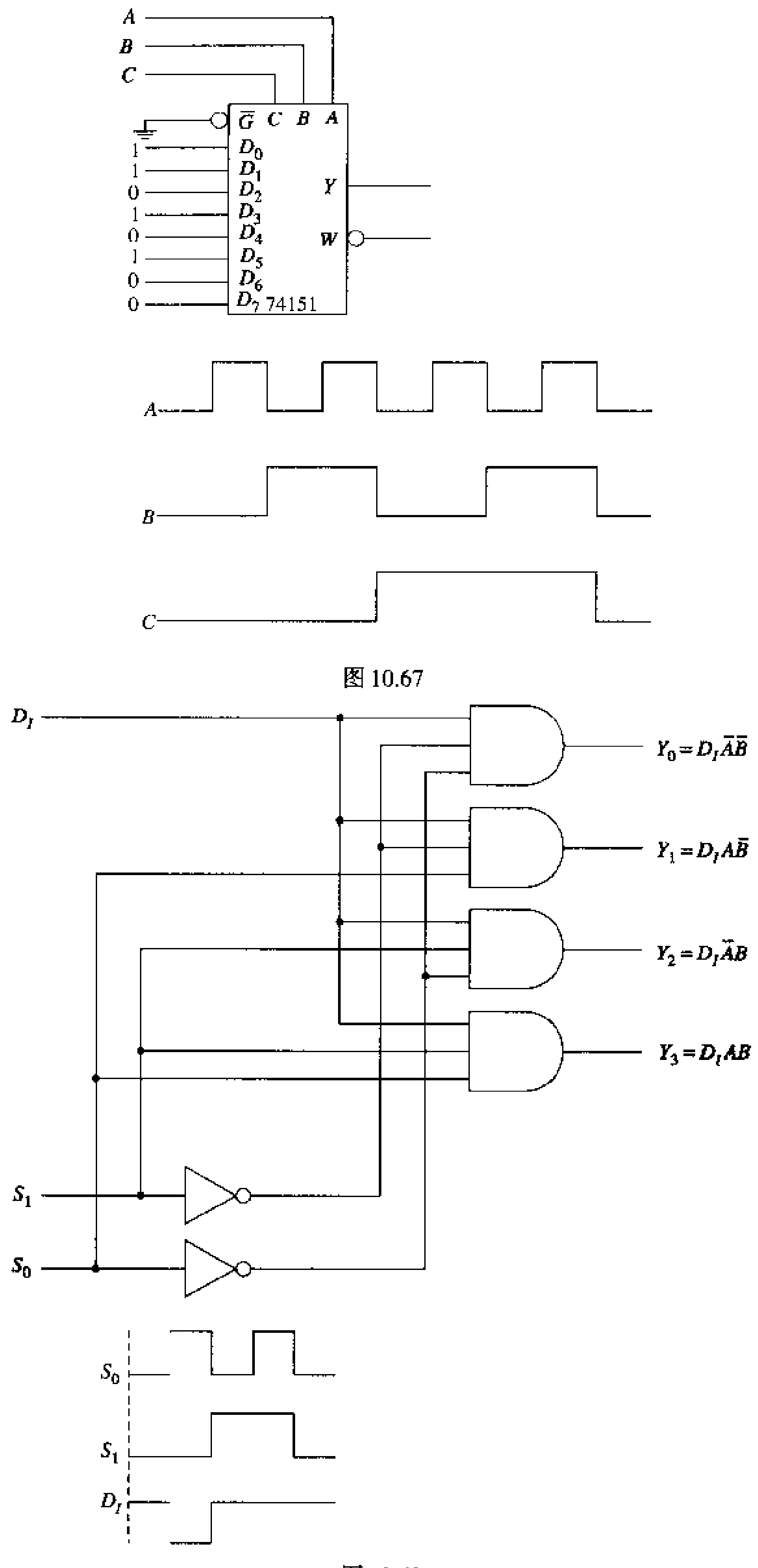

A
B
C
G C B A
D0
D1
D2
D3
D4
D5
D6
D7 74151
Y
W
1
1
0
1
0
1
0
0
A
B
C
DI
Y0 = DIĀB̄
Y1 = DIAB̄
Y2 = DIĀB
Y3 = DIAB
S1
S0
S0
S1
DI

图 10.67

图 10.68

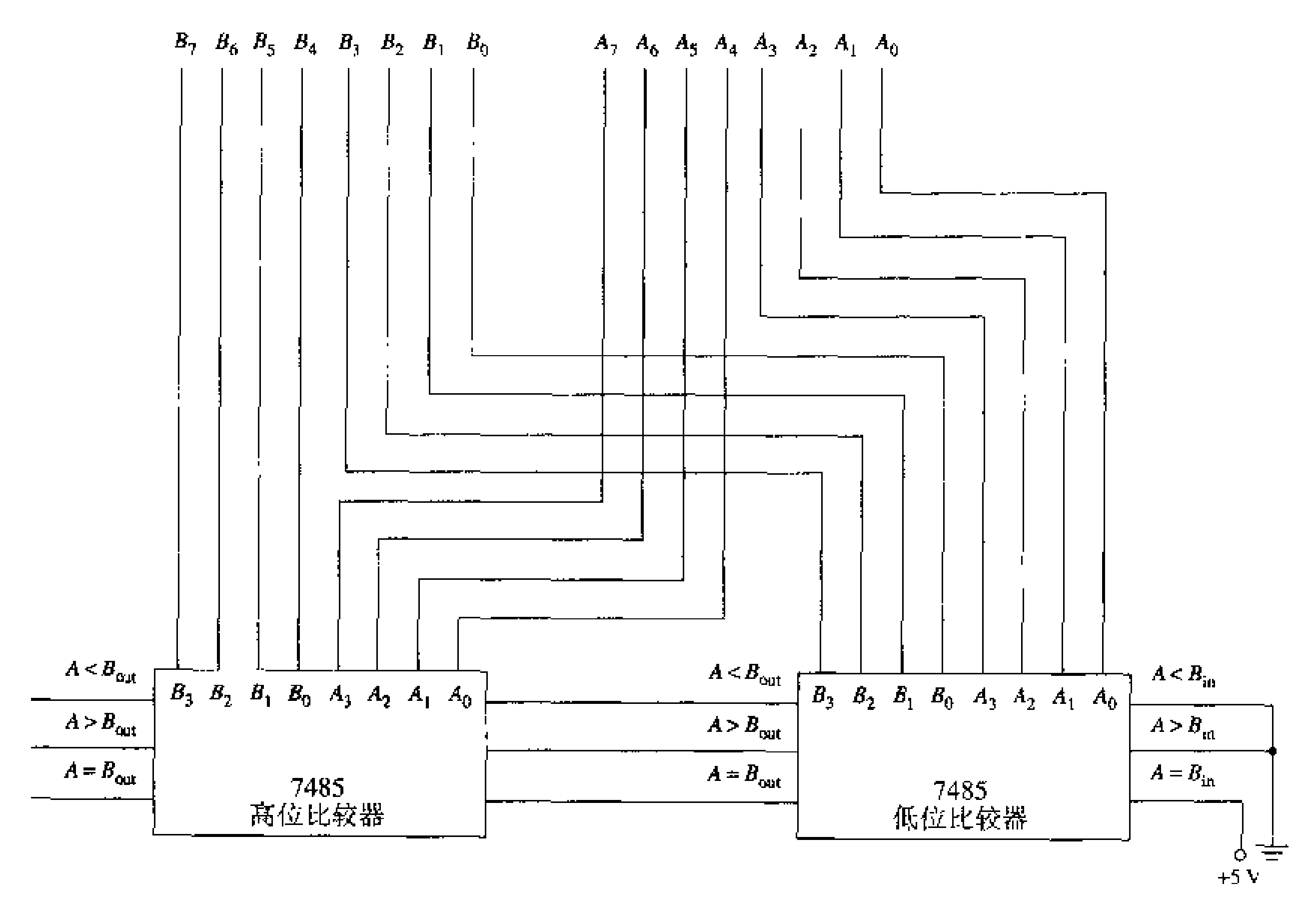


图 10.69

10.6 节

37. 图 10.70 所示电路中，要使 74LS138 译码器工作，输入信号的条件是什么?

A_{19}~A_{16} =__________。

$\overline{\text{MEMR}}$ = __________。

38. 图 10.70 所示电路中，要使 ROM ADDRSEL 信号有效，其电平是什么?

CT 39. 图 10.70 所示电路中，当 $\overline{\text{MEMR}}$=1，

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X

时，决定是否寻址 ROM? 如果寻址 ROM，是哪一个 ROM 芯片?

CT 40. 图 10.70 所示电路中，当 $\overline{\text{MEMR}}$=0，

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X

时，决定是否寻址 ROM? 如果寻址 ROM，是哪一个 ROM 芯片?

CT 41. 图 10.70 所示电路中，当 $\overline{\text{MEMR}}$=0，

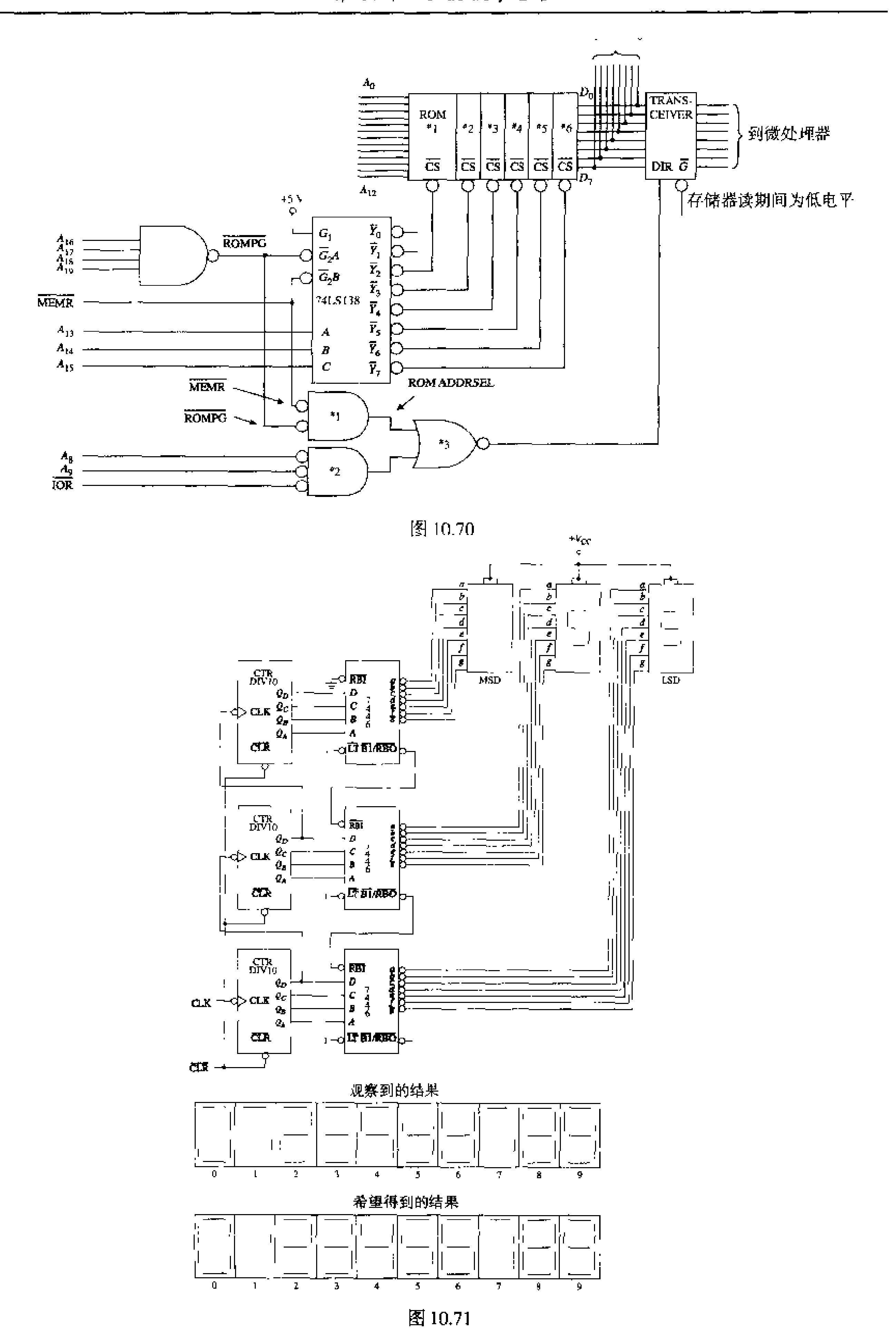
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X

时，决定是否寻址 ROM? 如果寻址 ROM，是哪一个 ROM 芯片?

CT 42. 图 10.70 所示电路中，74LS138 译码器的 A 输入变为低电平时，会有什么结果?

43. 图 10.70 所示电路中，在读 ROM 操作期间，数据的传输方向是什么?

CT 44. 图 10.71 所示电路中，LSD 7 段码译码器观察到的和希望的结果如图所示，电路最可能的故障是什么?



ROM #1
#2
#3
#4
#5
#6
TRANS-CEIVER
DIR
到微处理器
存储器读期间为低电平
ROMPG
MEMR
74LS138
ROM ADDRSEL
IOR
MSD
LSD
CTR DIV10
CLK
CLR
RBI
BI/RBO
观察到的结果
希望得到的结果

图 10.70

图 10.71

第 11 章　接口和数据转换

重要术语

Analog-to-Digital Conversion　模数转换
Analog-to-Digital Converter（ADC）　模数转换器
Buffer　缓冲器
Bus Contention　总线争用
Bus Transceiver　总线收发器
CMOS Technology　CMOS 技术
Current Sinking　电流供出
Current Sourcing　电流灌入
Differential Nonlinearity　微分非线性
Digital-to-Analog Conversion　数模转换
Digital-to-Analog Converter(DAC)　数模转换器
Drive Gate　驱动门
Fan-In　扇入
Fan-Out　扇出
Flash ADC　闪速 ADC
High-Impedance（Hi-Z）State　高阻（Hi-Z）态
Interface　接口
Load　负载
Load Gate　负载门
Monotonic　单调
Open-Collector Output　集电极开路输出
Resolution　分辨率
R-2*R* Ladder　*R*-2*R* 梯形电阻
Simultaneous ADC　并行 ADC
Sink Current　灌电流
Source Current　拉电流
Successive-Approximation ADC　逐次逼近ADC
Switched Current-Source DAC　开关电流源DAC
Totem-Pole Output　推拉式输出
Tristate　三态
TTL Technology　TTL 技术
Unit Load　单位负载
Wire-ANDing　线与

本章要点

1. 把和接口及数据转换有关的术语与其定义相对照。
2. 给出集电极开路或三态输出电路的逻辑图或逻辑符号，识别电路并在给定输入条件下确定其输出。
3. 确定电路接口的要求。
4. 说明数模和模数转换的原理。
5. 识别数据转换电路（*R*-2*R* 梯形网络式、逐次逼近式和闪速式）的特定类型，并说明它们各自的原理。
6. 含总线收发器、DAC 或 ADC 的故障诊断电路。

概述

数字集成电路应用于多种不同的逻辑技术（系列）。本章介绍了最常用的晶体管－晶体管逻辑（TTL）和互补性MOS（CMOS）。这两个逻辑系列的内部操作参见附录A。本章还讨论了逻辑系列的许多重要特性。其中有电平、电流要求、电流供出、电流灌入、功率消耗、传输延迟和扇出。

有时，逻辑设备的接口需要特定的电路，以使不同的逻辑电路或系列间的逻辑信号达到兼容。当两个不同的逻辑系列相互连接时，就有可能需要接口。11.2节分析了接口的要求。

本章详细介绍了带有集电极开路的集成电路的线与门输出，讨论了这一特殊功能的集成电路组的必要性和操作。另外，本章还单独列出一节讨论了三态逻辑。三态逻辑电路/集成电路可以输出这样一种状态，即在逻辑电路及其输出引脚之间产生极高的阻抗。这种状态称为高阻态。11.3节介绍了具有三态输出的缓冲器、总线收发器和寄存器。

最后，11.4节介绍了利用数模转换器（DAC）把数字信号转换为模拟信号以及利用模数转换器（ADC）把模拟信号转换为数字信号的方法和集成电路。

11.1　集成电路技术

要点

介绍了TTL、CMOS和BiCMOS器件系列及各系列所用的基本组成元件。

第3章介绍了晶体管-晶体管逻辑和CMOS技术，本章还要继续进行讨论，最后还可以参阅附录A。

11.1.1　晶体管-晶体管逻辑

晶体管-晶体管逻辑（TTL）技术的特点是应用了双极晶体管。本书中提到的逻辑门、触发器、计数器、寄存器、运算器以及MSI电路都应用了TTL技术。TTL技术因其从中到高的速度、低廉的价格和良好的驱动能力而得到普及。然而，随着MOS技术的进步和系统中胶合芯片需求的减少，TTL器件的普及性在某种程度上正在褪色。

最初的TTL逻辑电路称为标准的TTL集成电路，序列号为54XX或74XX。数字XX代表电路在IC中的特殊用途。例如，7400代表4个二输入与非门。XX也可以像其他TTL数据表中提到的那样为三位数字。54XX系列集成电路是为军事用途而设计的。工作温度范围为-55℃到125℃。74XX商用系列集成电路的温度范围为0℃到70℃。

附录A中详细介绍了7400与非门电路的操作及其数据表说明。为了提高运行速度、降低功耗消耗，对最初的标准TTL电路进行了各种修正，其中一种修正是改变了电路中电阻的大小。减小阻抗提高了速度但也增加了功率消耗，提高阻抗则情况相反。集成电路不再使用上述这些改进，因为后来的其他改进方法使性能得到了提高。

肖特基（Schottky）TTL系列使用肖特基晶体管来达到较高的工作速度。将74SXX系列进行微小的电路修改后，有了低功耗肖特基（74LS型）和高级低功耗肖特基（74ALS型），以提高性能。在表11.1中对比了肖特基系列与其他系列的工作特性。在多数数据表中列出的传输延时是低到高传输时间（t_{PLH}）及高到低传输时间（t_{PHL}），而一些表中列出的是总的传输时间（t_{PD}）。功率消耗是指输出高电平和低电平时电源提供的电流的平均值。

$$I_{CC(avg)} = (I_{CCH} + I_{CCL}) / 2$$

如表11.1所示，此平均电流和 V_{CC} 的乘积就是平均功率消耗（Power Dissipation，简称PD）。噪声容限（Noise Margin，简称NM）将在下一节说明。

表 11.1 TTL/CMOS 典型特征值

	74XX	74SXX	74LSXX	74FXX	74ACXX	74ACTXX	74HCXX
t_{PLH}	11 ns	3 ns	9 ns	6 ns	1.5~7.4 ns	1.5~12.3 ns	28 ns t_{PD}
t_{PHL}	7 ns	3 ns	10 ns	5.3 ns	1.5~6.8 ns	1.5~8.8 ns	
I_{CCH}	4 mA	10 mA	0.8 mA	2.8 mA	40 μA I_{CC} 最大值	40 μA I_{CC} 最大值	20 μA I_{CC} 最大值
I_{OL}	12 mA	20 mA	24 mA	10.2 mA			
PD	40 mW	75 mW	8 mW	32.5 mW	200 μW	200 μW	100 μW
NM	0.4 V	0.3 V	0.3 V	0.3 V	0.95 V	0.85 V	0.69 V

FAST（F）技术是高性能的TTL系列（74FXX）。FAST器件的性能可与高级肖特基技术集成电路相媲美，而功耗降低了25%到50%。在表11.1中也对比了FAST系列和其他逻辑系列的速度和性能特点。

11.1.2 CMOS 技术

CMOS技术的特点是应用单极晶体管（FET）。CMOS的高度集成技术可使更多晶体管分布于一个集成电路，从而超出了双极晶体管所允许的情况。此外，CMOS功耗很低。CMOS电路使用的是P沟道和N沟道增强型MOSFET。本书中提到的大多数门、触发器和MSI集成电路都可以应用CMOS技术。集成电路的CMOS系列由几个子系列组成，随着技术的进步，74C型作为一种与TTL引脚兼容的CMOS集成电路已经过时了。

74HC和74HCT为高速的74C改进型。74HC系列的一个主要缺点是它的最小输入高电平为3.5 V，这使它不能与有效的TTL输出高电平2.4~3.5 V兼容。74HCT系列因为其最小输入高电平降到2.0 V而解决了这一问题。

高级CMOS系列包括74AC及74ACT集成电路，74AC系列速度快于74HC系列，74ACT系列改进了74AC技术，使得ACT系列与TTL兼容。CMOS门电路的内部电路操作详见附录A。

11.1.3 BiCMOS 技术

CMOS集成技术与双极技术的结合产生了BiCMOS总线接口系列。74BCT系列提供了高速开关特性及大驱动电流。74BCT技术应用于锁存器、触发器、缓冲器、驱动器和收发器等。

11.1 节复习题

A. TTL 器件中应用了哪种类型的晶体管?

B. CMOS 器件中应用了哪种类型的晶体管?

C. CMOS 技术中应用了哪种类型的 MOSFET?

(1) 耗尽型

(2) 增强型

D. BiCMOS 器件中应用了哪种类型的晶体管?

11.2 电压/电流兼容性

要点

1. 定义拉电流、灌电流、扇出和噪声抑制/容限。
2. 当门互相连接时，识别驱动和负载电路，给定输入时，确定它们是拉电流还是灌电流。

3. 计算扇出。
4. 确定电路的接口要求。
5. 识别集电极开路器件并说明其用途。

为了使电路工作正常，如图 11.1 所示，所有部分或子部分的数字电路必须兼容。驱动电路是为其他逻辑门或器件提供输入的逻辑门或器件，负载电路由与驱动门输出相连的逻辑门或器件组成。为确保正常工作，负载电路的输入必须有足够的电压幅值和电流，但不能太大。

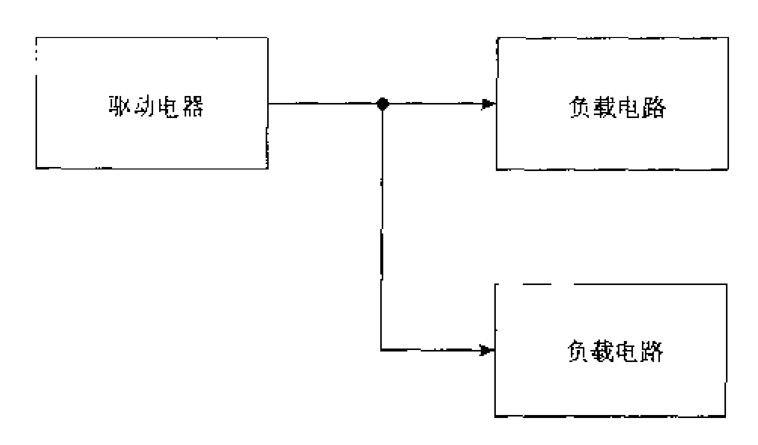


图 11.1　驱动电路 / 负载电路方框图

如果负载电路的输入不合适，则必须设计一个接口电路来调节驱动电路的输出，以使负载电路产生正确的操作。为这些电路设置接口，目的在于采用必要的外加元件/电路将其连接在一起，实现兼容。

制造商数据表可用于确定驱动输出与负载（被驱动）输入要求的兼容性。设计电路时，必须检查数据表中电压和电流的最小值与最大值。例如，若驱动门的最低高电平输出电压为 2.4 V，而驱动负载门要求最低高电平输入电压为 3.5 V，这就存在一个兼容性问题。即驱动门最低高电平输出电压（2.4 V）低于负载门要求的最低高电平输入电压（3.5 V）。

在驱动和负载电路之间不一定总是需要接口电路。例如，当TTL与非门输出用于驱动多个TTL门输入时，因为这些门通常都相互兼容，所以不需要接口电路。但是，当 TTL 器件用于驱动 CMOS 器件或相反的情况下，通常需要接口。

在研究具体的接口问题及电路之前，有必要先理解电流供出和电流灌入。附录A中详细说明了标准TTL门的电气及开关特性。虽不是绝对必要，但研究附录是有好处的，有助于在这一点上理解本节的概念。下例中的电压和电流值都摘自SN7400标准与非门数据表（附录B），附录 A 中也有相关的讨论。用于这些值的术语是：

V_{OL}：门中低电平输出电压。
V_{OH}：门中高电平输出电压。
V_{IL}：门中低电平输入电压。
V_{IH}：门中高电平输入电压。
I_{OL}：输出电压为低时（V_{OL}），流入输出终端的低电平输出电流。
I_{OH}：输出电压为高时（V_{OH}），流出输出终端的高电平输出电流。
I_{IL}：输入电压为低时（V_{IL}），流出输入终端的低电平输入电流。
I_{IH}：输入电压为高时（V_{IH}），流入输入终端的高电平输入电流。

流向门输入/输出引脚的电流定义为正，流出的电流定义为负。数据表中电流方向箭头总是指向门输入/输出引脚（正定义）。图11.2说明了电流流向的习惯问题。I_{OH}和I_{IH}的箭头方向按正定义习惯画出。然而，实际电流源并不一定是习惯方向。查看给定集成电路的数据表可以解决这个问题。7400与非门规定的I_{OH}电流值为-0.4 mA。负号表明虽然规定了正方向，但实际从驱动门输出端流出的电流可以与其方向相反。如果I_{OH}电流反向（看到电流值之前的负号时，应该会认识到这一点），很容易看出此电路的电流源是从驱动门流出的。图11.3说明了与非门的两种输入（I_{IH}和I_{IL}）的情况和两种输出（I_{OH}和I_{OL}）的情况。这里讨论的电流值都来自SN7400的数据表。

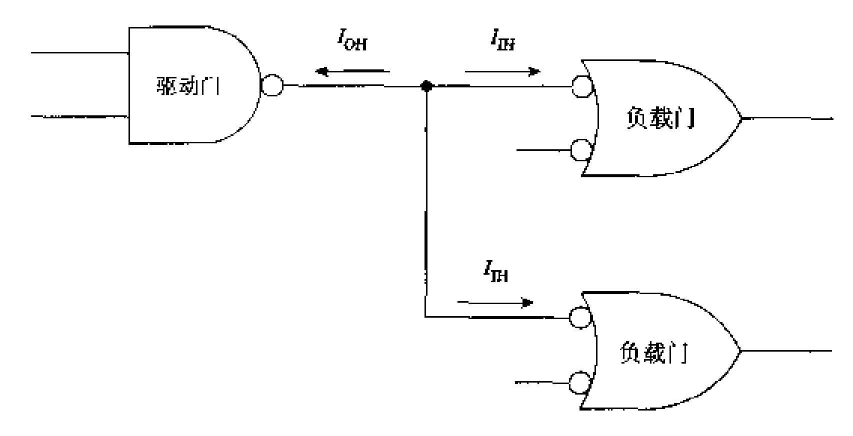


图11.2 电流习惯方向

图11.3(a)显示了输入为高时，流入与非门输入端的电流。数据表中规定$I_{IH(MAX)}$为40 μA。

图11.3(b)显示了输入为低时，流出与非门输入端的电流。虽然图中按正定义习惯画出I_{IL}，但数据表中规定的$I_{IL(MAX)}$为-1.6 mA。这样，电流的实际方向如图所示为流出门的输入端。

图11.3(c)显示了当输出电压为高（V_{OH}）时，流出与非门输出端的电流。输出电流的方向还是由数据表中$I_{OH(MAX)}$的规定值-0.4 mA所确定。

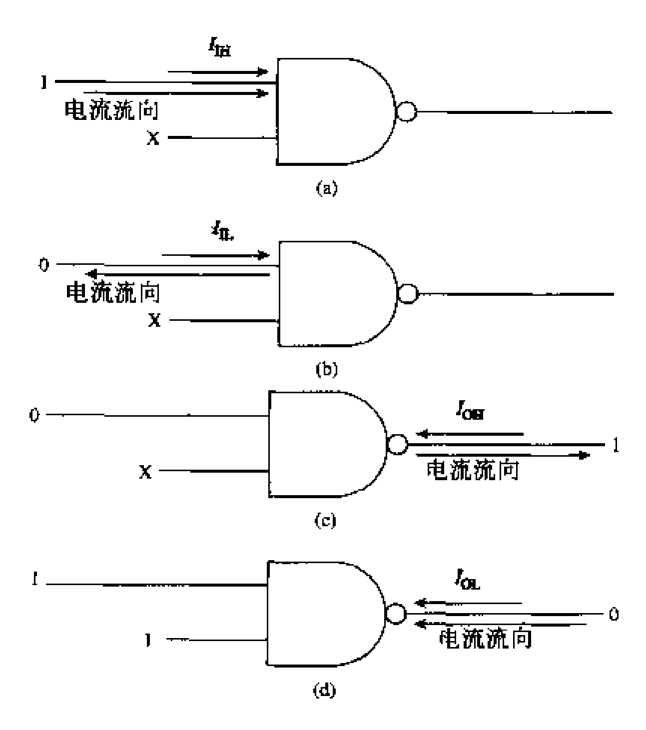


图11.3 与非门电流习惯方向

图 11.3(d)显示了输出电压为低（V_{OL}）时，流入与非门输出端的电流。与非门数据表中规定 $I_{OL(MAX)}$ 为 16 mA

图 11.3 直接引出了电流供出和电流灌入的概念。

11.2.1 电流供出和电流灌入

所有用于驱动TTL门的器件都必须供出和灌入电流。拉电流是流出逻辑门的电流。拉电流可以从输入引脚流出，也可以从输出引脚流出。灌电流是流入逻辑门的输入引脚或输出引脚的电流。以下分析使用了习惯电流方向。

图 11.4 解释了电流供出。驱动门的低电平输入电压产生高电平输出电压（V_{OH}）。流出输出引脚的高电平输出电流（I_{OH}）在数据表中规定为 -0.4 mA。表 11.2 总结了标准 TTL 逻辑门的规定输入和输出电流。如前所述，电流值前面的负号表明电流从门中流出，因此负号暗示其为拉电流，此拉电流源于驱动门中的 V_{CC}，流入负载门中的地（灌电流）。

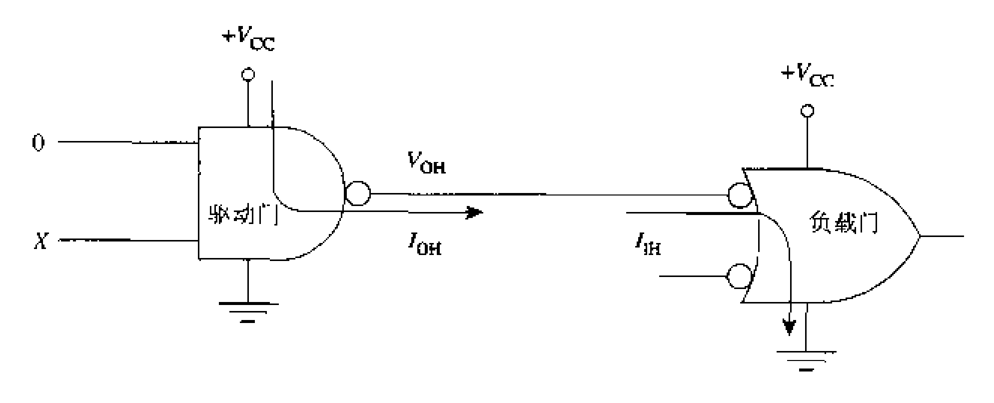


图 11.4 电流供出

表 11.2 标准 TTL 门电流规定值

I_{IH}	40 μA*
I_{IL}	-1.6 mA
I_{OH}	-0.4 mA
I_{OL}	16 mA

* 所有值都为最大值

图 11.5 解释了电流灌入。驱动门的两个高电平输入，产生了低电平输出信号（V_{OL}）。流入输出端的低电平输出电流（I_{OL}）的最大值为 16 mA（见表 11.2）。因为它流入驱动门的输出端，所以该电流为灌电流。此灌电流源于负载门的 V_{CC}，流入驱动门的地（灌电流）。

由上面的讨论中可以得出：判定拉电流和灌电流时应以驱动门为参考门。图 11.4 中电流供出的例子表明驱动门供出了电路中的电流。然而，在负载门中这个拉电流就成了灌电流。因为以驱动门为参考点，所以该电路是电流供出的。另外，图 11.4 中的拉电流（I_{OH}）和灌电流（I_{OL}）必须符号相反。在图 11.5 的电流灌入电路中，拉电流（I_{OH}）和灌电流（I_{OL}）也是如此。很显然，输出为高（V_{OH}）时逻辑输出拉电流，输出为低（V_{OL}）时逻辑输出灌电流。

从前面的讨论还可以得出关于拉电流和灌电流的另一特征。图 11.6 通过两个负载门说明了这种情况。数据表中规定灌电流（I_{OL}）的最大值为 16 mA。图 11.6 中两个拉电流（I_{IL1} 和 I_{IL2}）和的最

大值为3.2 mA。这说明没有问题，因为驱动门灌电流（最大值16 mA）足以吸收两个负载门合起来的拉电流。

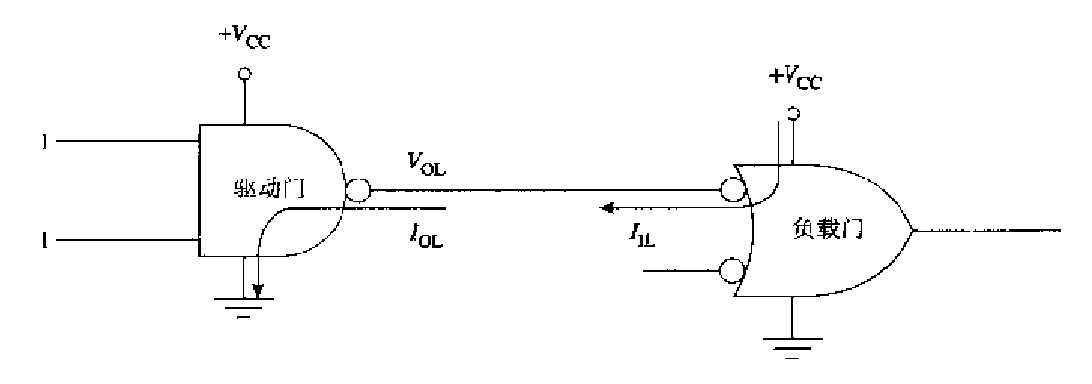


图 11.5 电流灌入

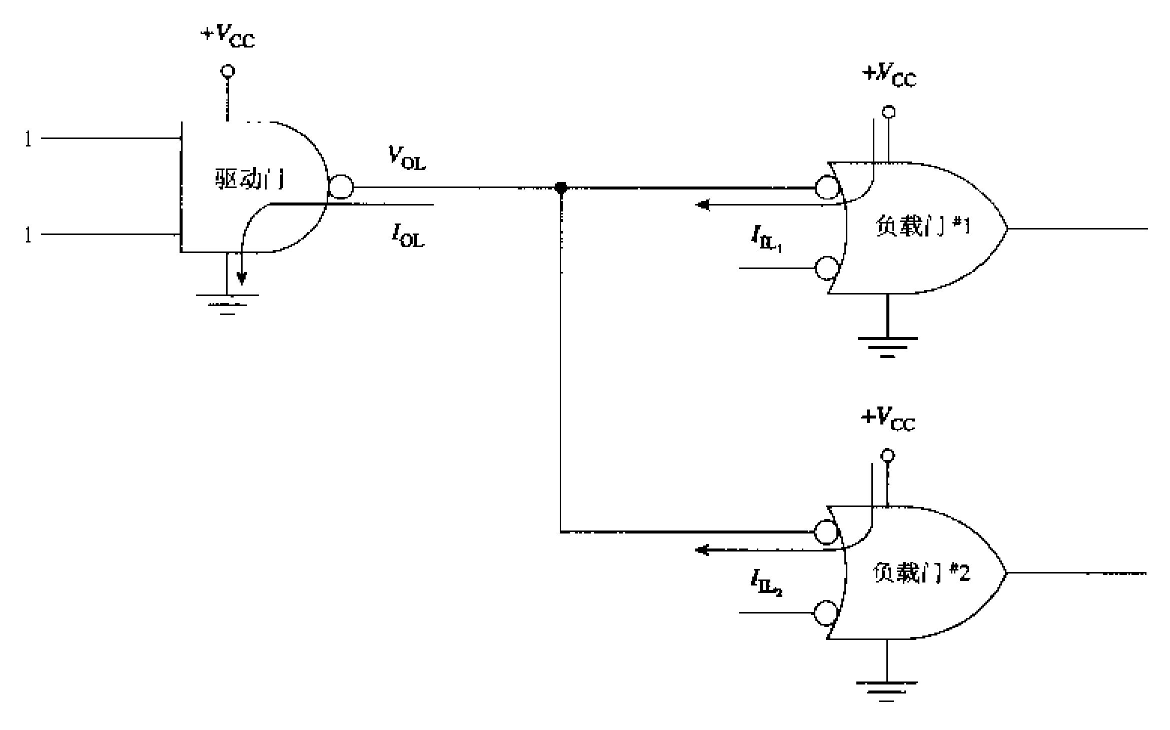


图 11.6 电流由两个负载门灌入

但是，这也意味着电路设计者不应冒过载的危险。如果把太多的负载门连接到TTL门的输出端，从负载门流出的拉电流的总和将超出驱动门灌电流允许容量。下面将介绍如何判定负载门是否过多。

11.2.2 扇出和扇入

扇出是门输出能够可靠驱动的输入数目的最大值。表11.3说明了标准TTL门输入和输出的规定值。图11.7是这些值的图解形式。我们已经知道TTL逻辑低电平范围是从0~0.8 V，逻辑高电平范围是从2~5 V。图11.7中的数据与此一致，但它包括了以下讨论的电压最大值、最小值和典型值。图11.8说明了输出为低电平时，从10个负载门流到驱动门的灌电流。因为驱动门的输出端（I_{OL}）可灌入的电流最大值为16 mA，所以输出端（I_{IL}）可驱动的最大输入数目为10个。

$I_{OL} / I_{IL} = 16\ \text{mA} / 1.6\ \text{mA} = 10$

每个负载门供出电流可达 1.6 mA（I_{IL}）。每个这样的电流代表驱动门输出端的 1 个单位负载（Unit Load，简称 UL）。因此扇出（低）为 10 个输入或 10 个单位负载。负载门输入/输出电流用单位负载来度量。标准 TTL 系列 1 单位负载在低状态为 1.6 mA。因为与被称为扇出的驱动门输出端相连，所以单位负载有时也称为扇入。

扇出过载会怎么样呢？如图 11.8 所示，若驱动门的输出端连接 12 个负载门，I_{OL}（所有 I_{IL} 之和）最大值将达到 19.2 mA。数据表中规定的 I_{OL} 最大值为 16 mA。

表 11.3　标准 TTL

门电压	规定值
V_{IH}	最小值 2 V
V_{IL}	最大值 0.8 V
V_{OH}	最小值 2.4 V，典型值 3.4 V
V_{OL}	最大值 0.4 V，典型值 0.2 V

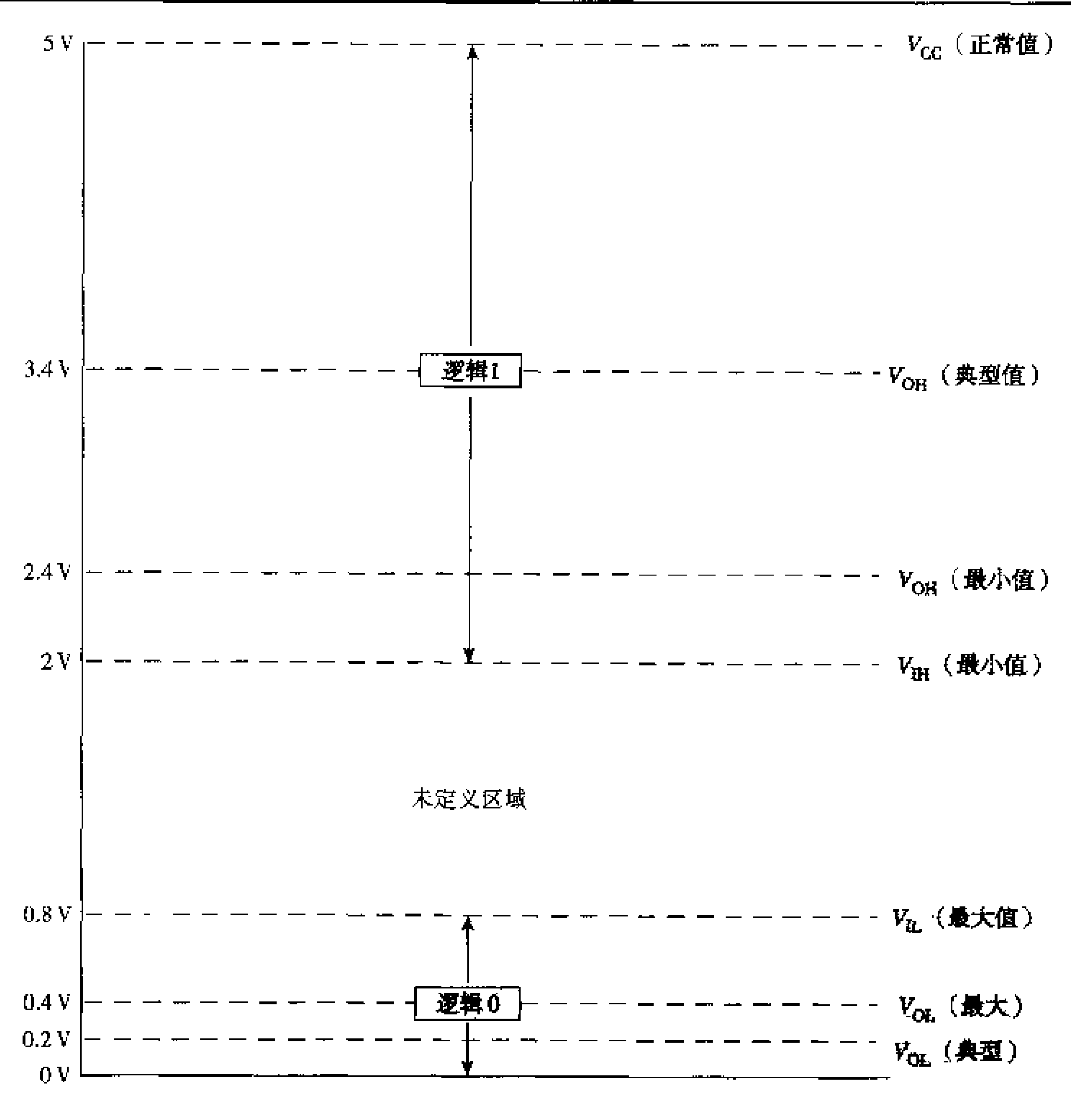


图 11.7　标准 TTL 电压规定值

对此进一步讨论，表 11.3 中输出低电压（V_{OL}）的规定值为 0.4 V（最大值）。该电压从驱动门输出电路中的饱和晶体管引出。当驱动门的灌电流超过 16 mA 时，输出低电压将超过其最大值（0.4 V）。灌电流驱动 V_{OL} 超过 0.8 V 时，电路将不能正常工作。TTL 门未定义的逻辑电平区域为 0.8 V 到 2 V。如果 V_{OL} 超过 0.4 V 而不到 0.8 V，电路的噪声容限将降低，噪声容限是我们要讨论的下一个主题

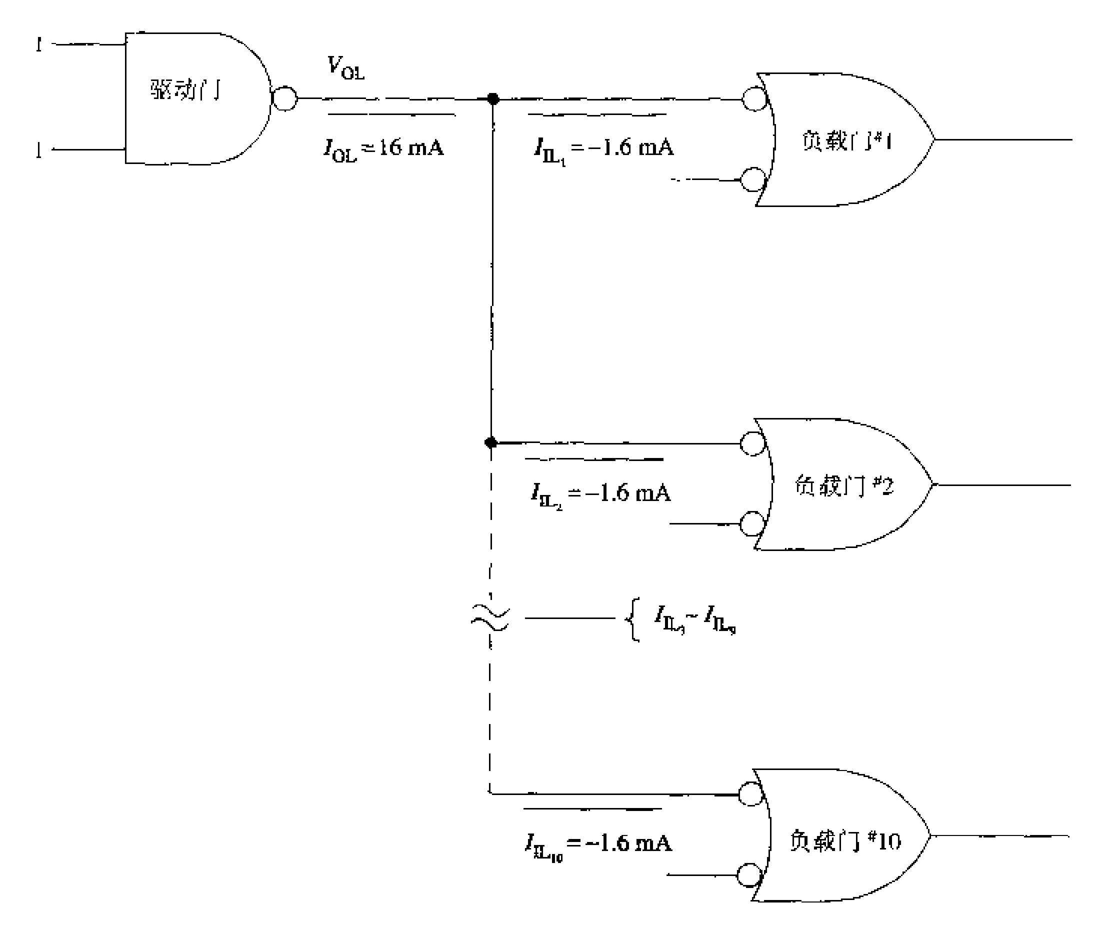


图 11.8 电流由 10 个负载门灌入

图 11.9 说明了当一个驱动门输出高状态时，从驱动门到 10 个负载门的灌电流。表 11.2 规定 $I_{OH}=-0.4$ mA（400 μA）及 $I_{IH}=40$ μA。这表明驱动门可以为 10 个输入提供（拉）电流。

每个负载门输入电流（I_{IH}）代表驱动门输出端的 1 UL。这样，高状态时 1 UL = 40 μA。

$I_{OH}/I_{IH}=400\ \mu A/40\ \mu A=10$

这些数字表明标准 TTL 门的扇出（高）也是 10 个输入或 10 UL。如果有多于 10 个的输入连接到驱动门以致扇出过载，则驱动门的输出电压（V_{OH}）将降到最小值以下，从而使电路不能正常工作。当 $V_{OH(MIN)}$处于 2.4 V 到 2.0 V 之间时，将影响到电路的噪声容限。

大多数 TTL 系列的扇出范围为 10 到 20。CMOS 器件有极高的输入阻抗，这样，从驱动门灌入或向驱动门供出的电流就很小，使其扇出范围在低频时可达到 50。另一方面，CMOS 负载门的输入电容使得它在高频时（MHz 范围内）开关时间变差，扇出降低。

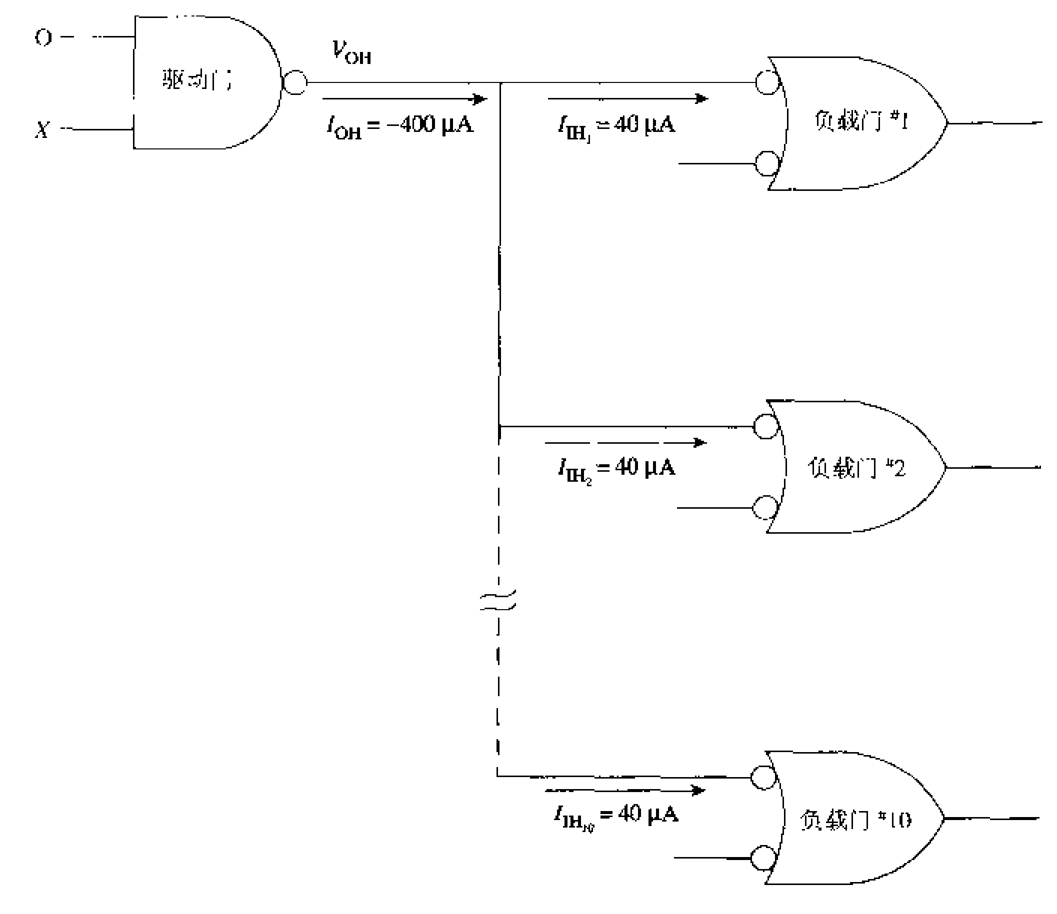


图 11.9　电流供出到 10 个负载门

11.2.3　噪声容限 / 免疫力

噪声免疫力是指线路可以正常工作的情况下，允许输入噪声信号的能力。噪声容限是噪声免疫力的度量。噪声容限由最坏输出和最坏输入情况下的电压差异计算得到。图 11.10(a)显示了叠加在逻辑高电平及逻辑低电平上的噪声信号。

低状态噪声容限

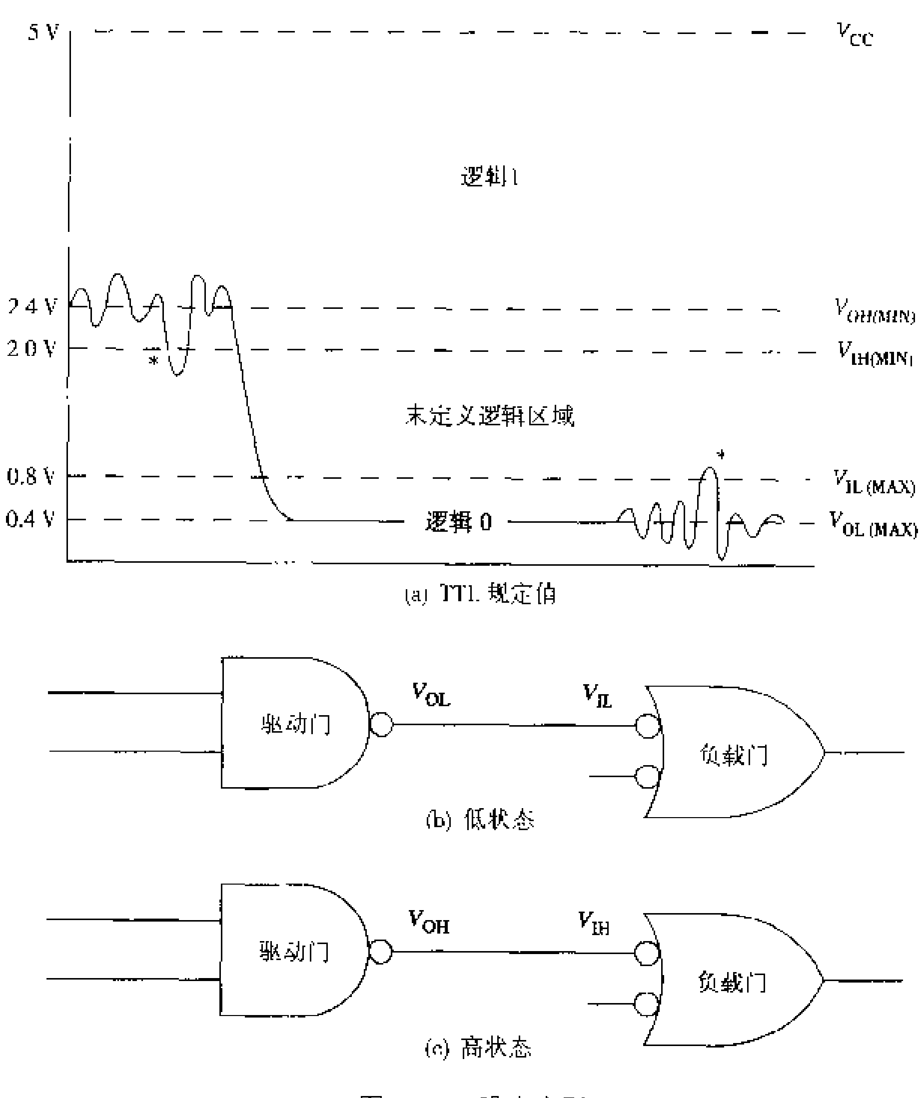
图 11.10(a)中标注的TTL电压值说明了最大低输入逻辑电平 $V_{IL(MAX)}$为0.8 V，也说明了最大低输出逻辑电平 $V_{OL(MAX)}$为0.4 V，$V_{OL(MAX)}$值表示了驱动门在满负载最坏情况下的低输出。

图 11.10(b)形象地显示了电路中的最大电压，如果驱动门在最坏情况下的输出（V_{OL}）为0.4 V，而负载门可接受的最大输入（V_{IL}）为 0.8 V，则存在 0.4 V 的容限。这个容限就是低状态时的噪声容限。在不影响负载门的情况下，0.4 V 的最坏输出上可叠加最高为0.4 V的噪声电平。若噪声幅度超过0.4 V 的噪声容限，负载门的输入将超过 0.8 V，这将使负载门的输入处于未定义的逻辑区域，从而可能导致工作不可靠。

高状态噪声容限

图 11.10(a)中的电压值表明 $V_{OH(MIN)}$为 2.4 V，$V_{IH(MIN)}$为 2.0 V。这些电压值标注在图 11.10(c)中的逻辑图里。为了使工作正常，要求驱动门的输出电压应比负载门可接受的最小输入电压高0.4 V，这就又出现了一个高状态情况下的 0.4 V 容限。叠加在驱动门 2.4 V 最坏输出上的可接受噪声为 0.4 V。

如果噪声幅度超过0.4 V，负载门的输入电压将低于2.0 V的最小值，这将使输入电平处于未定义的逻辑区域。未定义区域的输入将使逻辑门产生错误或工作不可靠。



(a) TTL 规定值

(b) 低状态

(c) 高状态

图 11.10　噪声容限

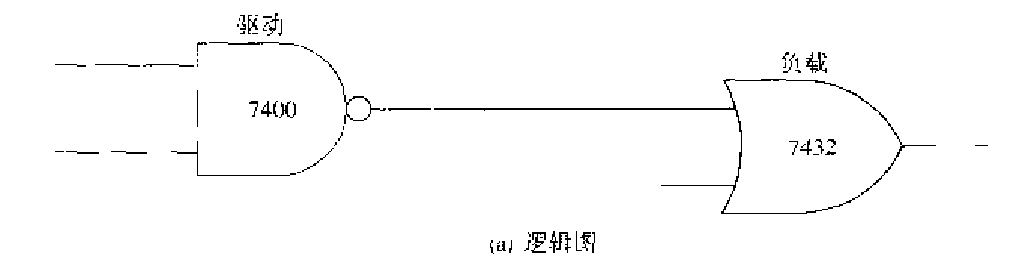
这一节以简要描述接口开始，逐步引出电流供出和电流灌入，然后讲到扇出，接着提出噪声容限和噪声免疫力。

现在回到主题，并应用本章中已学到的相关知识。下面的内容是确定驱动输出和负载输入的兼容性。兼容性检查必须包含电压和电流在低状态时的情况和高状态时的情况。前面已经完成了此类分析，现在将在过程中包括混合技术。

11.2.4　接口要求

例 1：标准 TTL 门驱动标准 TTL 门

因为不同的技术没有混合在一起，所以第一个驱动/负载门互联的例子是最简单的。之所以包括这个例子，是为了表明这种分析所必需的步骤。图 11.11(a)表示本例，它使用了两个标准 TTL 门（7400 与非门和 7432 或门）。



(a) 逻辑图

驱动 7400	负载 7432
$V_{OH}=2.4$ V (最小值) $V_{OL}=0.4$ V (最大值) $I_{OH}=-400$ μA (最大值) $I_{OL}=16$ mA (最大值)	$V_{IH}=2.0$ V (最小值) $V_{IL}=0.8$ V (最大值) $I_{IH}=40$ μA (最大值) $I_{IL}=-1.6$ mA (最大值)

(b) 电压/电流规定值

图 11.11　标准 TTL 门驱动标准 TTL 门

该分析过程应用了前面讨论过的方式，即检查电压和电流的兼容性。驱动门输出的电压和电流值及负载门输入的电压和电流值已经从数据表转换到了图 11.11(b)中。

比较电压和电流值可以看出

$$V_{OH(驱动最小)} > V_{IH(负载最小)}$$
$$V_{OL(驱动最大)} < V_{IL(负载最大)}$$
$$I_{OH(驱动最大)} > I_{IH(负载最大)}$$
$$I_{OL(驱动最大)} > I_{IL(负载最大)}$$

这些条件表明，当标准 TTL 门用于驱动标准 TTL 门时不存在兼容性问题。驱动门的输出高电压高于驱动负载门所需的电压。同样，输出低电压低于负载门所允许的最大输入电压。当输出为高时，驱动门为拉电流（-400 μA），提供的电流足以驱动 10 个负载门。当输出为低时，驱动门灌入电流，可从 10 个负载门灌入电流。

例 2：标准 TTL 门驱动 74LS TTL 门

图 11.12(a)是解释本例问题的逻辑图。驱动门及负载门的电压值和电流值已经从数据表转换到了图 11.12(b)中。驱动门和 LS 负载门中的电压值和前例中的一样，这表明这两种门是电压兼容的。

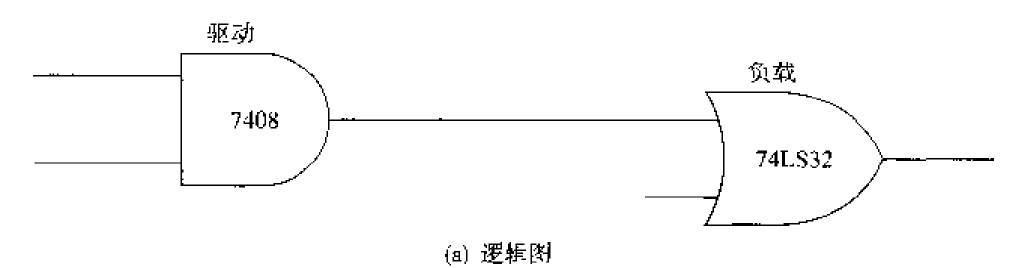
当输入为逻辑高电平时，对负载门的输入电流（I_{IH}）无要求。如果需要，驱动门可供出高达 -0.8 mA 的电流，而 74LS 系列电流灌入的最大值仅为 20 μA。既然 $I_{OH}>I_{IH}$，在逻辑高电平时不存在接口问题。在低状态时，驱动门可灌入 40 个负载门的电流。

例 3：标准 TTL 门驱动高级 CMOS（AC）门

图 11.13(a)显示了标准 TTL 与非门驱动 74AC00（CMOS）与非门的逻辑图。

CMOS 负载门的最小输入高电压（V_{IH}）为 3.85 V × V_{CC} = 5.5 V，而驱动门输出电压如图 11.13(b)所示，可低至 2.4 V。这些电压值不兼容。低状态时输出和输入电压值是兼容的。因为驱动门可供出或灌入负载门所要求的输入电流，所以不存在电流问题。因为 CMOS 器件为电压控制型，而不像 TTL 那样为电流控制型，所以当 TTL 门驱动 CMOS 门时不会遇到电流问题。本例中的高电平电压不

兼容问题，可由接口电路解决。图11.14所示的集电极开路高电压输出缓冲器可用来解决这一问题。7417 TTL缓冲器是专为与CMOS电路接口或提高驱动TTL输入电流而设计的。7417缓冲器可连接到高达15 V的V_{CC}，另一种相应的缓冲器7407可连到高达30 V的V_{CC}。

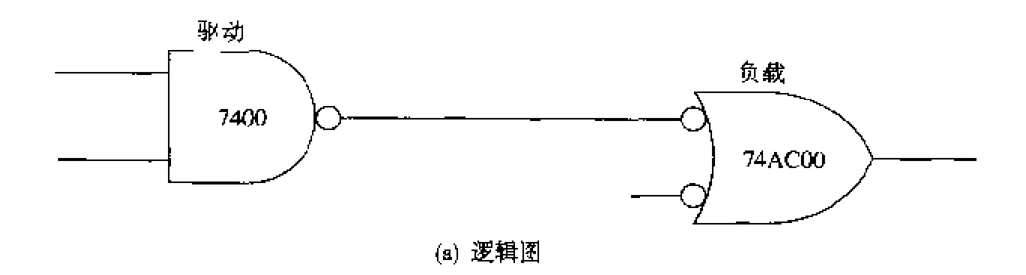


(a) 逻辑图

驱动 7408	负载 74LS32
V_{OH} = 2.4 V (最小值) V_{OL} = 0.4 V (最大值) I_{OH} = −0.8 mA (最大值) I_{OL} = 16 mA (最大值)	V_{IH} = 2.0 V (最小值) V_{IL} = 0.8 V (最大值) I_{IH} = 20 μA (最大值) I_{IL} = −0.4 mA (最大值)

(b) 电压/电流规定值

图 11.12 标准TTL门驱动74LS TTL门



(a) 逻辑图

驱动 7400	负载 74AC00
V_{OH} = 2.4 V (最小值) V_{OL} = 0.4 V (最大值) I_{OH} = −400 μA (最大值) I_{OL} = 16 mA (最大值)	V_{IH} = 3.85 V (最小值)* V_{IL} = 1.65 V (最大值)* I_{IH} = 1.0 μA (最大值) I_{IL} = −1.0 μA (最大值)

*V_{CC} = 5.5 V

(b) 电压/电流规定值

图 11.13 标准TTL门驱动高级CMOS（AC）门

当使用74ACT00与非门而不是74AC00作为负载门时，不会遇到这种高电压不兼容问题。74ACT00门的最小输入电压已降至2.0 V，这使得它与TTL兼容。

例4：高级CMOS（AC）门驱动标准与非门

对图11.15所示的电路中电压和电流的分析表明，本例中高级CMOS（AC）门驱动标准TTL门没有兼容性问题。

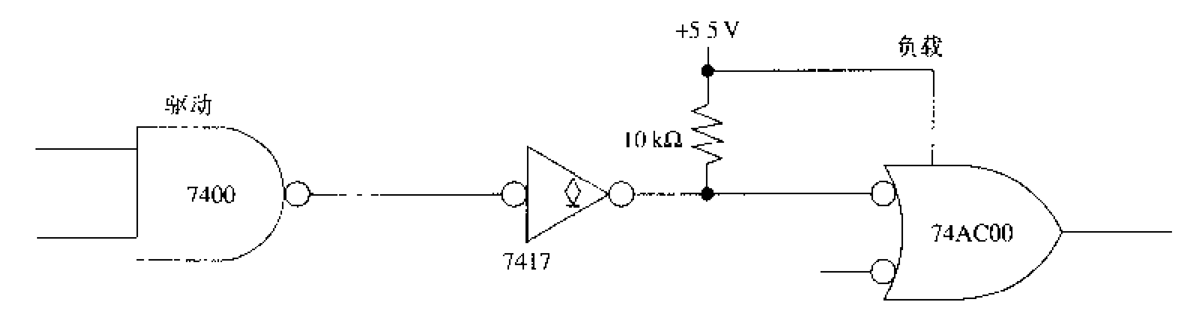


图 11.14　TTL 与高级 CMOS 接口

$V_{OH(\text{驱动最小})} > V_{IH(\text{负载最小})}$

$V_{OL(\text{驱动最大})} < V_{IL(\text{负载最大})}$

$I_{OH(\text{驱动最大})} > I_{IH(\text{负载最大})}$

$I_{OL(\text{驱动最大})} > I_{IL(\text{负载最大})}$



(a) 逻辑图

驱动 74AC00	负载 7400
V_{OH} = 4.8 V (最小值)*	V_{IH} = 2.0 V (最小值)
V_{OL} = 0.44 V (最大值)*	V_{IL} = 0.8 V (最大值)
I_{OH} = −24 mA (最大值)*	I_{IH} = 40 μA (最大值)
I_{OL} = 24 mA (最大值)*	I_{IL} = −1.6 mA (最大值)

*V_{CC} = 5.5 V

(b) 电压/电流规定值

图 11.15　高级 CMOS 门驱动标准 TTL 门

11.2.5　集电极开路集成电路

例 3 中提到了集电极开路 TTL 缓冲器（7417）。在这里简要说明集电极开路逻辑是为了确定这种类型器件的正确用法。附录 A 中提到了此集成电路的内部情况和更多的细节。

线与器件输出

图11.16中的逻辑电路把两个与非门的输出相与。仅当两个与门输入都为高时，电路输出为高。表达式$\overline{AB} \cdot \overline{CD}$等于$(\overline{A} + \overline{B})(\overline{C} + \overline{D}) = \overline{A}\overline{C} + \overline{A}\overline{D} + \overline{B}\overline{C} + \overline{B}\overline{D}$。后面的等式表明，当与非门至少有一个输入为低时，电路输出为高。这些低输入使要求的与非门产生一个输出到与门的高输出。

如果图 11.16 中的电路改为如图 11.17(a)所示的电路，即得到线与电路。注意，图 11.17(a)中输出与门已经被去掉，而两个与非门的输出端被连接在一起，这就称为线与输出。如图 11.17(b)中的真值表所示，它的规律是当两个与非门的输出都为低时，线与连接的输出为低；当两个与非门的输

出都为高时，线与连接的输出为高。最后，当一个与非门输出为低，另一个为高时，线与连接的输出被拉成低。图 11.17(b)中的真值表代表了与门的功能。逻辑门的输出端随时被连接在一起，如本例所示。图 11.18 说明了线与的具体情况。

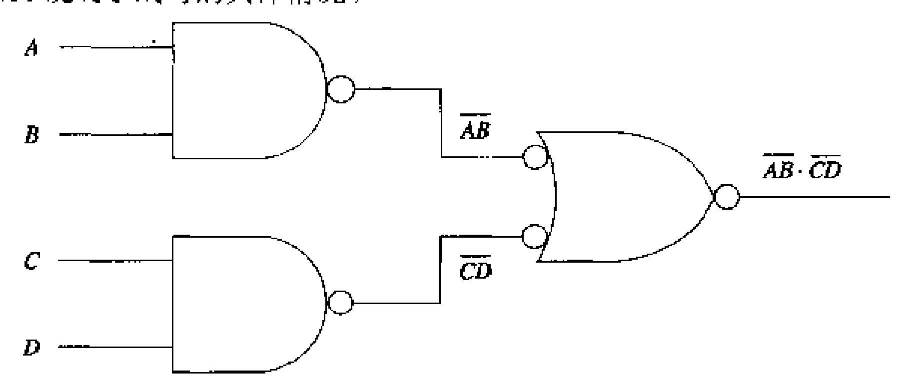
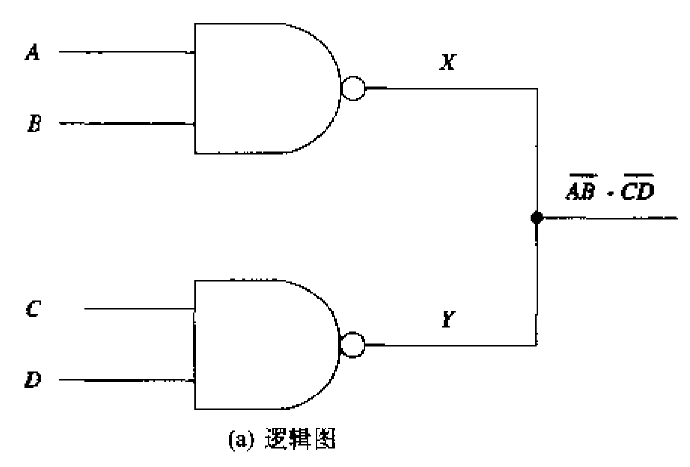


图 11.16　与非门 / 与门电路逻辑



(a) 逻辑图

$X=\overline{AB}$	$Y=\overline{CD}$	输出
0	0	0
0	1	0
1	0	0
1	1	1

(b) 真值表

图 11.17　线与电路

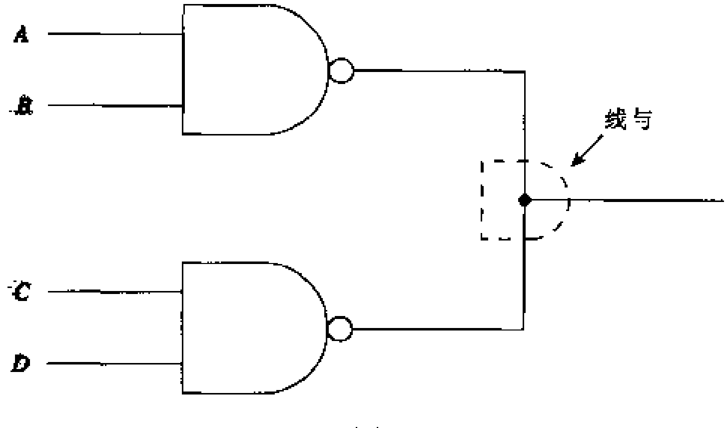


图 11.18　线与电路符号

现在看一些线与输出的细节。这里有一条规则"不要把推拉式输出线与"。下面将证实该规则。图 11.19 为多数 TTL 门采用的 TTL 推拉式输出电路的简要图解。逻辑门的输出电压通过 Q_4 输出。与三态型不同（11.3 节），TTL 门当 Q_3 导通时 Q_4 截止，反之亦然。这类输出布局之所以常用是因为它使 TTL 器件的功率消耗保持合理。当 Q_4 导通时，输出信号为低；当 Q_4 截止时，输出信号为高。这使得如图 11.19 所示的输出电路变得容易理解，当 Q_4 导通时（Q_3 截止）为灌电流，当 Q_4 截止时（Q_3 导通）为拉电流。

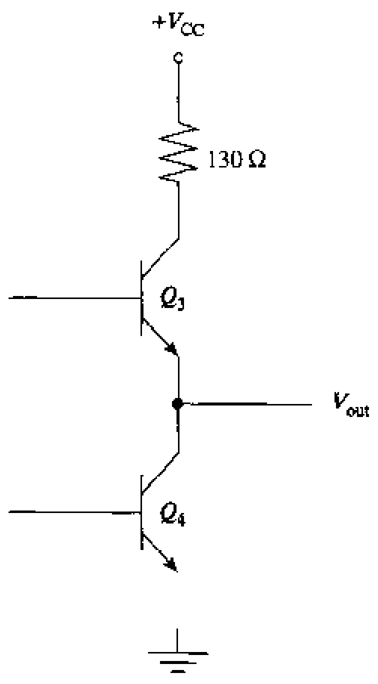


图 11.19　TTL 推拉式输出电路简要图解

图11.20显示了两个输出端线与的与非门。图中只显示了与非门内部电路的推拉式输出晶体管。

高输出　A 或 B 和 C 或 D 的低输入将在图 11.20(a)中的两个门都产生高输出。每个门中的 Q_4 都截止，Q_3 都导通。与非门向负载供出电流，在本例中不会出现问题。

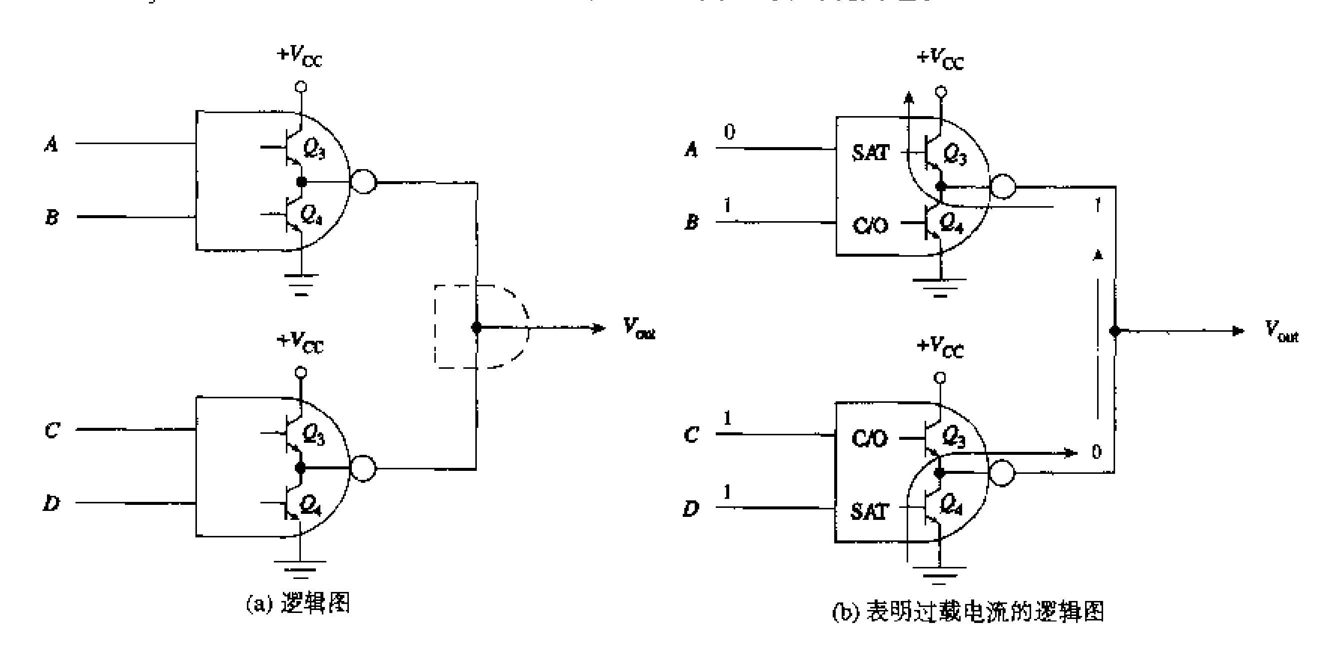


图 11.20　线与 TTL 推拉式输出

低输出　A，B，C和D端的高输入将使两个门都产生低输出。本例中，每个门的Q_4都导通，Q_3都截止。与非门的功能为从负载门灌入电流。在本例中同样不会出现问题。

高/低输出　图11.20(b)已经注明$A=0$且$B=C=D=1$。这些输入组合将使上面的与非门输出高，而下面的与非门输出低。上面门中的推拉晶体管Q_3、下面门中的Q_4处于饱和状态。虽然每个门的电路中都有一个未画出的130 Ω的电阻，但即使电路中有这个电阻显然也会产生很大的电流。这个可达−55 mA的过载电流能损坏输出晶体管。最后，这种情况清楚地表明TTL器件的推拉式输出不能线与。

集电极开路逻辑　去掉带有推拉式输出的TTL门中的130 Ω的电阻，Q_3和一个二极管（见图11.19，在简要图解中未画出二极管，但在附录A中显示了），这种修改产生了一类带有集电极开路输出的TTL器件，这种器件允许输出线与。然而这种修改去掉了门输出端和Q_4上的V_{CC}。除非用上拉电阻代替所去掉的器件，否则门不会正常工作。上拉电阻必须连接到门输出端及V_{CC}。上拉电阻的值由连接到线与节点的集电极开路输出的数目及电路中拉电流和灌电流的大小决定。计算R_{PU}大小的例题参见附录A。

图11.21的逻辑图显示了三个集电极开路输出与非门进行线与时的输出。注意，这些门的输出端只包含Q_4，而不包含如标准与非门电路（如图A.1）所示的R_3，Q_3和D_3。图11.21中的每一个输出端通过上拉电阻（R_{PU}）连接到V_{CC}。如果电路采用传统的推拉式输出电路，5~10 kΩ的上拉电阻可防止电流过载。

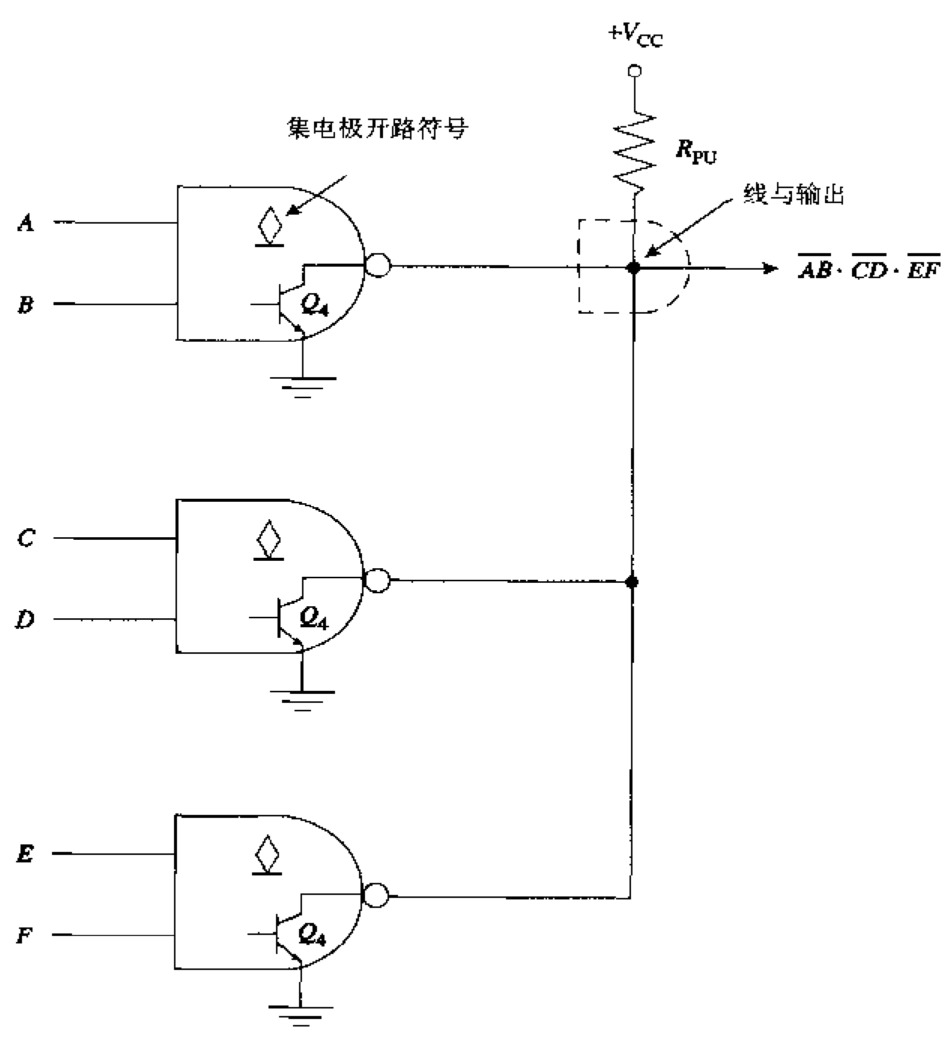


图11.21　线与TTL集电极开路输出

图 11.21 中各门横线上的菱形符号代表集电极开路输出器件。目前有很多可用的集电极开路 TTL 器件，其中有标准逻辑门、专用门、缓冲器、译码器、乘法器、寄存器和总线收发器等。

11.2 节复习题

A. 驱动门和负载门之间总是要用到专门的接口电路。

(1) 对

(2) 错

B. 判别图 11.22 中的驱动门：

(1) 或门

(2) 与非门

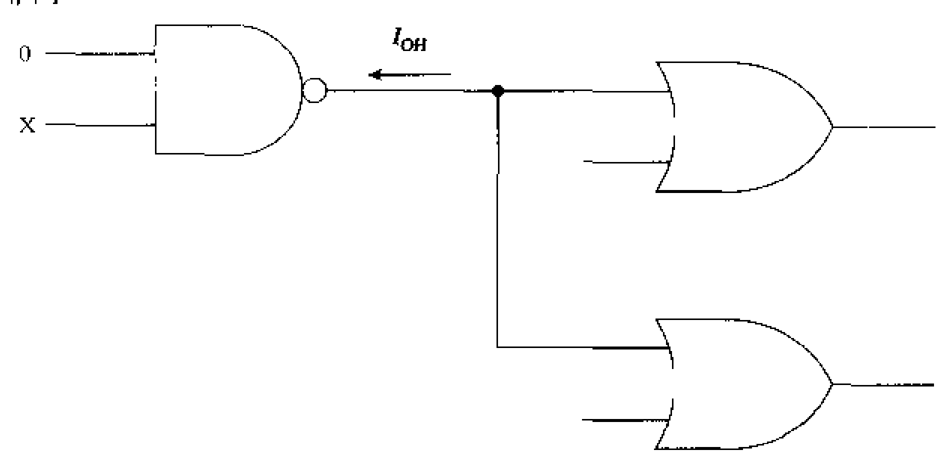


图 11.22

C. 图 11.22 中 I_{OH} 为 $-400\ \mu A$，负号表明电流实际由与非门输出端流出。

(1) 对

(2) 错

D. 图 11.22 中的驱动门为电流________。

(1) 灌入

(2) 供出

E. 图 11.23 中的驱动门为电流________。

(1) 灌入

(2) 供出

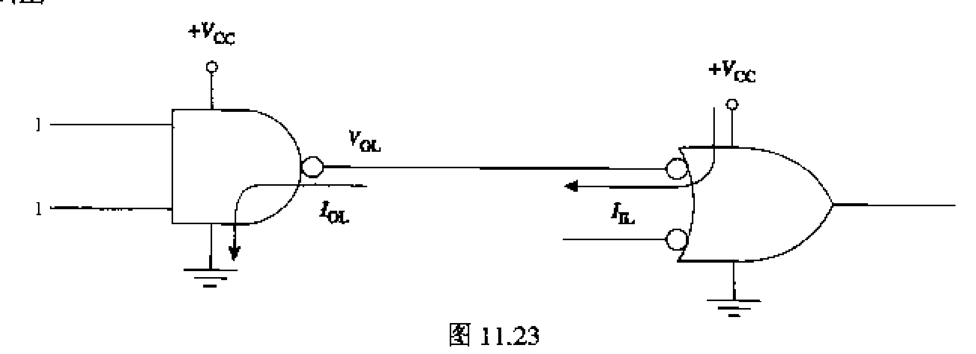


图 11.23

F. 当输出为低（V_{OL}）时，逻辑门________电流。

(1) 灌入

(2) 供出

G. 定义扇出。

H. 若扇出（低或高）过载，则逻辑门无法正常工作。

(1) 对

(2) 错

I. 定义噪声免疫力。

J. 标准TTL门输出端可线与。

(1) 对

(2) 错

K. 写出图11.24中电路的布尔表达式。

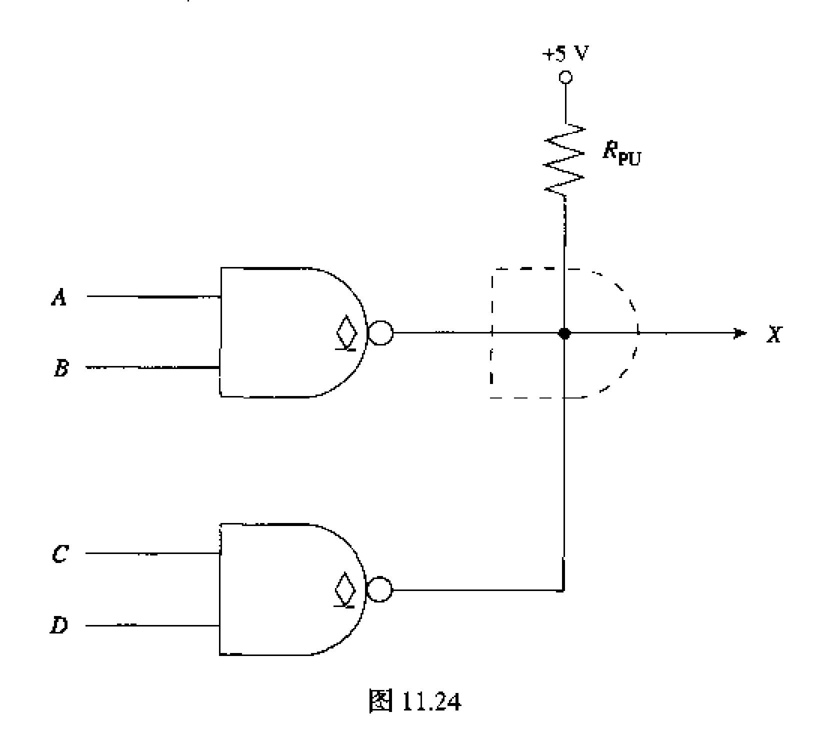


图 11.24

L. 若去掉 R_{PU}，图11.24所示电路能够正常工作。

(1) 对

(2) 错

M. 图11.24中与非门里的符号代表什么？

阶段性小结（11.1节～11.2节）

目前最常用的集成电路技术是TTL和CMOS。TTL技术因其中到高的速度、低成本和良好的驱动能力而得到普及。FAST（F）技术为TTL系列中高性能的部分。CMOS技术因其高集成度和低功耗而得到普及。BiCMOS技术在一个集成电路中结合了CMOS技术和双极技术。

为使电路设计正确，数字器件必须兼容。驱动电路的电压电流值必须与负载电路兼容。为了与所驱动的负载兼容，有时需要使用接口电路限定信号。

在电路设计期间要通过检查驱动电路和负载电路中输入/输出电流和电压值来确定兼容性。

部分设计标准是为了确保驱动电路的扇出不过载。在有关的设计里，电流供出和电流灌入非常重要。如果电路设计时扇出过载，则噪声容限会降低或者电平会处于不确定（未定义）区域，此时电路无法正常工作。

集电极开路器件允许电路输出和其他集电极开路器件输出线与，但这不适用于其他类型的TTL器件。集电极开路输出器件工作时需外加上拉电阻。

阶段性练习（11.1节~11.2节）

1. 哪种类型的数字器件采用双极晶体管。
   a. TTL
   b. CMOS
2. 哪种类型的数字器件特点为中到高的速度、低成本和良好的驱动能力。
   a. TTL
   b. CMOS
3. 哪种数字器件具有高集成度和低功耗的特点？
   a. TTL
   b. CMOS
4. 肖特基TTL器件可比标准TTL器件工作于更高的时钟速度。
   a. 对
   b. 错
5. 某些CMOS集成电路和TTL兼容。
   a. 对
   b. 错
6. 图11.25中电流 I_{IH} 为40 μA，若 I_{OH} 为 -400 μA，扇出（高）为多少？
   a. 1
   b. 2
   c. 10
   d. 20

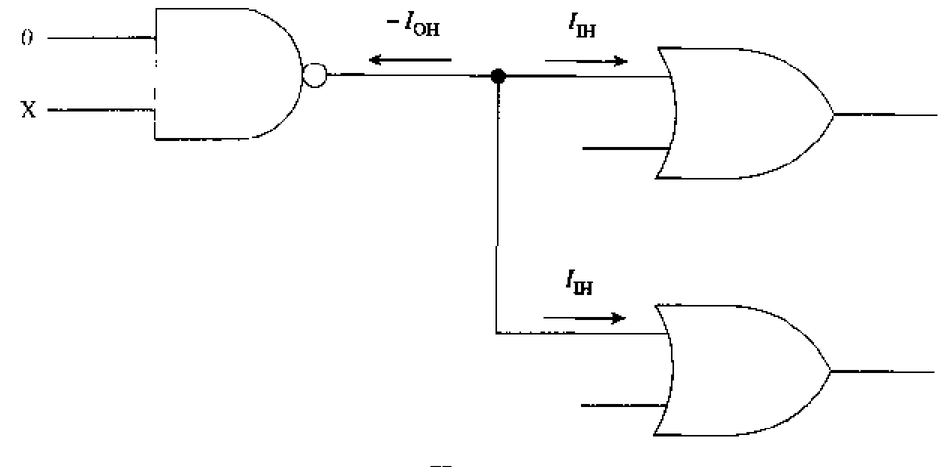


图11.25

7. 根据习题6指定的电流判断这些器件是否是电流兼容的？

a. 否

b. 是

8. 图 11.25 中驱动门为电流 ______。

a. 灌入

b. 供出

9. 电流符号（I_{OH} = −400 μA）表明图 11.25 中 I_{OH} 电流实际由与非门输出端流出。

a. 对

b. 错

10. 符号 V_{IH} 表示________。

a. 门的高电平输出电压

b. 门的低电平输出电压

c. 门的高电平输入电压

d. 门的低电平输入电压

11. 标准的习惯电流方向总是指向门的输出或输入引脚。

a. 对

b. 错

12. 一个逻辑门输出能够可靠驱动的最大输入数称为________。

a. 噪声免疫力

b. 噪声容限

c. 扇出

d. 扇入

13. 图 11.26 中驱动门为电流________。

a. 灌入

b. 供出

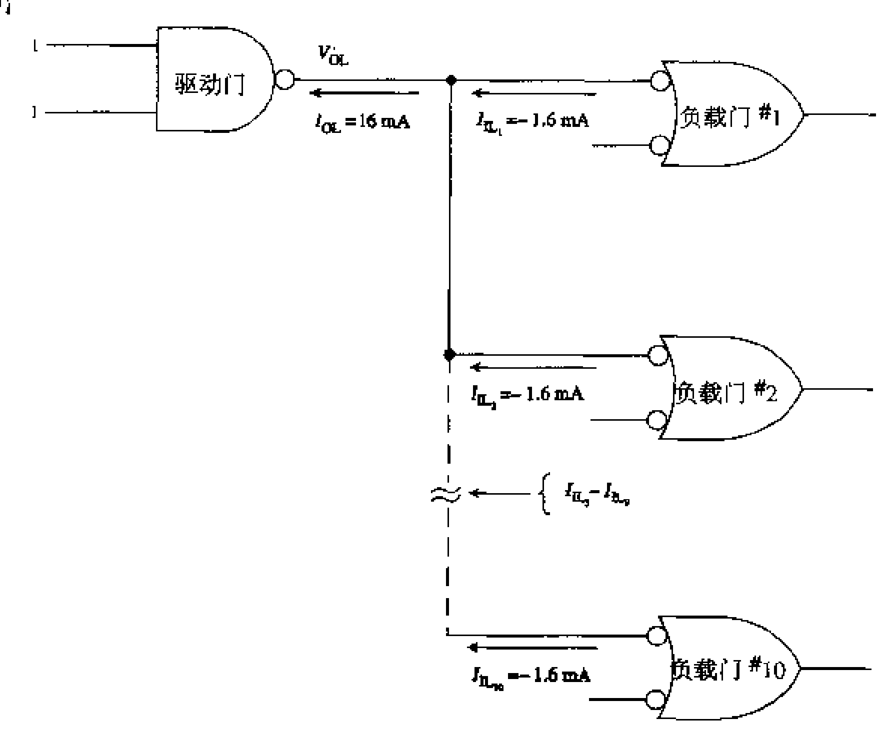


图 11.26

14. 图 11.27 中，若 $A=B=C=1$ 且 $D=0$，则电路的 X 输出端是什么?

a. 逻辑 0

b. 逻辑 1

15. 图 11.27 中的菱形代表＿＿＿＿＿。

a. TTL 输出

b. CMOS 输出

c. 三态输出

d. 集电极电路输出

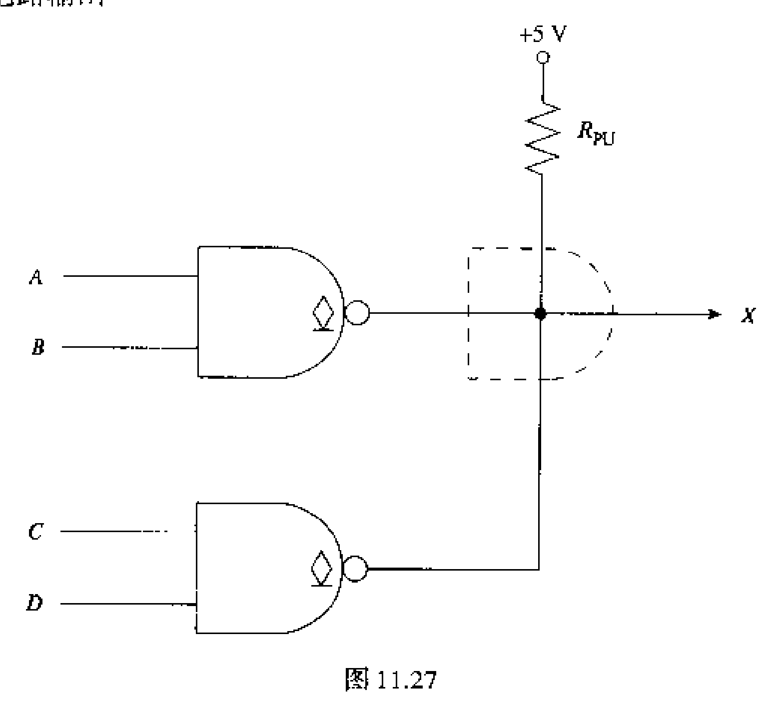


图 11.27

11.3　三态逻辑

要点

1. 定义了三态、高阻态和总线争用。
2. 说明了使用三态电路的原因及其判定。
3. 给出具有三态输出器件的逻辑图/符号，判别器件并在各种指定输入的情况下确定其输出。

数字系统有多种要求，特别是 PC 机，要求寄存器或其他器件的输出与公共线（总线）在电气上分离。

图 11.28 中的电路显示了许多缓冲器的输出端连接到一个公共的数据总线（D_0）。本例中的总线可能正被微处理器用来与存储器和外围器件进行通信，但一个缓冲器输出为高而其他缓冲器输出为低时，就会出现问题。这个问题称为总线争用。这是由于任一时刻有两个或多个数字器件同时允许占线所致。这个问题可能会损坏与总线相连的缓冲器，从而常常产生无效输出。

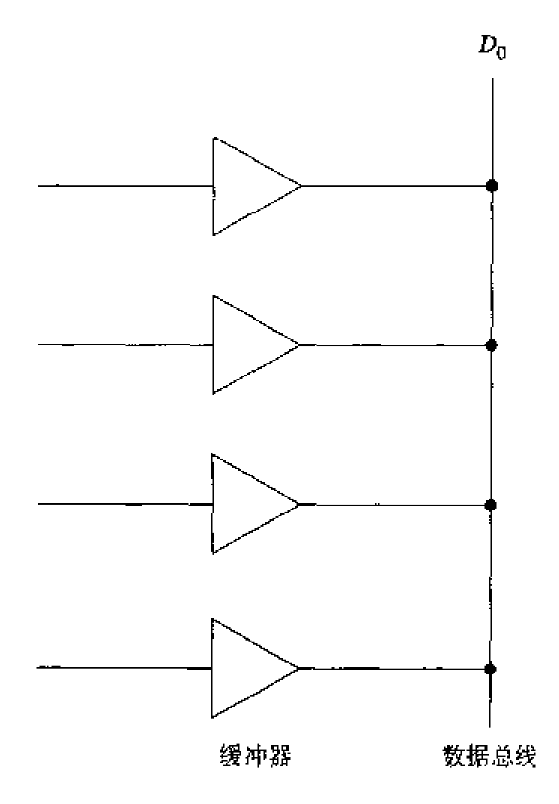


图 11.28 连接到数据总线的缓冲器

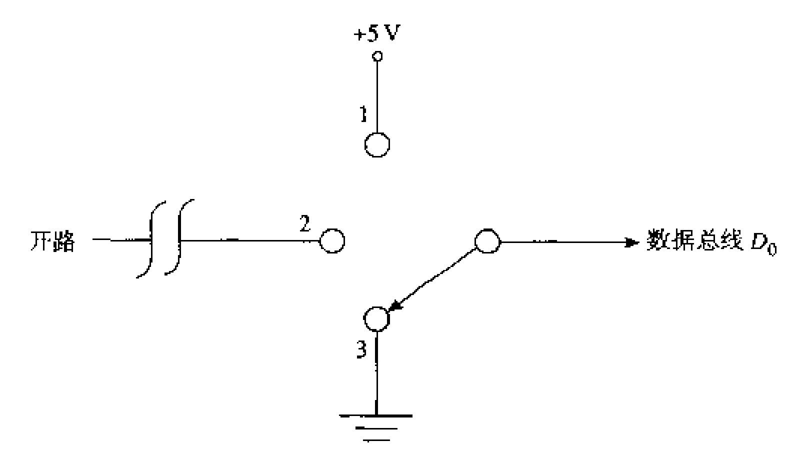


图 11.29 代表三态输出的开关

带有三态输出的电路可用来解决总线争用问题。图 11.29 中开关的三个位置用来表示三态器件的输出通路。开关的位置 3 在总线上产生逻辑 0。位置 1 产生逻辑 1。当开关处于位置 2 的时候，三态器件的输出与总线在电气上分离。最后的状态在总线和三态器件输出端之间产生一个无穷大的阻抗，这种状态称为三态输出电路的高阻状态。术语"三态"表明器件的输出可以是高、低和高阻三种状态。如果图 11.28 中的缓冲器具有三态输出，那么总线争用问题将会因在任一给定时刻四个缓冲器的输出端有三个处于高阻（Hi-Z）状态而得以缓解。当三态电路的输出端处于高阻状态时，常常被称为"悬空"。

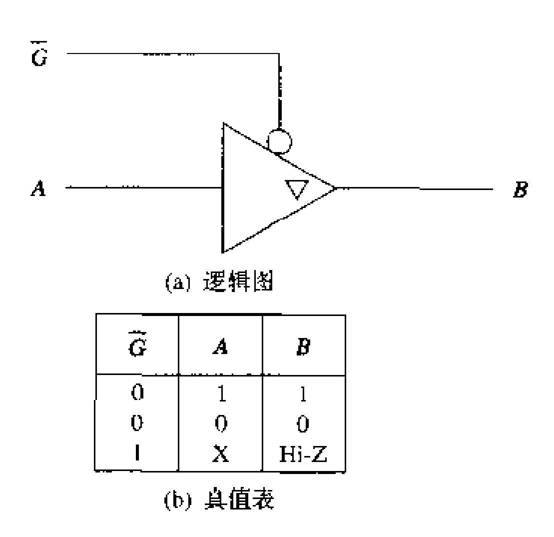
许多数字器件都具有三态输出。本节提到了缓冲器、总线收发器和带有三态输出的寄存器。其他具有此能力的可用器件包括逻辑门、计数器、编码器、乘法器、存储器集成电路及微处理器等。所有与系统总线相连的器件都必须具有三态输出功能。

11.3.1　三态输出缓冲器

具有三态输出的四线总线缓冲器 74125

缓冲器是具有一个数据输入和一个数据输出的电路，用于隔离或增加电流以提供更大的扇出。图11.30(a)画出了74125一个部分的逻辑图。该符号表示包含在集成电路内的四个同样的缓冲器之一、低有效输入端$\overline{G}$有效时，可使缓冲器产生逻辑低或逻辑高输出。当输出为高电平时，缓冲器提供额外的驱动能力。这种信号调节允许无需外加上拉电阻即可驱动更大的负载总线。

当$\overline{G}$为高时，图11.30(a)中的缓冲器处于高阻状态，如图11.30(b)的真值表所示。此缓冲器的输出取自11.2节讨论过的推拉式输出晶体管之间。当缓冲器没有使能（$\overline{G}=1$）时，两个推拉晶体管都截止。此操作的实现见附录A。两个截止的晶体管对总线提供了一个非常高的阻抗，使得缓冲器与总线能够有效地隔离。



(a) 逻辑图

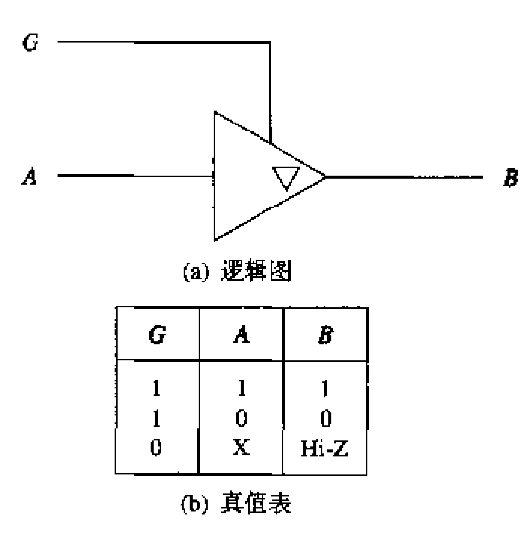
$\overline{G}$	A	B
0	1	1
0	0	0
1	X	Hi-Z

(b) 真值表

图11.30　具有三态输出的缓冲器74125

具有三态输出的四线总线缓冲器 74126

图11.31(a)显示了74126缓冲器一个部分的逻辑图。此集成电路包括四个此类缓冲器，每个都有自己的高有效使能输入端（G）。使能输入端的有效电平是它与74125的惟一区别。图11.31(b)中的真值表说明当缓冲器使能时（$G=1$），输入未经反相而直接传递到输出。当$G=0$时缓冲器处于高阻状态。



(a) 逻辑图

G	A	B
1	1	1
1	0	0
0	X	Hi-Z

(b) 真值表

图11.31　具有三态输出的缓冲器74126

74125和74126的结构图见图11.32。图中倒三角代表三态输出。该符号在所有ANSI/IEEE符号中用于注释具有三态输出功能的器件。标准三态总线缓冲器符号可能没有这个倒三角，但器件能够很容易地由第三条输入线判别。

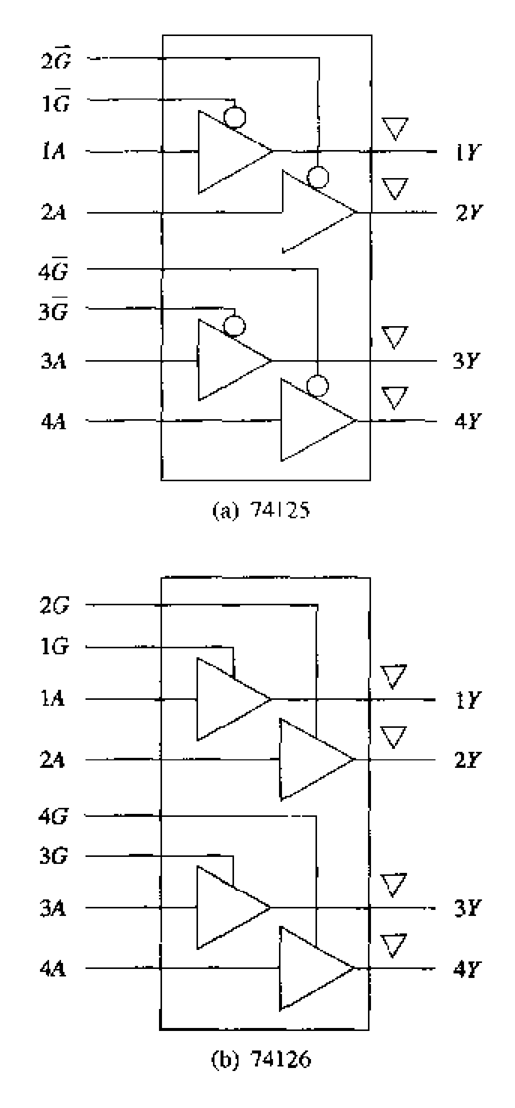


图 11.32 缓冲器结构图

11.3.2 总线收发器

单词“收发器”意味着双向传输。数字系统中的总线收发器允许两个数据总线之间异步双向传输。图11.33所示为收发器方框图。收发器的作用是作为数据总线 A 与数据总线 B 之间的接口。

数据有时需由数据总线 A 传送到数据总线 B，有时需反方向传送，另外还有两条总线必须彼此隔离的情况。最后一种情况下，所有信号必须与总线隔离。

方框图（图11.33）中 G 输入端说明了数据传输的方向。当 $\overline{G}AB$ 和 $GBA=0$ 时，数据由 A 传向 B。当 $\overline{G}AB$ 和 $GBA=1$ 时，数据传送方向相反。当 $\overline{G}AB=1$ 且 $GBA=0$ 时，收发器用于隔离两条总线。通过有效电平输入指示器（G 上有无横线）可以看到，当后一种输入组合（$\overline{G}AB=1$ 且 $GBA=0$）时，两个使能输入端都无效。这种组合使收发器输出端处于高阻（悬空）状态。

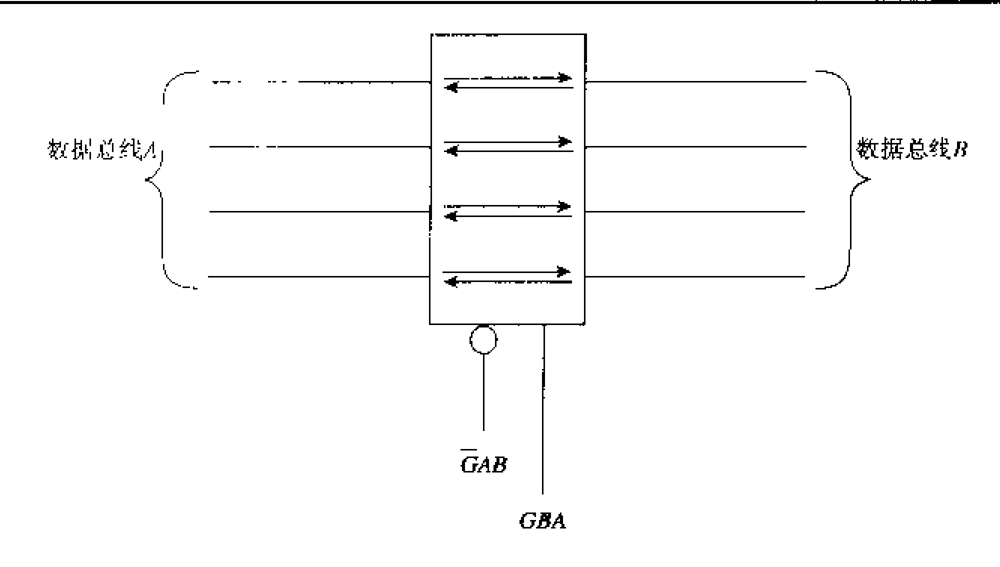


图 11.33 总线收发器方框图

具有三态输出的四线总线收发器 74LS243

图11.34为该总线收发器的逻辑图和功能表。首先需要注意的是图11.34(a)逻辑图中两个控制信号（GAB和GBA）的有效电平。如图 11.34(b)中功能表所示，当$\overline{G}AB$有效（低）且GBA无效（低）时，数据由A向B传送（A_1向B_1、A_2向B_2等）。当GAB无效（高）且GBA有效（高）时，数据由B向A传送。两个输入端都为无效电平时，将使每对双向缓冲器的两个缓冲器输出端进入高阻状态。这样就把总线A和B隔离了。

从以上讨论可以明显看出，使一个控制输入端有效而使另一个控制输入端无效，就设定了数据传送方向。这个方向由有效控制信号记忆法规定。需要说明的是，$\overline{G}AB=0$只允许数据由A向B传送。$GBA=1$仅允许数据由B向A传送。这两个例子中必须同时把相反的控制输入端设为无效信号。如果两个输入信号无效，电路在任一方向都不允许有数据传送，这就是高阻状态，这时两条总线彼此完全隔离。

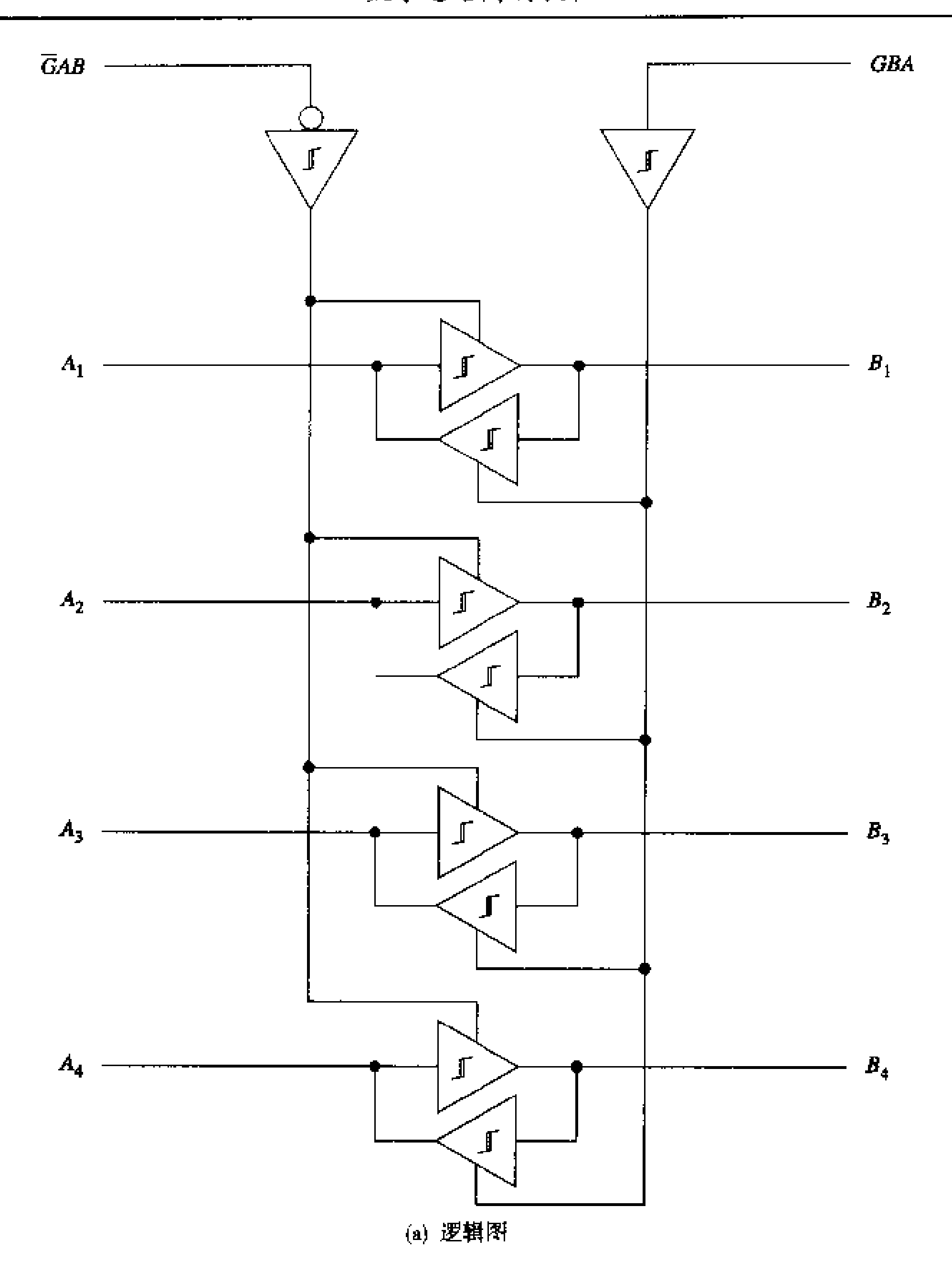
如果两个控制输入端同时有效，电路会怎样呢？这将使每对缓冲器中的两个缓冲器都使能，数据可向任一方向传送，换句话说，总线A与总线B连通。

具有三态输出的八线总线收发器 74LS245

74LS245基本上是四位74LS243的8位版。逻辑图、功能表和逻辑符号见图11.35。尽管控制输入端稍有不同，但功能表（图 11.35(b)）还是讲清了它的用法。$\overline{G}$输入端用来使能器件，当$\overline{G}$为高（无效）时，输出为高阻状态，当$\overline{G}=0$时，方向（DIR）输入端控制着数据流过收发器的方向。缓冲器包含与74LS243中一样的施密特触发输入电路，这样就提高了缓冲器的噪声容限。11.5节将再次讨论74LS245集成电路，并将提到它在PC机中的应用。

11.3.3 具有三态输出的寄存器

在没有涉及具有三态输出的地址总线缓冲寄存器和存储寄存器之前，关于具有三态输出的收发器和总线缓冲器的讨论不会结束。为此我们选择了两种不同的4位寄存器，即74173和74295。

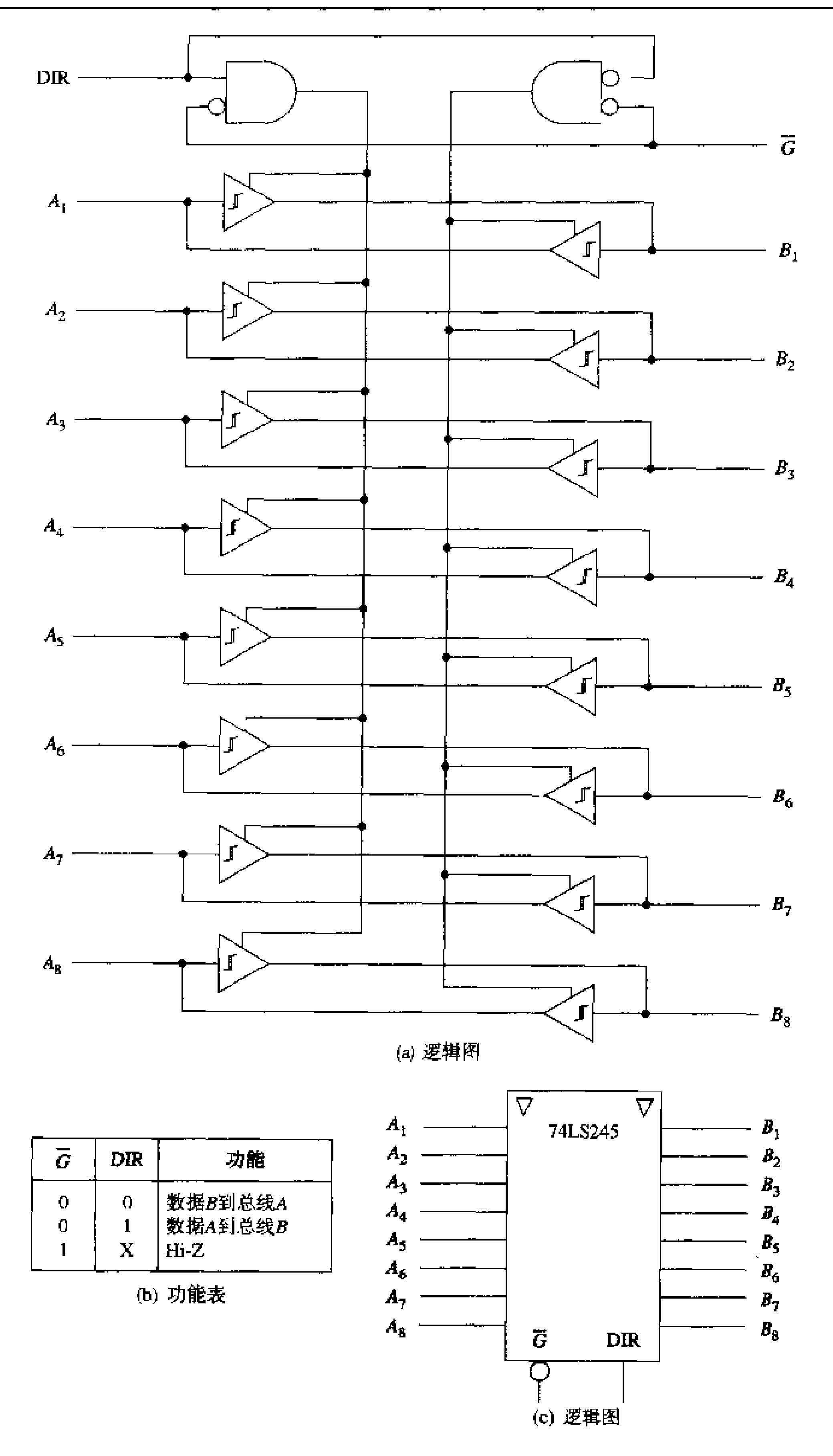


(a) 逻辑图

$\overline{G}AB$	GBA	工作方式
0	0	$A \longrightarrow B$
1	1	$B \longrightarrow A$
1	0	Hi-Z
0	1	LATCH ($A=B$)

(b) 功能表

图 11.34 具有三态输出的四线总线收发器 74LS243



(a) 逻辑图

$\overline{G}$	DIR	功能
0	0	数据B到总线A
0	1	数据A到总线B
1	X	Hi-Z

(b) 功能表

(c) 逻辑图

图 11.35　具有三态输出的八线总线收发器 74LS245

具有三态输出的4位D型寄存器74173

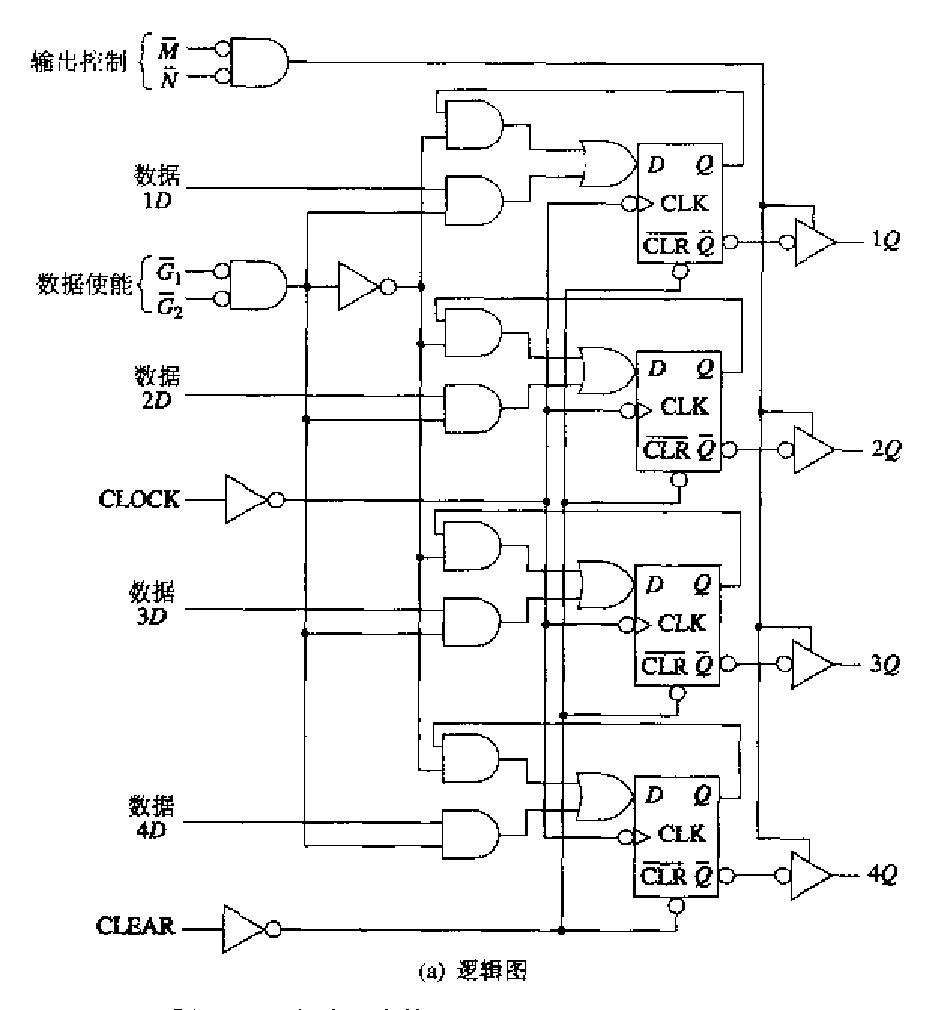
该寄存器可用为总线缓冲寄存器。它的8位版也已商用化。图11.36为该寄存器的逻辑图和功能表，电路的基本操作及分析方法与8.2节中的并行输入/并行输出寄存器类似。

74173的功能表见图11.36(b)。当任一数据使能输入端（G_1或G_2）为高或者时钟输入保持为低，图11.36(a)中的寄存器将处于保持方式。当$\overline{G}_1 = 1$或$\overline{G}_2 = 1$且提供了时钟脉冲PGT时，通过每对触发器与门上方的与门，各触发器Q端数据经该触发器循环。为使数据出现在输出引脚，输出控制端的输入（M和N）必须有效，如果$\overline{M} = 1$或$N = 1$，则$1Q$~$4Q$上的三态输出缓冲器处于高阻状态。功能表底部的注释表明，带有时钟的触发器操作不受输出控制信号（$\overline{M}$和N）的影响，这表明只要数据使能输入端（G_1和$\overline{G}_2$）有效，寄存器在其输出处于高阻状态时也能装入数据，当CLEAR $= G_1 = G_1 = M = \overline{N} = 0$且提供了时钟PGT时，寄存器的输出$Q_5$随数据输入$D_5$而变化。

图11.37画出了74173寄存器的标准逻辑符号和ANSI/IEEE符号，标准符号上的门在电路内部。ANSI/IEEE符号表明，低有效输出控制输入端（M和$\overline{N}$）的与门使输出有效，如果输出无效，1Q（标准逻辑符号为4Q）上的倒三角表明输出处于高阻状态，剩下的与门符号表明低有效数据使能输入端（G_1和G_2）和时钟PGT一起把数据装入输出端。

具有三态输出的4位右移/左移寄存器74LS295

该寄存器的操作类似于8.2节中的4位双向通用移位寄存器74194，主要的区别在于三态输出本节将介绍其他细微差别和功能表的详细情况，逻辑图和功能表见图11.38。



(a) 逻辑图

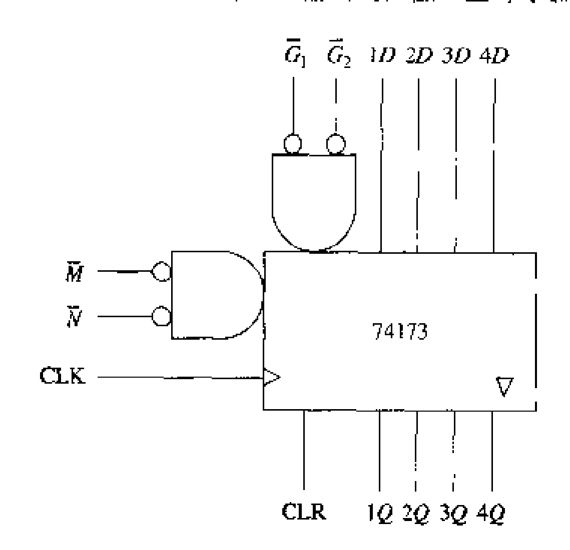
图11.36 具有三态输出的四位D型寄存器74173

CLEAR	CLOCK	$\overline{G}_1$	$\overline{G}_2$	$\overline{M}$	$\overline{N}$	数据	输出
1	X	X	X	0	0	X	CLEAR
0	0	X	X	0	0	X	HOLD
0	↑	1	X	0	0	X	HOLD
0	↑	X	1	0	0	X	HOLD
0	↑	0	0	0	0	0	$Q=0$
0	↑	0	0	0	0	1	$Q=1$
0	* ↑	0	0	1	X	X	Hi-Z
0	* ↑	0	0	X	1	X	Hi-Z

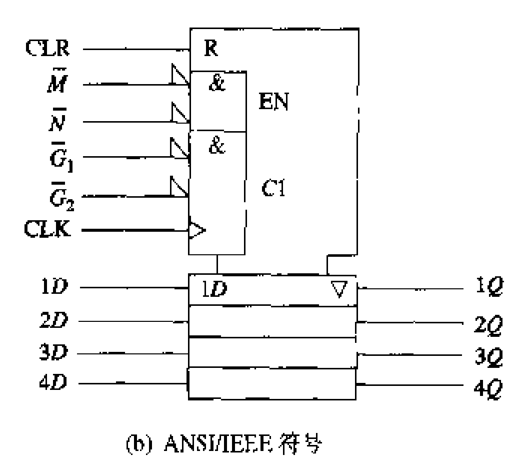
* 当$\overline{M}$或$\overline{N}$有一个为高时，触发器的时钟操作不受其影响

(b) 功能表

图11.36（续） 具有三态输出的四位D型寄存器74173

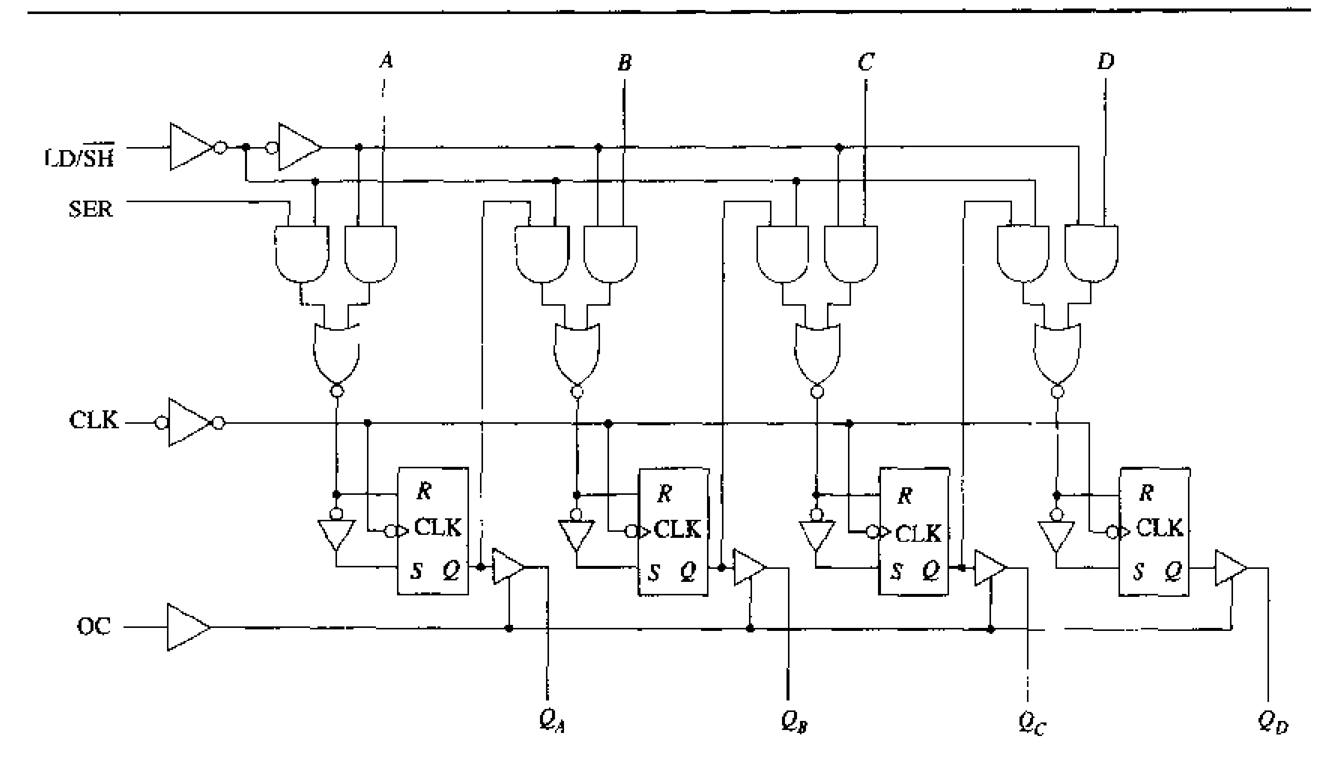


(a) 逻辑符号



(b) ANSI/IEEE 符号

图11.37 74173集成电路



(a) 逻辑图

LD/$\overline{SH}$	CLK	OC	SER	A 并行	B 并行	C 并行	D 并行	Q_A	Q_B	Q_C	Q_D	输出
1	1	1	X	X	X	X	X	Q_{A_0}	Q_{B_0}	Q_{C_0}	Q_{D_0}	保持
1	↓	1	X	*a*	*b*	*c*	*d*	*a*	*b*	*c*	*d*	并行装入
1	↓	1	X	Q_B	Q_C	Q_D	*d*	Q_{B_n}	Q_{C_n}	Q_{D_n}	*d*	左移
0	1	1	X	X	X	X	X	Q_{A_0}	Q_{B_0}	Q_{C_0}	Q_{D_0}	保持
0	↓	1	1	X	X	X	X	1	Q_{A_n}	Q_{B_n}	Q_{C_n}	右移
0	↓	1	0	X	X	X	X	0	Q_{A_n}	Q_{B_n}	Q_{C_n}	右移
	*	0										Hi-Z

* 触发器时钟操作不受OC影响

(b) 功能表

图 11.38 具有三态输出的四位右移/左移寄存器 74LS295

保持。功能表说明了可以建立 HOLD 方式的两种条件。在每种条件下，CLK 都保持高电平，这意味着触发器不能改变状态。HOLD 方式下的输出为 Q_{A_0}，Q_{B_0}，Q_{C_0} 及 Q_{D_0}。在 CLK 输入跳变为高电平并保持之前，输出分别立即等于 Q_A，Q_B，Q_C 及 Q_D。

并行装入。在方式控制输入端（LD/$\overline{SH}$）变高之后，时钟脉冲的第一个 NGT 到来时，*A*，*B*，*C* 和 *D* 并行装入，这说明寄存器的装入是同步的，在装入操作中，串行数据输入端（SER）受到抑制。寄存器的 *Q* 输出端在图 11.38(b)功能表中为 *a*，*b*，*c* 和 *d*。小写字母分别代表 *A*，*B*，*C* 和 *D* 输入端的电平。

左移。左移操作需外接集成电路，图 11.39 为左移方式连接后的 74LS295 逻辑符号，该图显示了每个触发器输出端连接到前一个触发器的并行输入端。串行数据由 *D* 端输入，由 Q_A 端输出。为了完成左移操作，方式控制输入端（LD/$\overline{SH}$）必须为高。

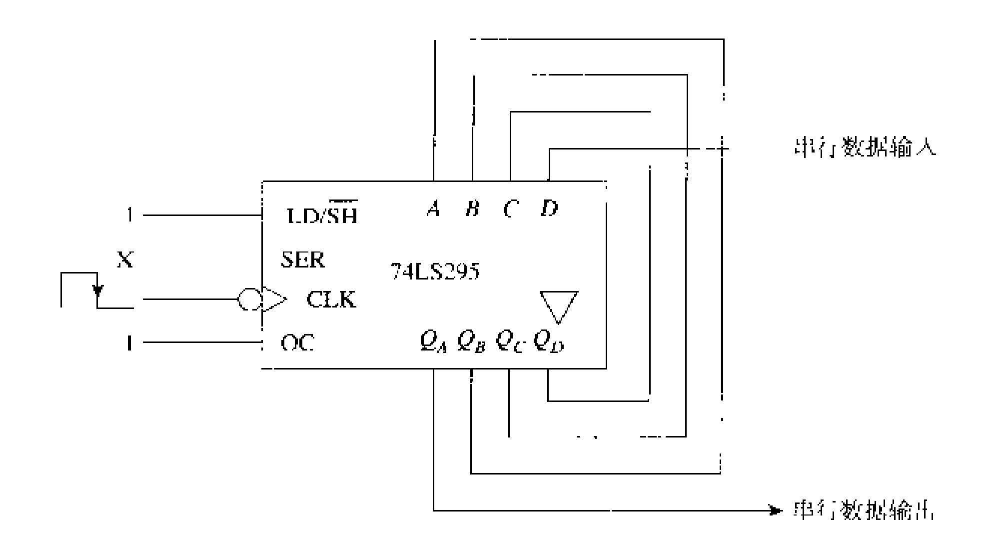


图11.39 连线为左移方式的74LS295集成电路逻辑符号

左移方式下的功能表输出表明 $Q_A = Q_{B_n}$、$Q_B = Q_{C_n}$、$Q_C = Q_{D_n}$ 及 $D_D = d$。因为数据向左移位，所以从 Q_D 开始。$Q_D = d$ 表明 Q_D 等于CLK NGT到来时的 D 端输入值。$Q_C = Q_{D_n}$ 说明 Q_C 等于最近的CLK NGT到来之前的 Q_D 的值。简而言之，数据通过寄存器向左移位。

右移。图11.38(b)中的功能表表明当方式控制输入端(LD/$\overline{SH}$)为低时，寄存器为右移方式。表中第一个右移输入项表明串行数据（SER）为高。当SER = 1时，该方式的输出表明在有效时钟沿后 $Q_A = 1$、$Q_B = Q_{A_n}$、$Q_C = Q_{B_n}$ 及 $Q_D = Q_{C_n}$。因SER = 1，在NGT时 Q_A 的值变为高，这可以在图11.38(a)的逻辑图中得到验证。$Q_B = Q_{A_n}$ 表明 Q_B 等于最近的CLK NGT到来之前 Q_A 的值，这意味着 Q_A 的数据右移到 Q_B，再由 Q_B 移到 Q_C，以此类推。功能表中第二个右移输入项为串行数据输入低。

高阻状态。在前面的工作方式中输出控制（OC）信号一直为高。OC = 1时允许寄存器输出驱动总线。当OC置低时，输出被异步地置为高阻状态。这是因为当OC = 0时输出缓冲器无效。功能表中末行输入项中的“*”表明触发器的时钟操作不受OC影响。因此高阻状态时可完成装入、移位等一系列操作。

11.3节复习题

参照制造商数据表回答下列各题。

A. 定义三态。

B. 定义总线争用。

C. 当 $\overline{G} = 0$ 时，图11.40中缓冲器的输出为＿＿＿＿＿。

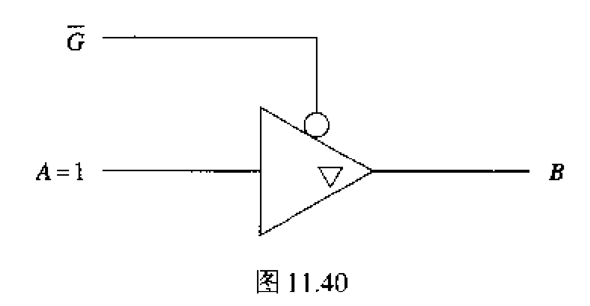


图11.40

D. 当 $\overline{G}=1$ 时，图 11.40 中缓冲器的输出为________。

E. 图 11.40 中的倒三角表示________。

F. 说明数字系统中总线收发器的用途。

G. 当 $\overline{G}=0$ 且 DIR = 0 时，图 11.41 中电路的功能是什么？

H. 当 $\overline{G}=1$ 且 DIR = 1 时，图 11.41 中电路的功能是什么？

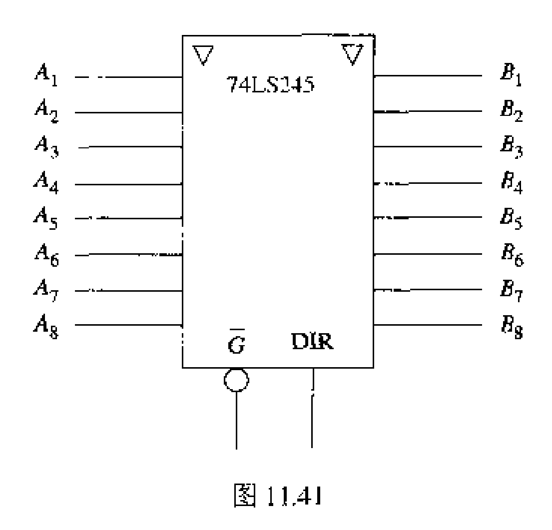


图 11.41

I. 图 11.42 在什么工作方式下为移位寄存器？

J. 若输出控制（OC）为低，图 11.42 在什么工作方式下为移位寄存器？

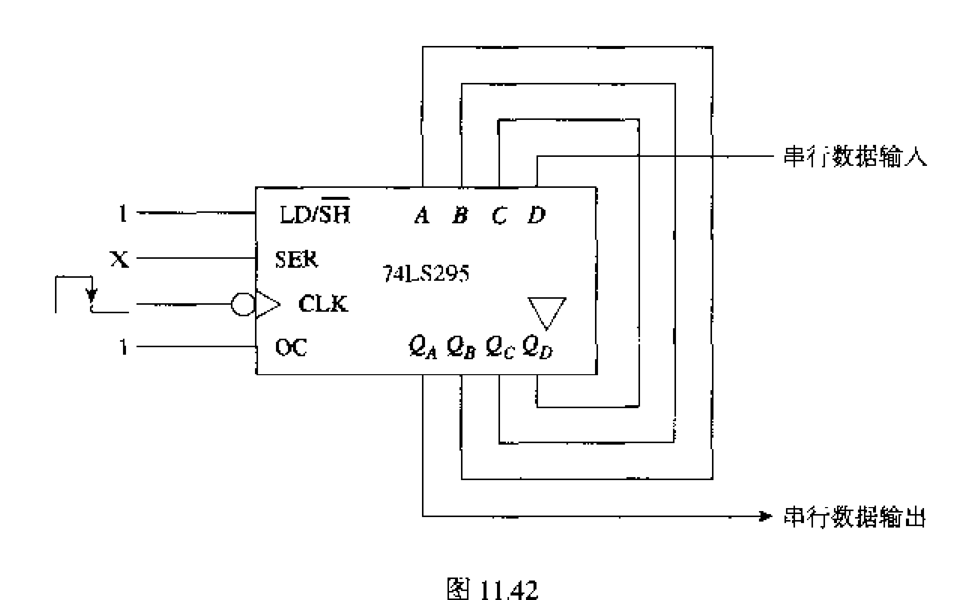


图 11.42

11.4 数据转换

要点

1. 定义有关数据转换的术语。
2. 说明数模和模数转换的基本原理。
3. 数据输入值给定的情况下，计算 R-$2R$ 梯形电阻的输出。

4. 说明逐次逼近式模数转换的原理。
5. 说明闪速（同步）模数转换的原理及其优、缺点。
6. 说明使用 ADC 和 DAC 的数据采样系统中每个方框的作用。

现实世界中大部分可测量的量都是模拟的，如温度、速度、加速度、压力、位置和强度信号等。如果这些模拟信号所代表的信息要由计算机或者其他一些数字处理系统来处理，则必须转换为一系列代表模拟值的信息位。这些操作由模数转换器（ADC）来完成。数字信号可以由我们熟知的数模转换器（DAC）电路再转换为模拟信号。为了利用今天数字技术的优势，从模拟到数字及从数字到模拟之间的相互转换是必需的。

许多工业过程由计算机控制。计算机的数字输出必须正常转换为实际过程控制的模拟信号。转换后模拟信号的大小与计算机的数字输出成比例。此转换由 DAC 完成。DAC 可以看成如图 11.43 所示的电位计，其输出电平由数字输入控制且与之成比例。实际上，这个转换过程可以由下面所讨论的梯形网络来完成。

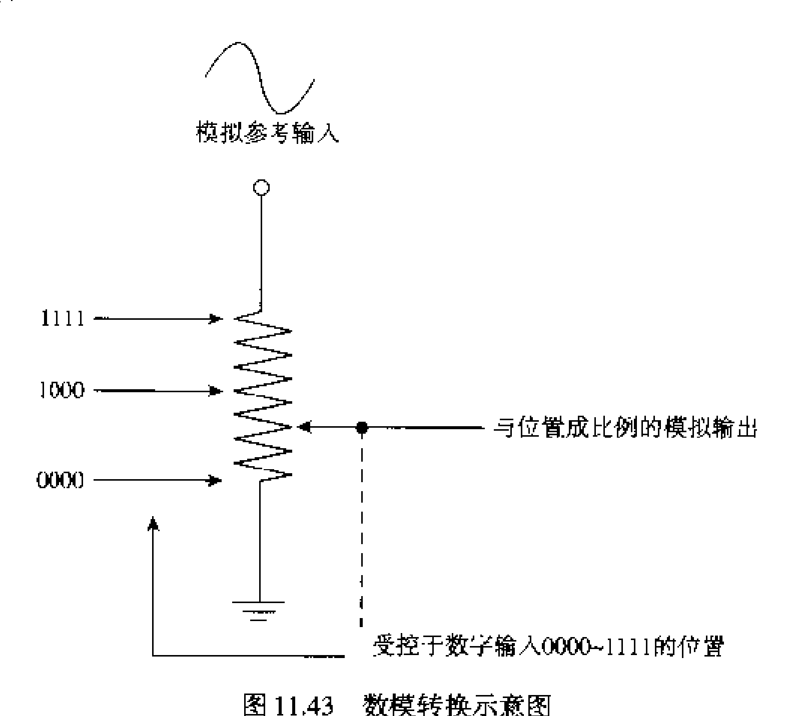


图 11.43　数模转换示意图

11.4.1　数模转换

最常用的数模转换方式之一是使用梯形网络。图 11.44 所示的梯形网络就是熟知的 R-$2R$ 梯形网络。下面以输入 1000，0100，0010 和 0001 为例来分析 R-$2R$ 梯形网络。

R-$2R$ 梯形网络

输入 1000(D_3~D_0)。 图 11.45(a)中梯形网络的模拟输出电压由节点 D 指向地。该图显示了一个完整的梯形网络，而且标注了数字输入值(D_3~D_0)。电路从节点到地之间的等效阻抗为 $2R$。例如，$R = 10\ \text{k}\Omega$，$2R = 20\ \text{k}\Omega$，则 $R_{eq} = 20\ \text{k}\Omega$。

如果从节点 A 开始依次分析到节点 D，就可以很容易地看出该梯形网络的等效阻抗为 $2R$。因为本例中输入 D_0 与逻辑 0（地）相连，所以图 11.45(a)中下面两个 $2R$ 电阻为并联。结果是节点 A 和地之间的等效阻抗（R_{eq1}）为 R。详细说明见图 11.45(b)。等效阻抗（R_{eq1}）与节点 B 和 A 之间的电阻串

联，称为 R_{B4}。因此，节点 B 到地之间的等效阻抗（R_{eq2}）为 $2R$，而该阻抗与图 11.45(c)中 D_1 输入端电阻 $2R$ 并联。它们的并联结果 R_{eq3} 又与图 11.45(d)中 R_{CB} 串联。继续分析图 11.45(e)和图 11.45(f)可以看出，节点 D 到地之间的等效阻抗为 $2R$。图 11.45(g)显示 D_3 与逻辑 1 相连，为正电压。高数据输入的典型电压值为 +3.3 V 到 +5 V。当数字输入为 1000 时，节点 D 的输出电压（V_{out}）等于 V_{in} ÷ 2。

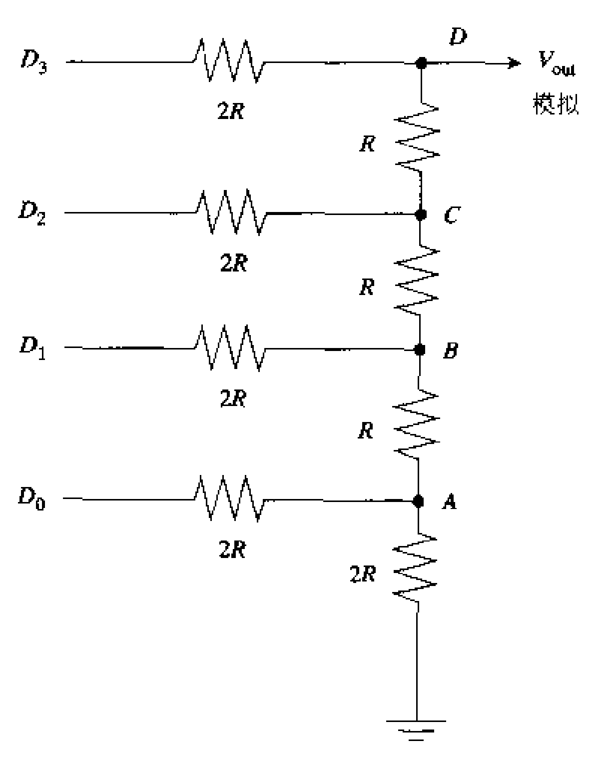


图 11.44 R–2R 梯形网络

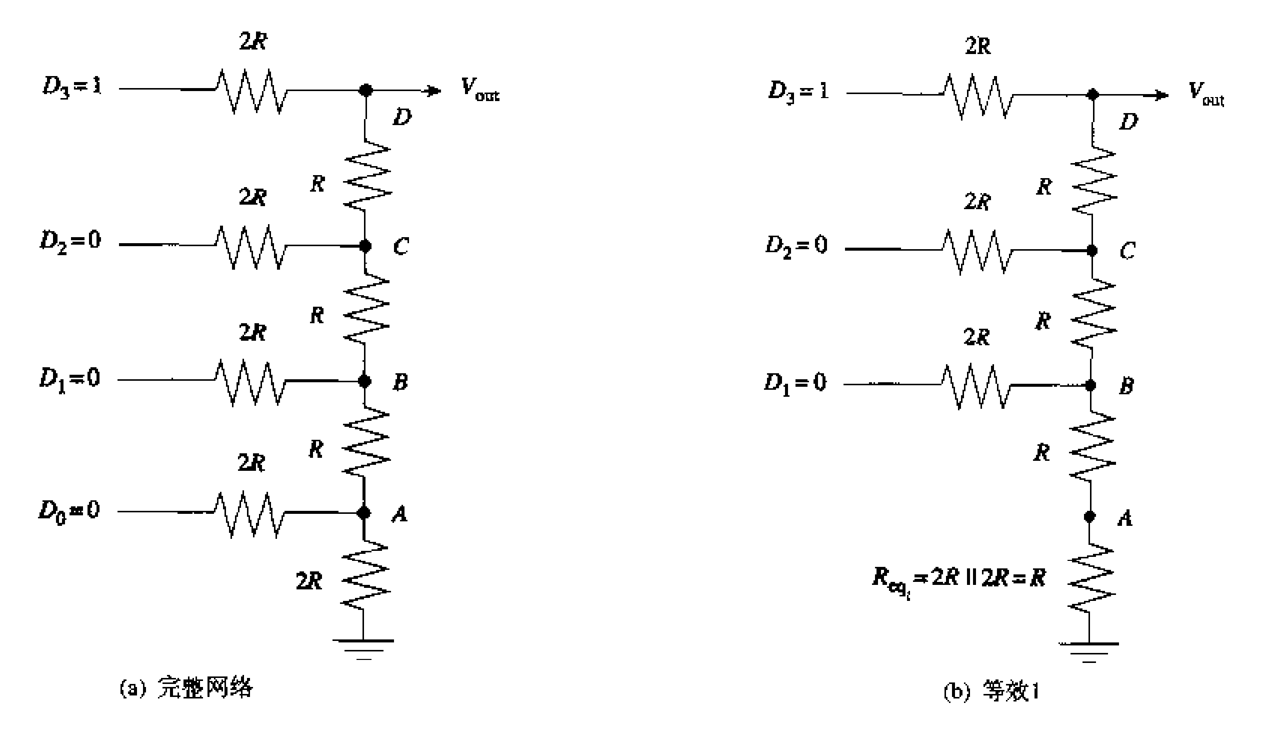


图 11.45 R–2R 梯形网络（输入 1000）

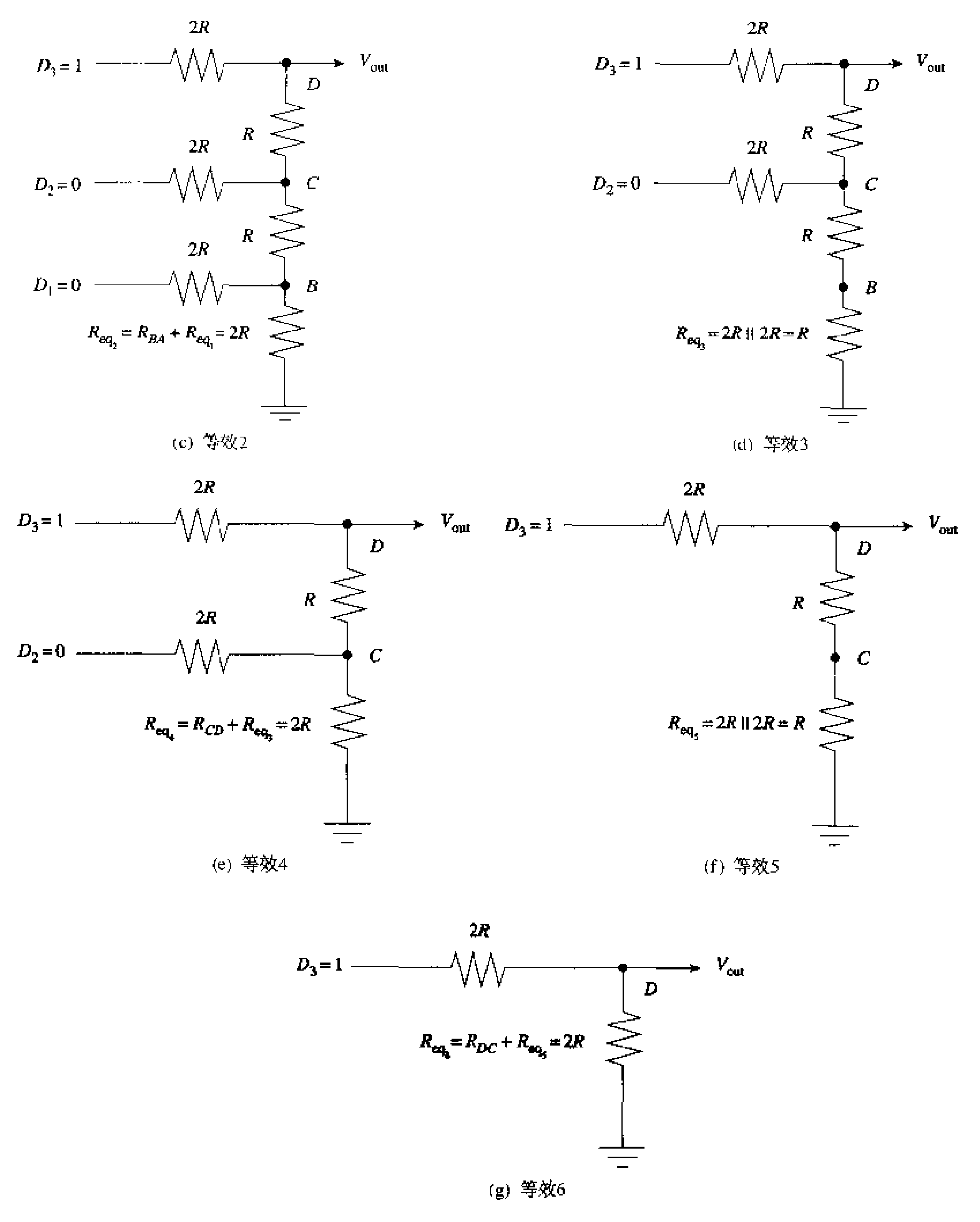


图 11.45（续）　R–2R 梯形网络（输入 1000）

当一个数据输入为高，而其余数据输入为低时，V_{out} 可由下式计算：

$V_{out}=V_{in}\div 2^{N-n}$

这里的 N 为梯形网络二进制输入的数目，n 为高输入位的位置序号。

如果上例中 D_3 的输入逻辑电平为 +4 V，则输出电压为

$$
\begin{aligned}
V_{out} &= +4\text{ V} \div 2^{4-3} \\
&= +4\text{ V} \div 2^{1} \\
&= +4\text{ V} \div 2 \\
&= \mathbf{+2\text{ V}}
\end{aligned}
$$

本例证明了当数据输入为1000时，V_{out}为$V_{in} \div 2$。

输入0100（D_3~D_0）。本例中D_2输入为高，其余数据输入为低。完整的梯形网络如图11.46(a)所示。本例假设$R = 10\text{ k}\Omega$，$2R = 20\text{ k}\Omega$。

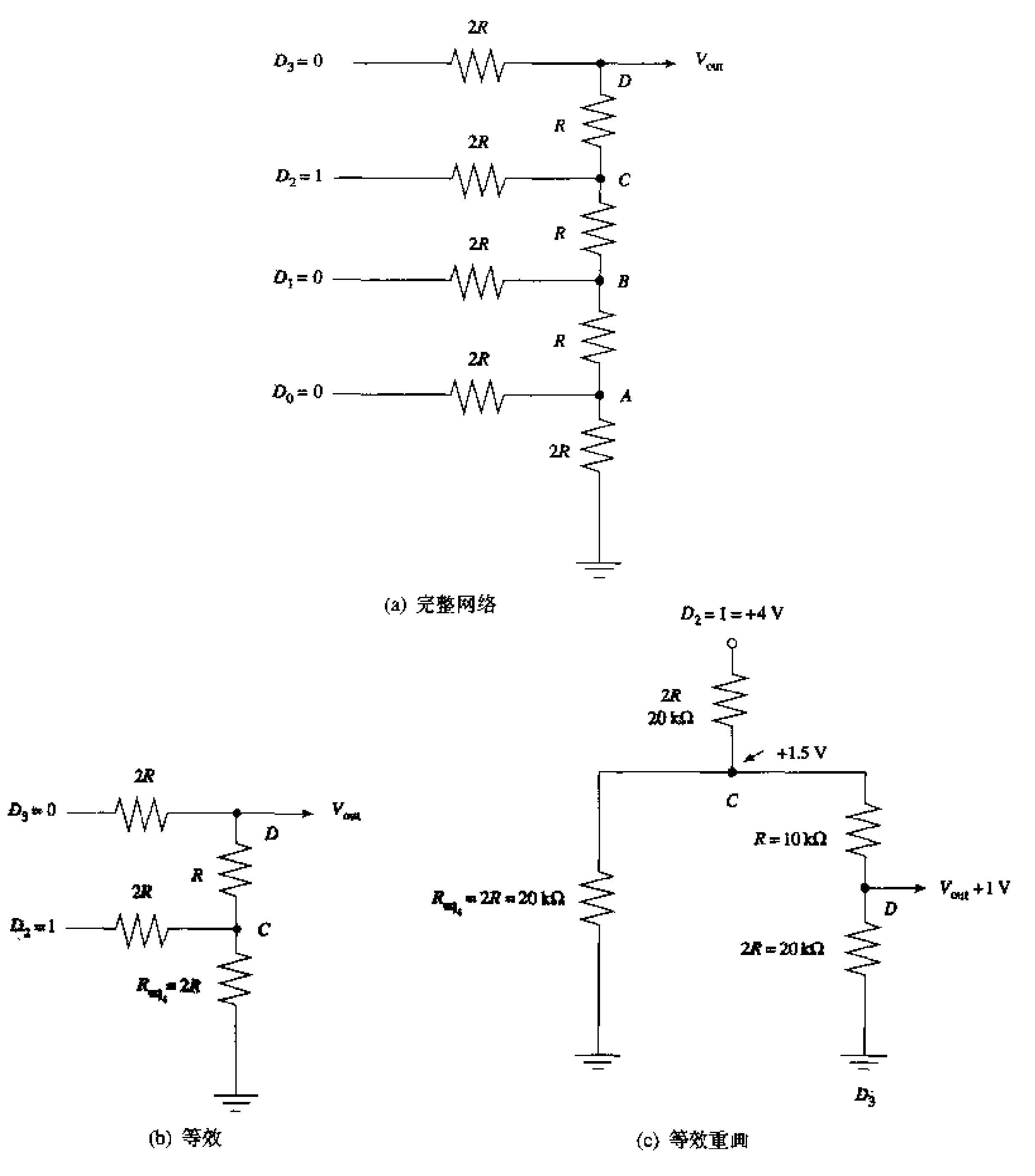


图11.46 R–$2R$梯形网络（输入0100）

图 11.46(b)中的电路显示出了等效阻抗。前例说明，若忽略 R_{DC} 及从节点 D 到 D_3 的阻抗 $2R$，则节点 C 到地的等效阻抗为 $2R$（图 11.45(c)中 R_{eq4}）。但是，在本例中由于 D_2 连到逻辑 1 输入，该阻抗并不与 D_2 输入端电阻 $2R$ 并联。上例中 D_2 输入端与逻辑 0（地）相连。

图 11.46(c)中重画了等效阻抗电路。因 $D_3 = 0$，所以 D_3 输入端画为接地。这样，R_{eq4} 与 $R_{DC} + 2R$ 并联。这使得节点 C 到地的实际阻抗为 12 kΩ。该阻抗在节点 C 产生 +1.5 V 电压，在节点 D 输出 +1 V 电压。

用上例中公式验证 V_{out}，如下所示。

$$
\begin{aligned}
V_{out} &= V_{in} \div 2^{N-n} \\
&= +4\ \text{V} \div 2^{4-2} \\
&= +4\ \text{V} \div 2^2 \\
&= +4\ \text{V} \div 4 \\
&= \mathbf{+1\ V}
\end{aligned}
$$

输入 0010（D_3~D_0）。 数据输入为 0010 时的梯形网络见图 11.47(a)。图 11.47(b)中的电路显示，若忽略 D_3 和 D_2 的输入阻抗，则节点 B 到地间的等效阻抗为 $2R$（图 11.45(c)中 R_{eq2}）。

图 11.47(c)重画了该电路。因为 $D_3 = 0$ 和 $D_2 = 0$，所以 D_3 和 D_2 的电阻 $2R$ 画为接地。从节点 B 到地间的总阻抗为 10.476 kΩ，这会在节点 B 产生 +1.375 V 电压，在节点 C 产生 +0.75 V 电压，节点 D 的输出电压为 +0.5 V。

$$
\begin{aligned}
V_{out} &= V_{in} \div 2^{N-n} \\
&= +4\ \text{V} \div 2^{4-1} \\
&= +4\ \text{V} \div 2^3 \\
&= +4\ \text{V} \div 8 \\
&= \mathbf{+0.5\ V}
\end{aligned}
$$

输入 0001（D_3~D_0）。 R-$2R$ 梯形网络的输出电压为 +0.25 V。

$$
\begin{aligned}
V_{out} &= +4\ \text{V} \div 2^{4-0} \\
&= +4\ \text{V} \div 2^4 \\
&= +4\ \text{V} \div 16 \\
&= \mathbf{+0.25\ V}
\end{aligned}
$$

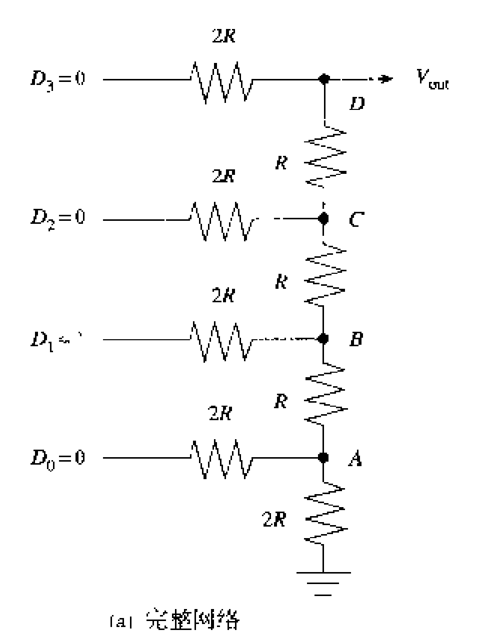
此处的详细分析与上例类似，所以没有必要再分析一遍。电路图见图 11.48(a)和(b)。

V_{out} 的公式表明，输入为 1000 时，输出电压为 $V_{in} \div 2$；输入为 0100 时，为 $V_{in} \div 4$；输入为 0010 时，为 $V_{in} \div 8$；输入为 0001 时，为 $V_{in} \div 16$。当不只一个数据输入为高时，梯形网络的输出电压可由叠加法计算得出。

图 11.49 显示了确定 V_{out} 的叠加法。输入为 1100 时的完整梯形网络见图 11.49(a)。此例中假设数据高输入电平为 +4 V，而电阻为 10 kΩ 和 20 kΩ。图 11.49(b)重画了此电路。

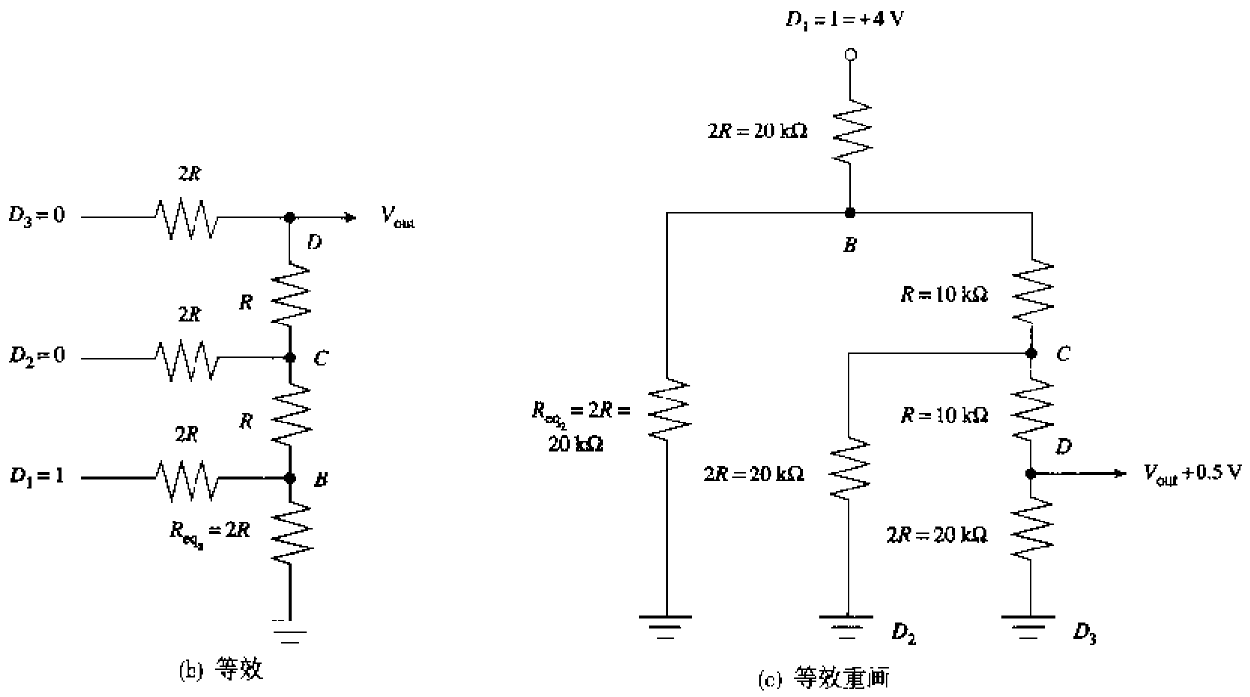
图 11.49(c)为用叠加法将 D_2 对地短路的梯形网络。输出电压为 $V_{in} \div 2 = 2$ V。图 11.49(d)为 D_3 对地短路的情况。该电路的输出电压为 $V_{in} \div 4 = 1$ V。因为从每端得到的电压极性相同，所以它们可以相加。

D_2 对地短路时 $V_{out} = 2$ V
D_3 对地短路时 $V_{out} = 1$ V
$\mathbf{V_{out} = 3\ V}$



(a) 完整网络





(b) 等效

(c) 等效重画

图 11.47 R–$2R$ 梯形网络（输入 0010）

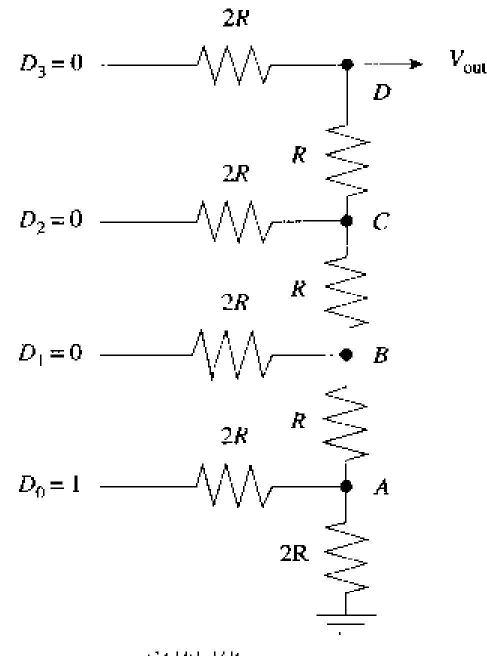
这个例子说明高数据输入时的输出电压 V_{out} 可用叠加法相加得到。

当数据输入为 1001 且高数据电平为 3.5 V 时，计算 DAC，R–$2R$ 梯形网络的输出电压：

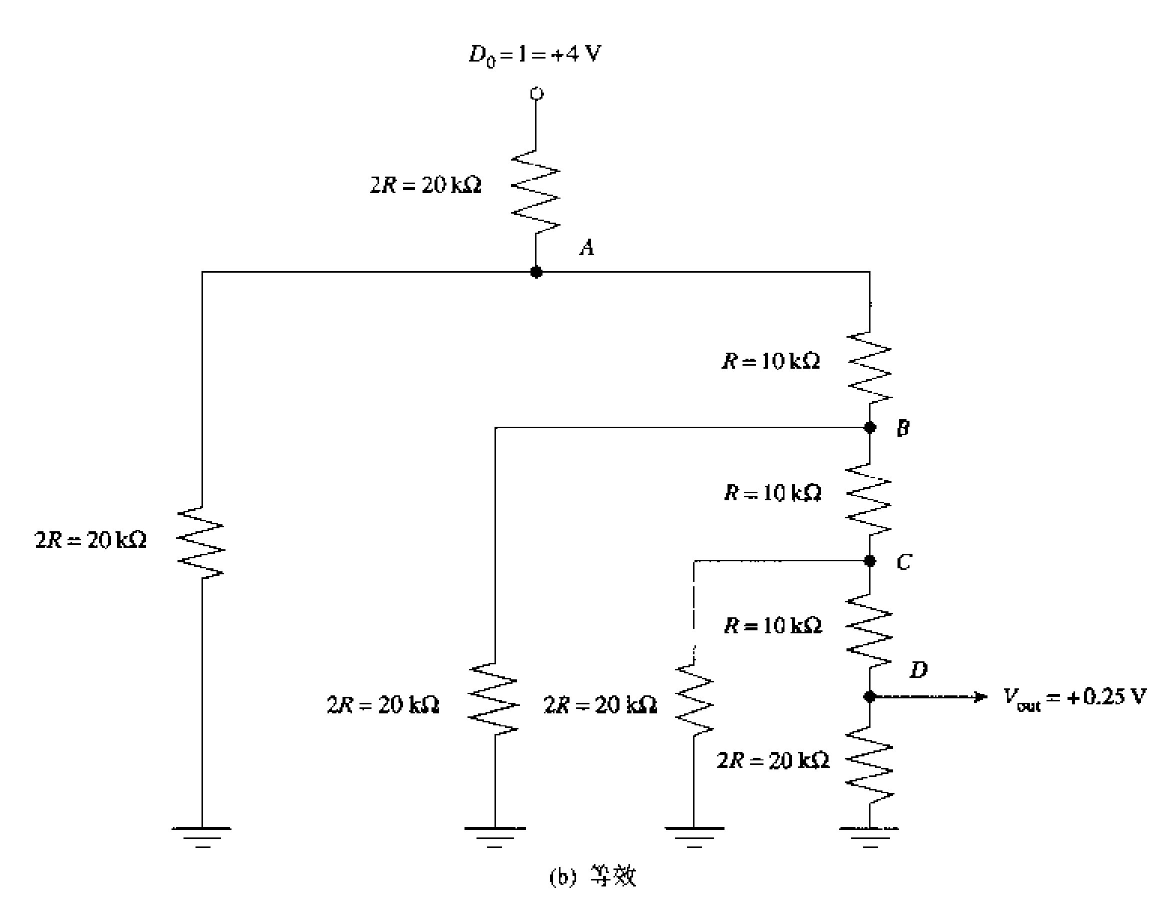
$V_{out}(1000) = V_{in} \div 2 = 1.75$ V

$V_{out}(0001) = V_{in} \div 16 = 0.219$ V

V_{out} = **1.969 V**



(a) 完整网络



(b) 等效

图 11.48　R–2R 梯形网络（输入 0001）

图 11.50(a)为从 MOD–16 加法计数器输入的 4 位数据 DAC。每增加一个计数，输出电压增加 0.25 V。DAC 输出电压的波形见图 11.50(b)。每个连续的模拟输出以 0.25 V 递增，它等于 1 LSB。

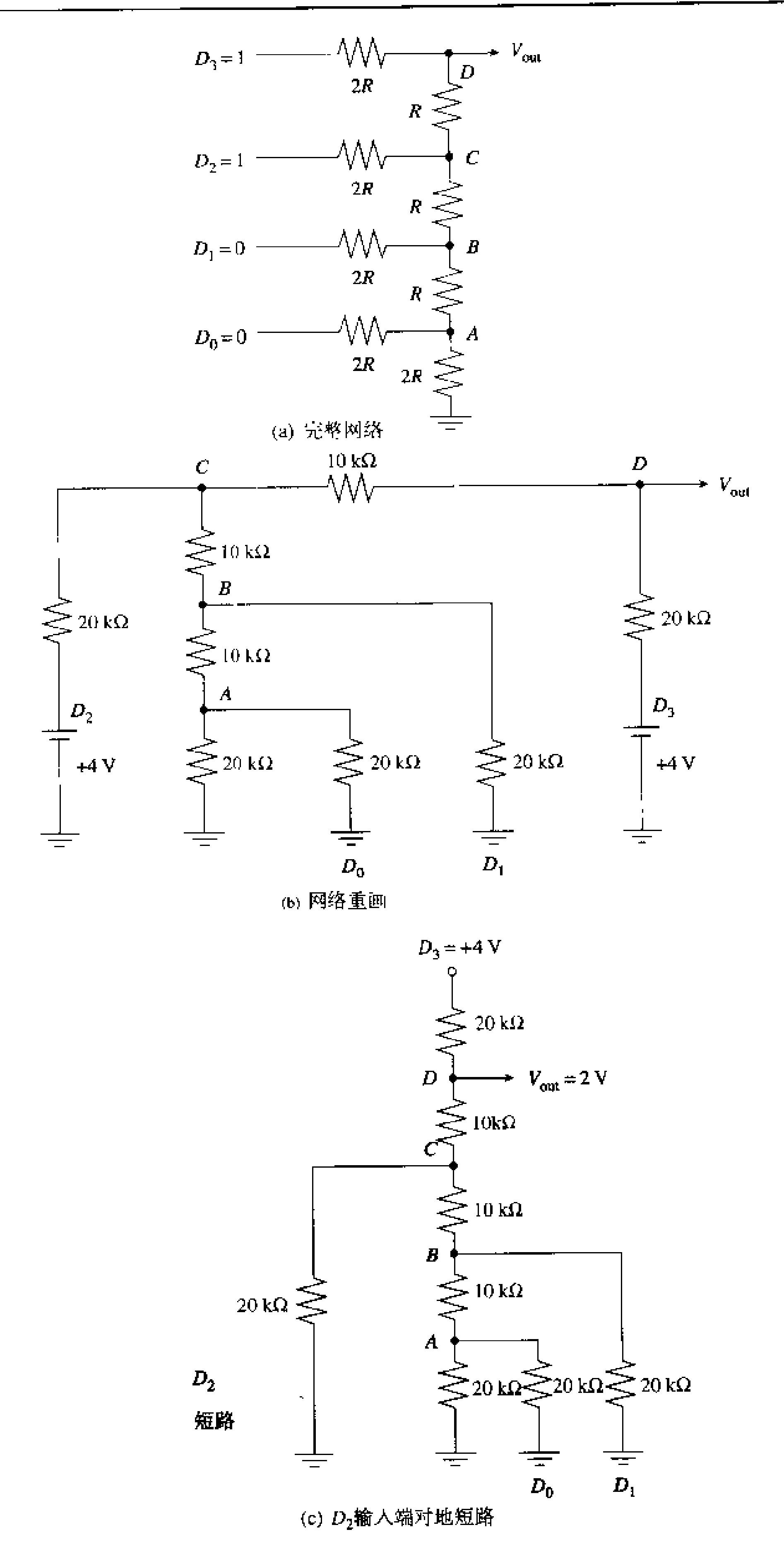
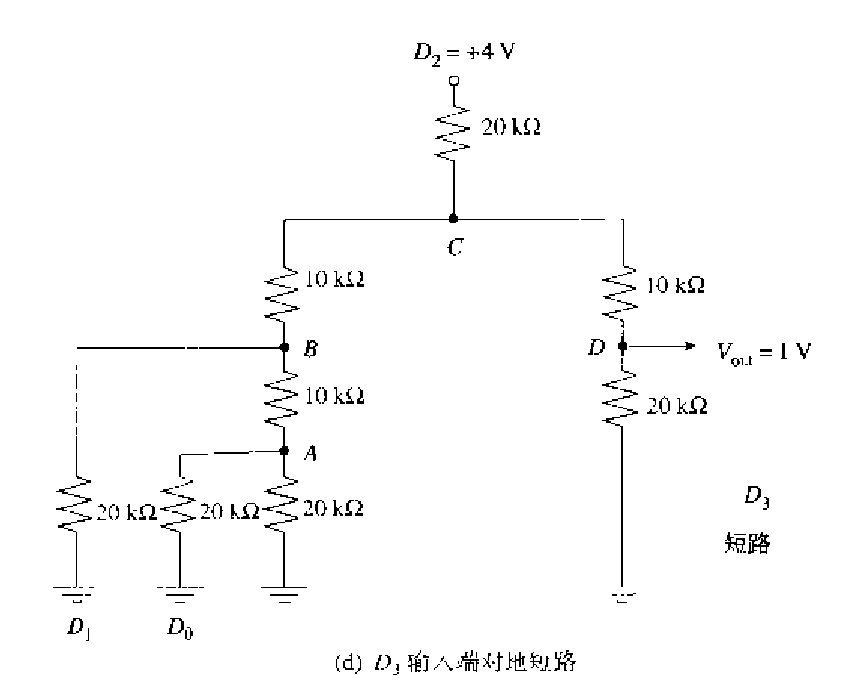
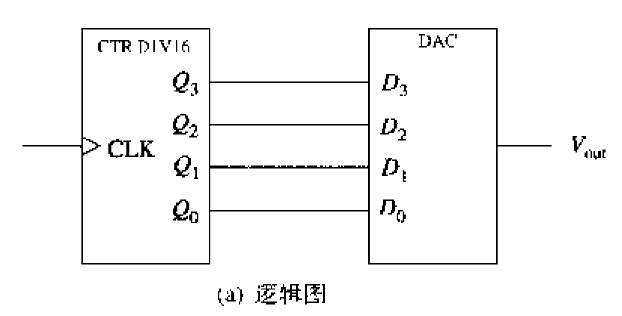


图 11.49 R-$2R$ 梯形网络（输入 1100）

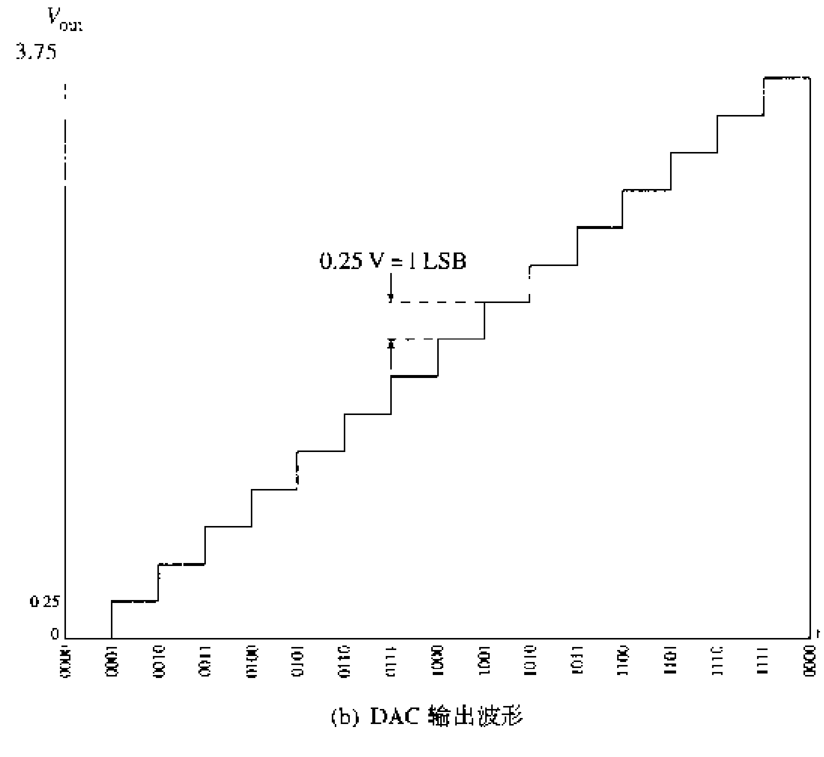


(d) D_3 输入端对地短路

图 11.49（续）　R–$2R$ 梯形网络（输入 1100）



(a) 逻辑图



(b) DAC 输出波形

图 11.50　数模转换

图 11.51 为具有 R–$2R$ 梯形网络和一个运算放大器（运放）的 DAC。这种结构中运放具有很高的输入阻抗和一倍的电压增益，该运放结构称为电压跟随器。运放的高输入阻抗可防止增加梯形网络的负载，从而完成精确转换。

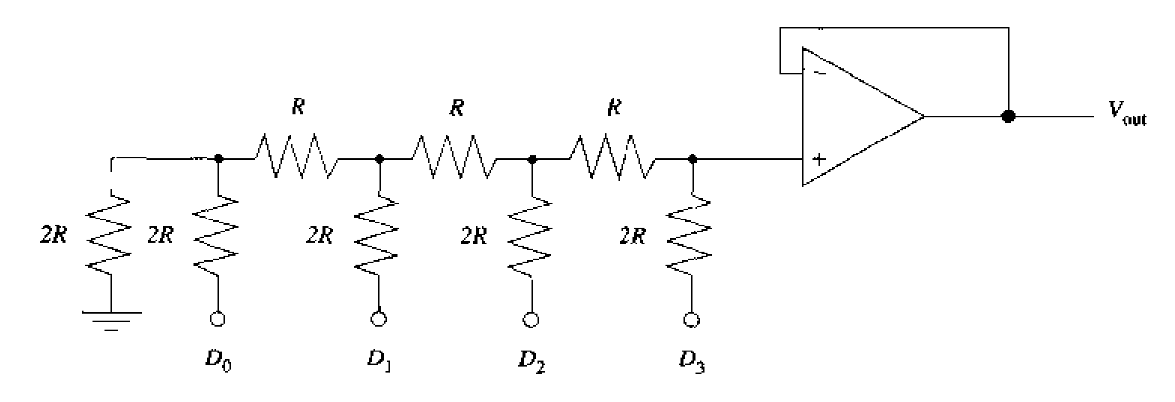


图 11.51 带有电压跟随器缓冲的 R–$2R$ 梯形网络

开关电流源 DAC

R–$2R$ 梯形网络 DAC 的操作是以求输入电压之和产生模拟输出电压为基础的。许多 DAC 集成电路采用电流开关来完成更高速、更精确的转换。输入用于控制开关，开关反过来向运放提供电流。开关实际上是由数据输入控制的晶体管。这时DAC的作用是产生与数据输入成比例的输出电流。输出电流可通过运放转换为输出电压。

图 11.52 中的电路显示了一个 R–$2R$ 梯形网络，向运放电路提供与数据输入成比例的电流。反向运放起缓冲器的作用。D_3 输入为高，因此电流 I_3 流过运放反馈电阻（R_f），电流大小由参考电压（V_{REF}）决定。这样，数据输入（D_3~D_0）电压的微小变化对转换过程没有影响。

如果 D_3 和 D_2 为高而 D_1 和 D_0 为低，则流过 R_f 的反馈电流（I_f）等于电流 I_3 与 I_2 之和，输出电压为

$V_{out} = -I_f R_f$

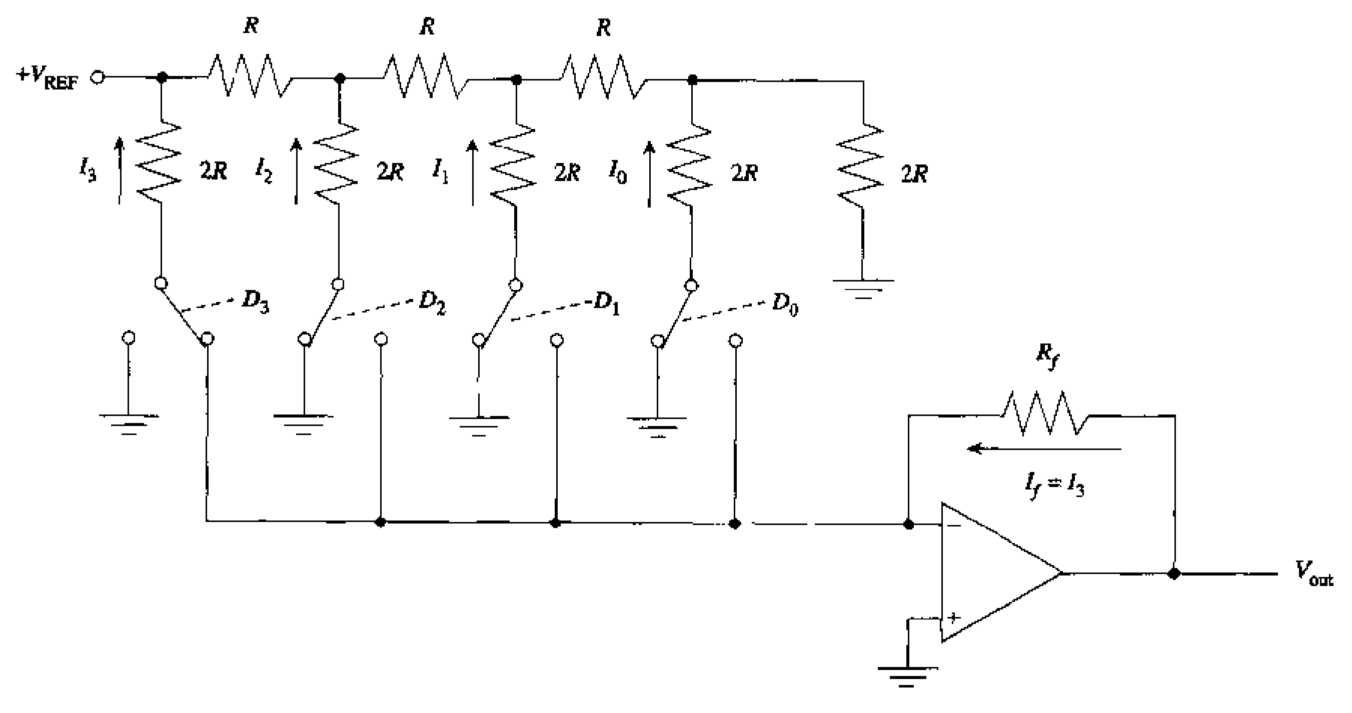


图 11.52 开关电流源 DAC

多种不同的DAC都可以商用，其操作大都基于上述原理。运放结构可以输出反相或同相电压。另外，可选择合适的运放反馈电阻值来获得电压增益。图11.53为DAC的符号。该8位DAC相当于National Semiconductor公司的DAC0808。

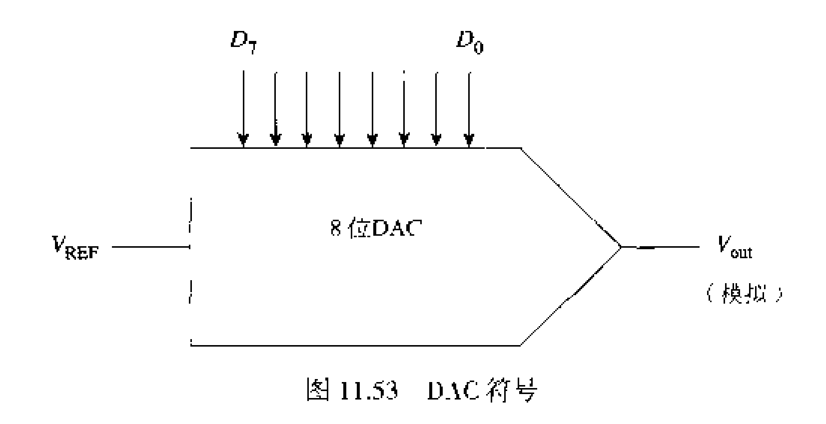


图 11.53　DAC符号

11.4.2　数据转换规则

DAC及ADC的制造商数据表提供了数据转换的规则。正确理解该规则有助于从理想实现方案到实际电路的转变。规则定义如下。

分辨率定义为由转换器编码1 LSB的变化所引起的DAC输出电压的最小模拟增加量或减小量。分辨率用位表示为2^n，这里n为DAC的输入位数。DAC0808为8位转换器，因此该转换器的输出信号可分为2^8（256）种模拟电压值。DAC的1 LSB对应于连续模拟输出的一个台阶幅度，表示DAC的分辨率。图11.50(b)中标出了1 LSB。ADC的分辨率定义为当输入以相当于1 LSB的值递增或递减时，引起ADC的输出增加或减少1 LSB的输入电压的变化。ADC的分辨率为台阶宽度的名义值。在线性数据转换中，LSB是分辨率大小的正式单位。

8位DAC可产生256种模拟输出电压。256种输出电压的每个值对应一个二进制输入组合。设模拟输出电压的范围为0 V到+8 V，所以1 LSB = 8 V ÷ 256 = 0.031 25 V。该电压代表满量程的0.39%。12位DAC因能产生4 096种模拟输出电压而显著提高了分辨率。设电压输出范围为0~8 V，则该DAC中1 LSB = 8 V ÷ 4 096 = 0.001 953 V。我们可以注意到，12位DAC每1 LSB的增量变化更小，这使得它输出的模拟信号比8位转换器更能代表理想输出。具有12位分辨率的ADC可以分辨满量程的4 096（2^{12}）分之一或0.024 4%。

微分非线性误差是1个理想的LSB在最坏情况下的偏差，此类非线性可表示为满量程的百分数或小数位。± 0.5 LSB最大微分非线性误差表明，给定数字输入V_{out}的变化范围在半个LSB引起的电压之内。例如，若一个LSB变化对应的V_{out}变化为0.02 V，则V_{out}与理想电压的差别总是在0.01 V之内。若转换器的微分非线性误差超过1 LSB，很可能导致输入增加时输出反而减小。这种现象称为非单调操作。单调操作表示输出有一个范围，该范围的符号在输入信号增加时不会改变。换句话说，输出的值将一直随输入信号的增加而按比例增加，而不是下降（摆动）。图11.50(b)中的DAC输出波形是单调的。

建立时间是指从DAC输入码变化到模拟输出达到最终值的给定容差范围内的间隔时间。通常该容差规定为“0.5 LSB”。

11.4.3 模数转换

计算机常用于建筑物环境控制 代表温度和湿度的模拟信号必须转换为计算机可用的数字信号．转换由称为模数转换器（ADC）的集成电路完成。下面将介绍最常用的模数转换方法。

逐次逼近式 ADC

逐次逼近式ADC非常普及，从大量的不同类型的商业用途可以看出这一点．逐次逼近式ADC由运放比较器、逐次逼近寄存器（SAR）和图11.54所示的DAC组成。SAR只是用来存储逻辑0和1的一组触发器。

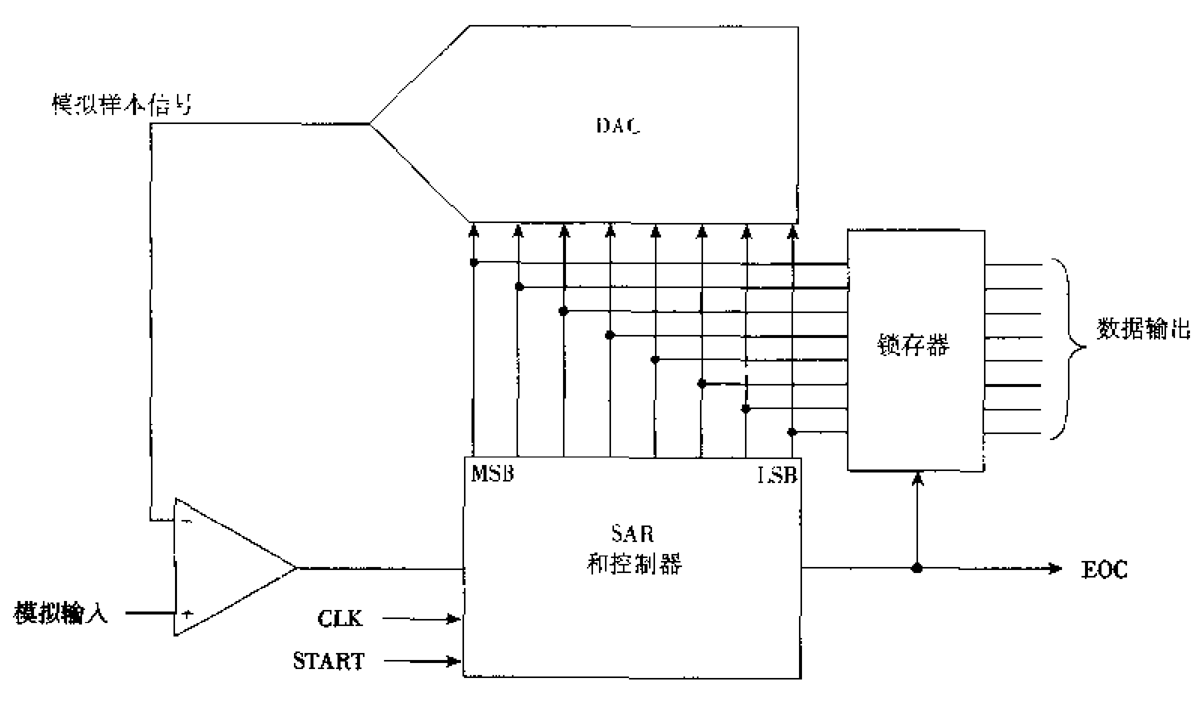


图 11.54 逐次逼近式 ADC

当输入开始转换信号时，SAR以MSB位为高，其余位为低（100…0）开始，逐次逼近循环。SAR的数字输出代表中间值，由DAC转换为模拟量。DAC的模拟样本输出信号与运放中的模拟输入信号相比较。若DAC样本信号大于模拟输入信号，则运放输出为低，MSB位置为低，第二MSB位置为高。若DAC样本信号小于模拟输入信号，则运放输出为高，MSB保持高，第二MSB位也置高。一旦SAR触发器已经根据运放输出置位或复位，就将重复采样及调整过程，必要时该过程将持续到LSB位。逐次逼近循环完成后，SAR中的内容就代表对应于模拟输入的数字量。循环结束后，产生一转换结束（EOC）信号，用来锁存数据。EOC信号也用于通知其他数字器件ADC中当前数据有效。

图11.55为国家半导体公司的8位转换器ADC0800的方框图。该逐次逼近式转换器采用P沟道MOS技术，包括256组电阻（每个300 Ω）和256个模拟开关。未知模拟电压通过模拟开关与电阻节点电压进行比较。当节点电压与模拟输入电压相等时，转换循环完成。这时在输出端锁存了一个8位补码二进制字。

ADC0800的正常操作需要在电阻网络上跨接一个10 V的参考电压（V_{REF}）。在转换循环开始时，模拟输入电压与电阻网络中心点进行比较。如果模拟输入电压大于5 V（0.5 V_{REF}），内部逻辑将改变开关点，下次把模拟输入与7.5 V（0.75 V_{REF}）比较。该过程一直持续到电压比较相等。当输出使能端OE = 1时，锁存的数据能够输出。OE = 0时，ADC输出处于高阻状态。

每个ADC0800转换循环需要40个时钟周期。在此期间，EOC信号保持低（ADC忙）。循环结束，EOC变高。下一个开始转换脉冲到来之前，必须有4个附加时钟周期。把EOC输出与开始转换输入相连，可以把转换器设定为自动运行。在该结构中，仅当电路初始化（上电）期间才需要外加开始转换脉冲

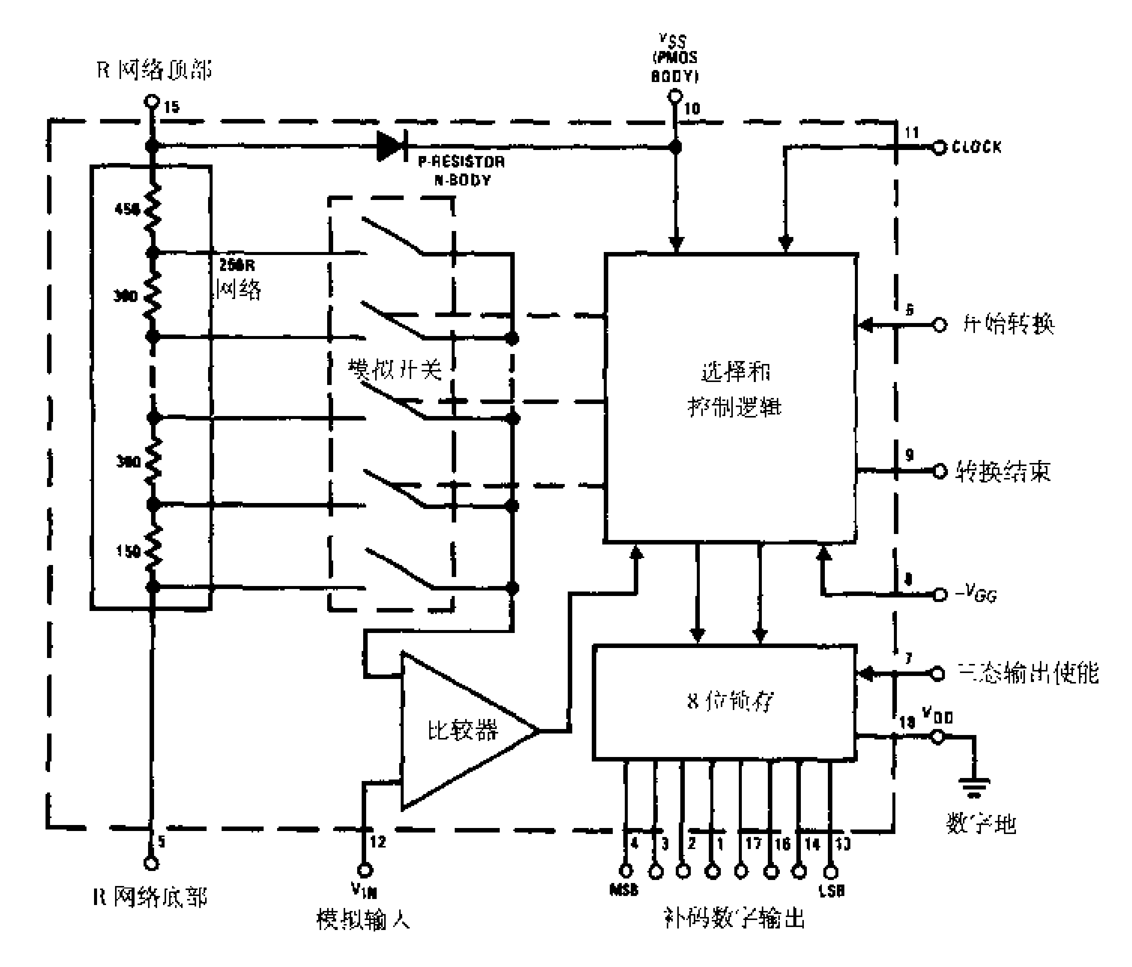


图11.55　8位转换器ADC0800方框图

闪速（同步）ADC

如图11.56所示，闪速转换器采用运放比较器。闪速转换器的主要优点是高速操作。参考电压从一系列电压分压端连接到每个运放的反相输入端，模拟信号从每个运放的同相输入端输入。当模拟输入信号小于参考电压时，比较器输出逻辑0，而模拟输入信号大于参考电压时，比较器输出逻辑1。

运放比较器的输出连接到一个优先编码器。关于第10章学到的优先编码器，我们应牢记两个要点：(1) 编码器检测有效输入线（本例中为高）并将其转换为二进制数或编码输出；(2) 当多个输入同时有效时，优先编码器只响应优先级最高的有效输入。设图11.56中优先编码器的#1、#2和#3输入为高，而其余输入为低，则编码器输出011（D_2~D_0）。

闪速ADC操作的简要分析说明了电路的简单性。本例中电压分压器连接在地和+10 V（V_{REF}）之间。电阻节点电压分别为$V_7 = 8.75$ V，$V_6 = 7.5$ V，$V_5 = 6.25$ V，$V_4 = 5$ V，$V_3 = 3.75$ V，$V_2 = 2.5$ V，$V_1 = 1.25$ V。

模拟输入（V_{in}）为4.25 V时，连续分析可知V_{in}比V_7，V_6，V_5和V_4小，而比V_3，V_2和V_1大。因为V_{in}小于V_{REF}，所以从运放的#7~#4比较器输出为低，从运放的#3~#1输出为高。因为#3输入

为优先级最高的有效输入，所以优先编码器输出011。若模拟信号增加到5.25 V，则优先编码器输出100（D_2~D_0），因为 $V_{in}>4$，#4编码器输入当前有效。

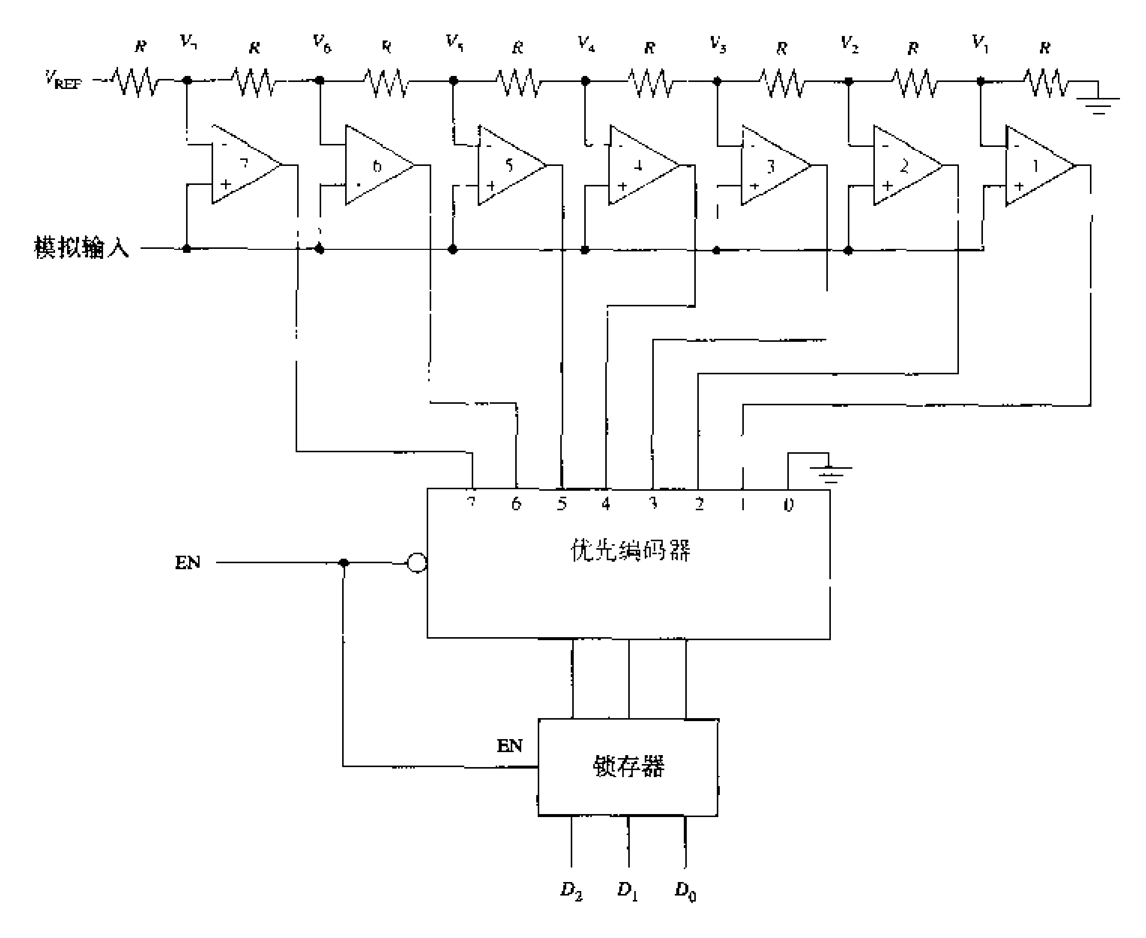


图11.56 闪速（同步）ADC

从以上分析可以明显看出，数字输出是模拟输入的大致近似。若进行更多的比较，电路会产生更好的近似值，但是进行更多的比较则需要更多的运放。闪速ADC需要2^n-1个运放比较器来完成n为二进制数的比较。

大多数计算机使用8位或更多位的数据总线。因此，闪速ADC需要255（2^n-1）个比较器来完成模拟信号的8位编码。这样做将显著提高分辨率，但缺点也很明显，比较器数目的增加既增加了成本又加大了功耗。

半闪速转换器（semiflash converter）的使用克服了闪速ADC需要大量比较器的缺点。某些制造商把这种转换器称为half-flash converter。修正后的闪速ADC使用高4位和低4位采样比较器来完成8位编码。

转换精度

图11.57为DAC精度与线性转移函数的比较。8位DAC的转换精度不会超过±1/2 LSB或±2^{8+1}分之一。它为满量程的0.195%。该百分数是8位DAC在不出错时能够达到的最好精度。该精度实际为99.805%，但我们习惯于把精度规定为0.195%，这其实是不精确度。

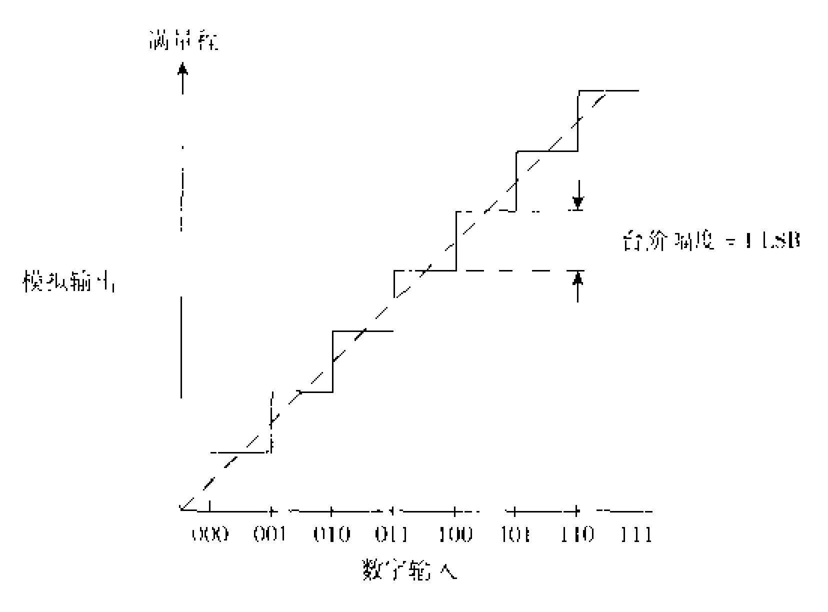


图 11.57　DAC 理想线性转移函数

ADC 的精度描述了模拟输入电压与二进制输出等效值之间的差异。例如，若 8 位 ADC 的精度为 ± 1 LSB，则输出精度在 0.39% 之内。图 11.58 为 ADC 的理想线性转移函数。

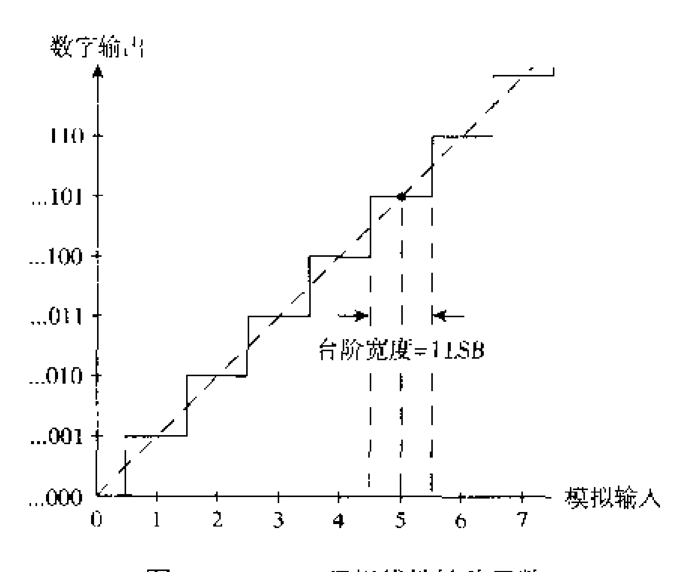


图 11.58　ADC 理想线性转移函数

量化定义为用量子物理规则把数量值限定为一系列离散值。自然，ADC 必须把模拟输入量化为输出编码（位）的有限数值，这将使所有的 ADC 产生量化误差。

在 DAC 和 ADC 中会碰到大量的其他误差。其中一些已在本章讨论过。

奈奎斯特采样定理表明，为了重现一个周期性信号，采样频率至少应该是被采样信号中最高频率的 2 倍：

$$f_s \geqslant 2f_{in}$$

这里的 f_S 为采样频率，f_{in} 为被采样的最高频率。

实际上，采样频率可能为最高输入频率的许多倍。根据经验，采样速率可为被采样信号中最高频率的 2.2 倍。如果采样频率达不到被采样信号（f_S）最高频率的 2 倍，在低频部分会产生失真，这

种失真称为混叠，是由于采样频率和被采样频率之间的差异小于f_{in}而引起的。混叠频率会产生失真和错误的ADC输出。

在ADC输入端连接抗混叠滤波器可以消除混叠（aliasing）的影响。因为混叠误差一旦产生就不能纠正，所以该滤波器非常重要。例如，在数据采集系统中，混叠误差既不能识别也不能从数据流中去掉。抗混叠滤波器的频率响应可选为采样频率的一半。滤波器的输出在$f_s/2$至少应下降40 dB，这将防止差额频率低于f_{in}，并防止混叠。

近几年，数字和计算机技术的快速进步导致了转换技术的提高。高集成度的MOS技术使得集成电路制造商能够把控制电路和ADC集成在单个芯片上。由有效数据数据表可知，许多转换器专门设计成无需接口逻辑即可与计算机兼容。

图11.59中的方框图画出了一个完整的数据采样系统。图中大多数电路在本节都已经进行了介绍。观察方框图可以引入两个观点并总结已讲过的数据转换过程。

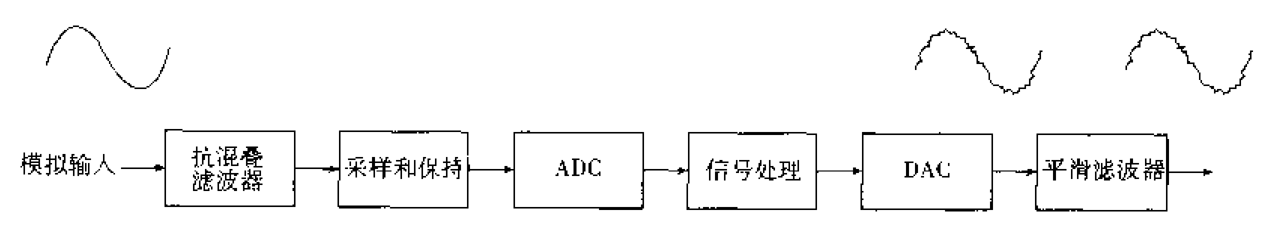


图11.59 数据采样系统方框图

我们已经看出，必须使用低通抗混叠输入滤波器，以确保能在ADC的输出端正确重现模拟信号。输入滤波器可以是有源的或无源的。

并非所有的ADC电路都需要采样和保持（S/H）电路，一般应用于ADC转换速度不足以允许保持操作的高速操作情况下。为确保高速操作时的转换精度，S/H电路降低了随机误差。通过在比ADC转换时间间隔更短的时间内测量模拟输入，并在下一个采样周期开始之前存储该样本，即可实现这一点。ADC把模拟输入信号量化并编码为一系列离散的数字输出电平。信号处理，顾名思义，允许控制和调节数字信号。有时，本过程只是为下一次再转换存储数据。

DAC把数字信号数据还原为模拟信号。每个模拟输出电平都是其二进制等效值的直接函数。每个采样电平都保持不变，直到下一个采样电平到来。本采样系统中将平滑滤波器用于输出电路，以平滑模拟输出。

11.4 节复习题

A. 如图11.44所示，设$D_3 = 0$ V，$D_2 = +4$ V，$D_1 = 0$ V及$D_0 = 0$ V。求梯形网络的V_{out}。

B. 如图11.44所示，设$D_3 = +4$ V，$D_2 = +4$ V，$D_1 = 0$ V及$D_0 = 0$ V。求梯形网络的V_{out}。

C. 10位DAC可产生多少个模拟输出电压值？

D. 设输出电压值范围为0~5 V，求10位DAC中1 LSB的模拟台阶幅度。

E. 求上题中1 LSB为满量程的百分之几？

F. 定义单调性。

G. 说明闪速转换器的主要优缺点。

H. 说明奈奎斯特采样定理。

I. 由于ADC采样速率过低引起的低频失真，称为________。

J. 说明图11.59中各方框的功能。

阶段性小结（11.3 节 ~ 11.4 节）

总线争用为两个或多个器件同时向数据总线输出数据所致，结果导致产生无效数据。让所有连接到数据总线的器件都具有三态输出能力，即可防止此类问题。连接到器件的三态输出电路必须由特定的地址选通，这样在任一时刻只能有一个器件在总线上进行通信，其余的电路输出因被置为高阻状态而在电气上与数据总线隔离。

多种具有三态输出的门、缓冲器、寄存器、存储器件和收发器都已经商用化。具有三态输出的收发器多用于计算机，以便在功能上协助总线控制。

数据转换在许多电气应用中都会用到。如果用计算机控制交流电动机的速度，计算机发出的数字速度信号必须转换为驱动电机的模拟信号。通常，模拟反馈再转换回数字格式，以更新计算机信息。

数据转换由数模转换器（DAC）和模数转换器（ADC）实现。DAC 产生与二进制输入成比例的模拟输出电压。ADC 产生代表模拟输入信号的数字输出码（数）。

阶段性练习（11.3 节 ~ 11.4 节）

参照制造商数据表回答下列各题。

1. 当有以下输入时，图 11.60 中的电路输出 1*Y*~4*Y* 为多少？

	1Y	2Y	3Y	4Y
a.	1	Hi-Z	1	Hi-Z
b.	1	1	0	0
c.	0	0	1	1
d.	Hi-Z	1	Hi-Z	0

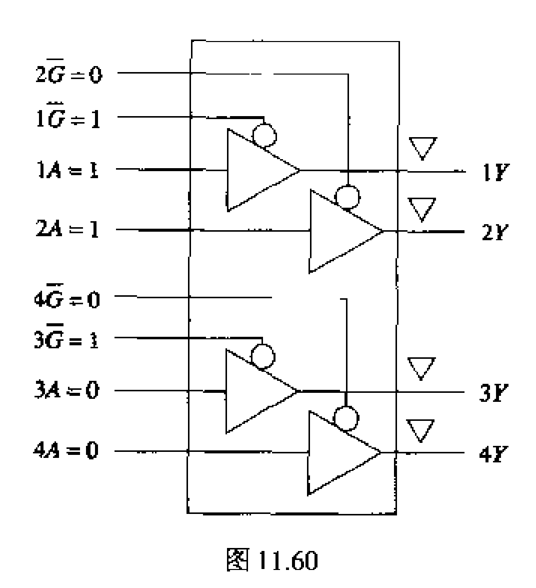


图 11.60

2. 当有以下输入时，图 11.61 中的电路输出 1*Y*~4*Y* 为多少？

	1Y	2Y	3Y	4Y
a.	1	Hi-Z	0	Hi-Z
b.	1	1	0	0
c.	0	0	1	1
d.	Hi-Z	1	Hi-Z	0

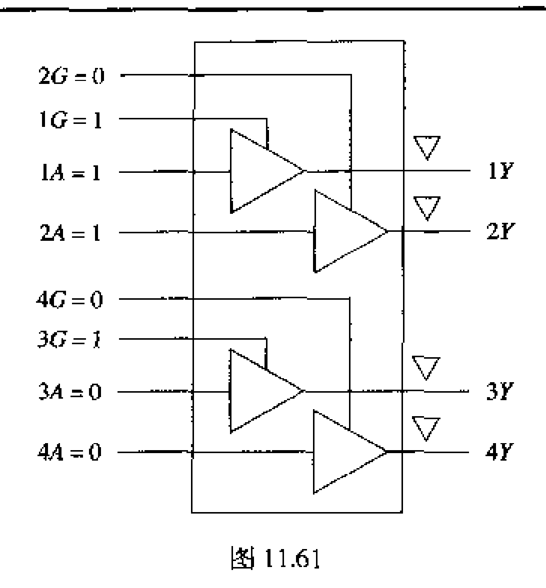


图 11.61

3. $\overline{G}=0$ 且 DIR = 1 时，图 11.62 中的 74LS245 能实现什么功能？

a. 高阻　　c. 数据 B 到总线 A

b. 连通（$A=B$）　　d. 数据 A 到总线 B

4. $\overline{G}=1$ 且 DIR = 1 时，图 11.62 中的 74LS245 能实现什么功能？

a. 高阻　　c. 数据 B 到总线 A

b. 连通（$A=B$）　　d. 数据 A 到总线 B

5. 图 11.62 中倒三角表示总线收发器具有三态输出。

a. 对

b. 错

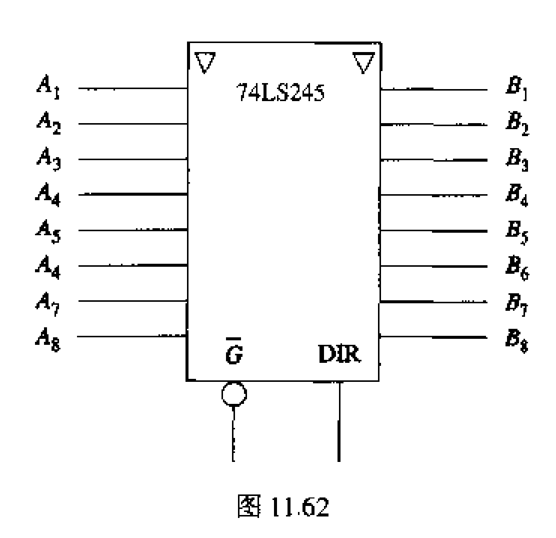


图 11.62

6. 当 CLEAR = 1，$\overline{G}_1=0$，$\overline{G}_2=0$，$\overline{M}=0$，$N=0$，Data = 1 且 CLK = PGT 时，图 11.63 中的 74173 寄存器能完成什么功能？

a. 高阻　　c. 清零

b. 保持　　d. Q 输出 = Data

7. 当 CLEAR = 0，$\overline{G}_1=1$，$\overline{G}_2=1$，$\overline{M}=0$，$\overline{N}=0$，Data = 1 且 CLK = PGT 时，图 11.63 中的 74173 寄存器能完成什么功能？

a. 高阻　　c. 清零

b. 保持　　d. Q 输出 = Data

8. 当 CLEAR = 0，$G_1 = 0$、$G_2 = 0$、$\bar{M} = 1$、$\bar{N} = 0$，Data = 1 且 CLK = PGT 时，图 11.63 中的 74173 寄存器能完成什么功能？

a. 高阻　　c. 清零

b. 保持　　d. Q 输出 = Data

9. 当 CLEAR = 0，$G_1 = 0$，$G_2 = 0$、$\bar{M} = 0$，$\bar{N} = 0$，Data = 1 且 CLK = PGT 时，图 11.63 中的 74173 寄存器能完成什么功能？

a. 高阻　　c. 清零

b. 保持　　d. Q 输出 = Data

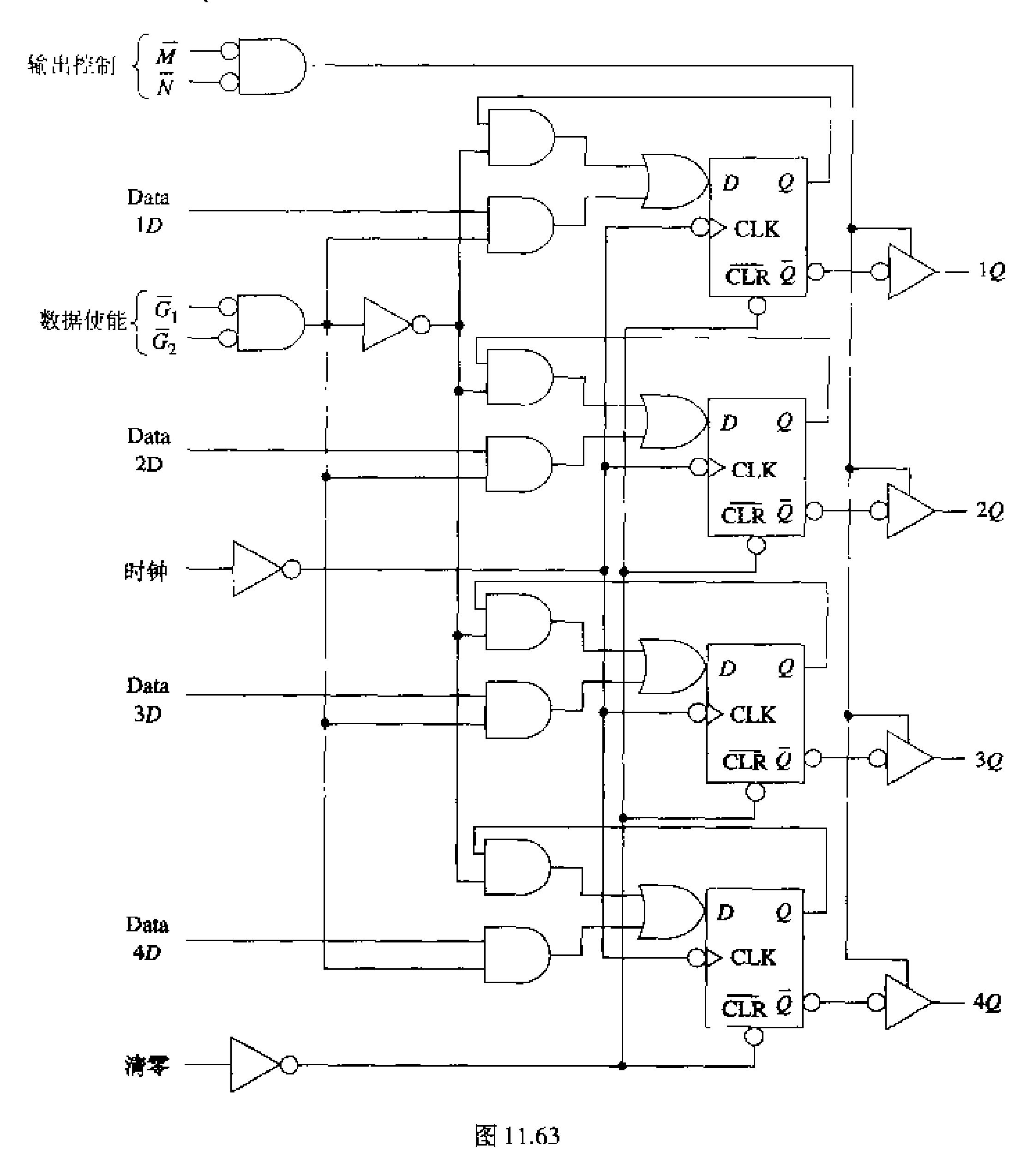


图 11.63

10. 当输入为 1000（D_3~D_0）时，图 11.64 中的 R–$2R$ 梯形网络的输出为 $V_{in} \div 2$。

a. 对

b. 错

11. 当输入为 0001（D_3~D_0）时，图 11.64 中的 R–$2R$ 梯形网络的输出为 $V_{in} \div 2$。

a. 对

b. 错

12. 如图 11.64 所示，在 R–$2R$ 梯形网络中，连接运放电压跟随器可防止对梯形网络加载。

a. 对

b. 错

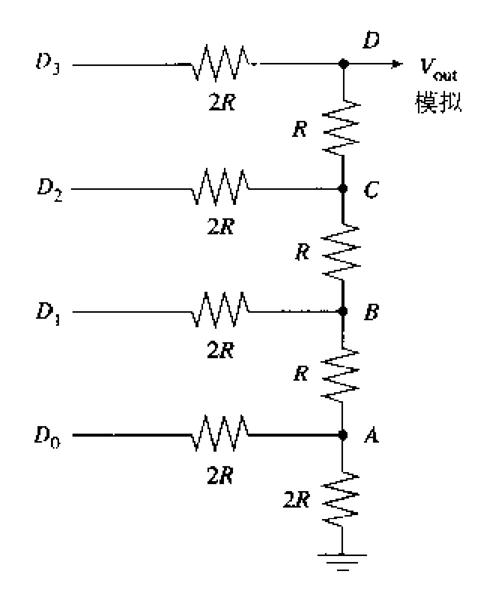


图 11.64

13. 图 11.65 中的电路为__________。

a. 闪速 ADC

b. 开关电流源 DAC

c. 逐次逼近式 ADC

d. 逐次逼近式 DAC

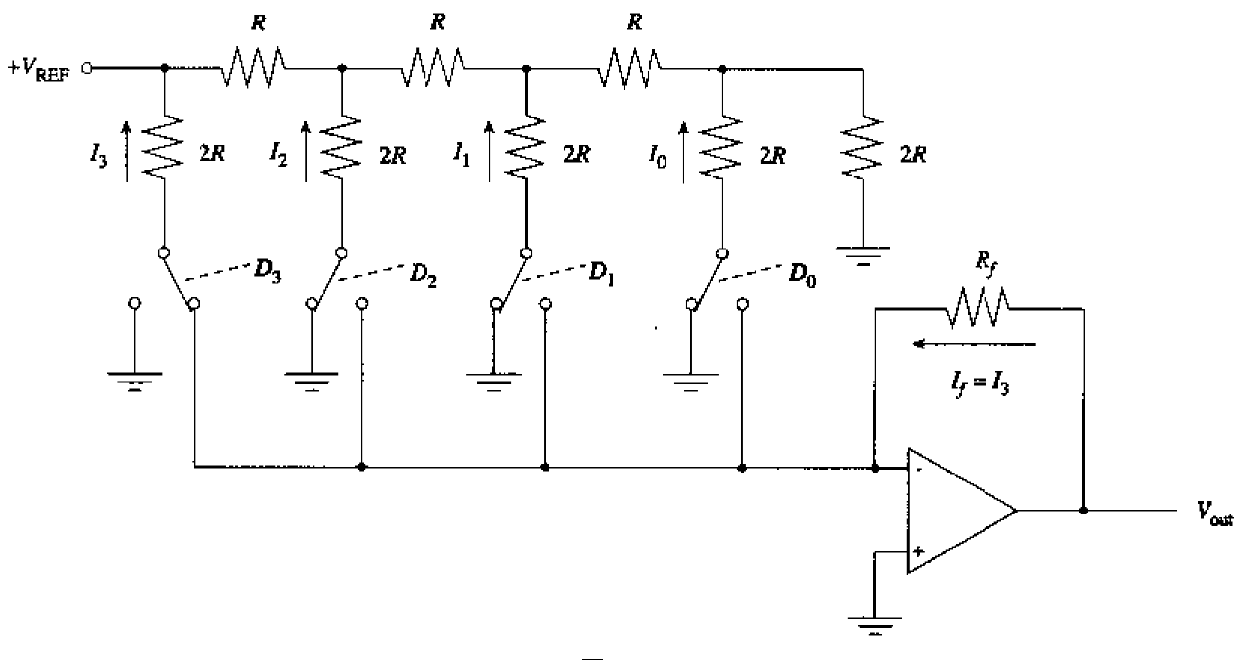


图 11.65

14. 图 11.66 中的电路为__________。

a. 闪速 ADC

b. 开关电流源 DAC
c. 逐次逼近式 ADC
d. 逐次逼近式 DAC

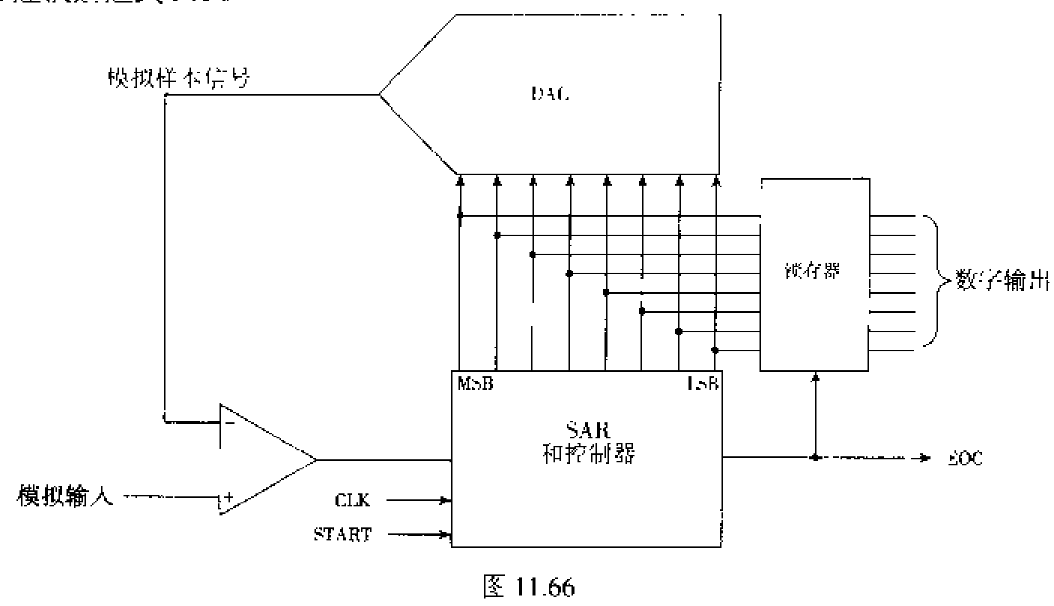


图 11.66

15. 图 11.67 中的电路为________。

a. 闪速 ADC
b. 开关电流源 DAC
c. 逐次逼近式 ADC
d. 逐次逼近式 DAC

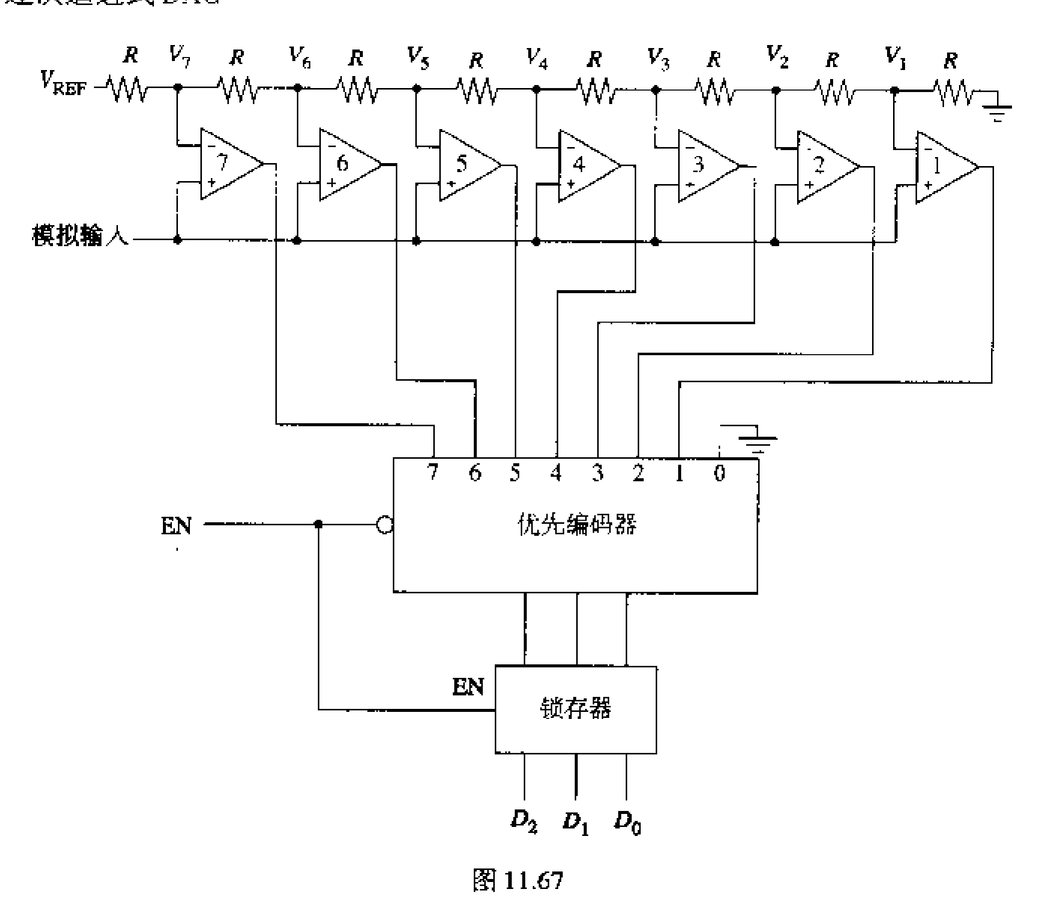


图 11.67

11.5 应用与故障诊断

要点

1. 给定一个包含总线收发器、DAC或ADC在内的计算机电路，在给定电路输入的情况下确定其输出。
2. 给定一个包含总线收发器、DAC或ADC在内的电路的故障，确定其最可能的症状。

诊断混合技术（TTL和MOS）逻辑电路的兼容性故障是一项典型的操作：给定驱动门合适的输入电平，然后检查负载门的 V_{OH} 和 V_{OL}，以确定它们是否满足制造规格。如果电平超出容限，就要检查扇出和兼容性的每项指标，不过这种情况很少发生，除非是最新的工程系统。如果兼容性和负载没有错误而问题依然存在，那很可能是设备故障，需要更换。

计算机的双向数据总线和并行结构要求有总线收发器来帮助控制数据总线。图11.68中的方框图说明了11.3节中讲过的74LS245总线收发器的用法：

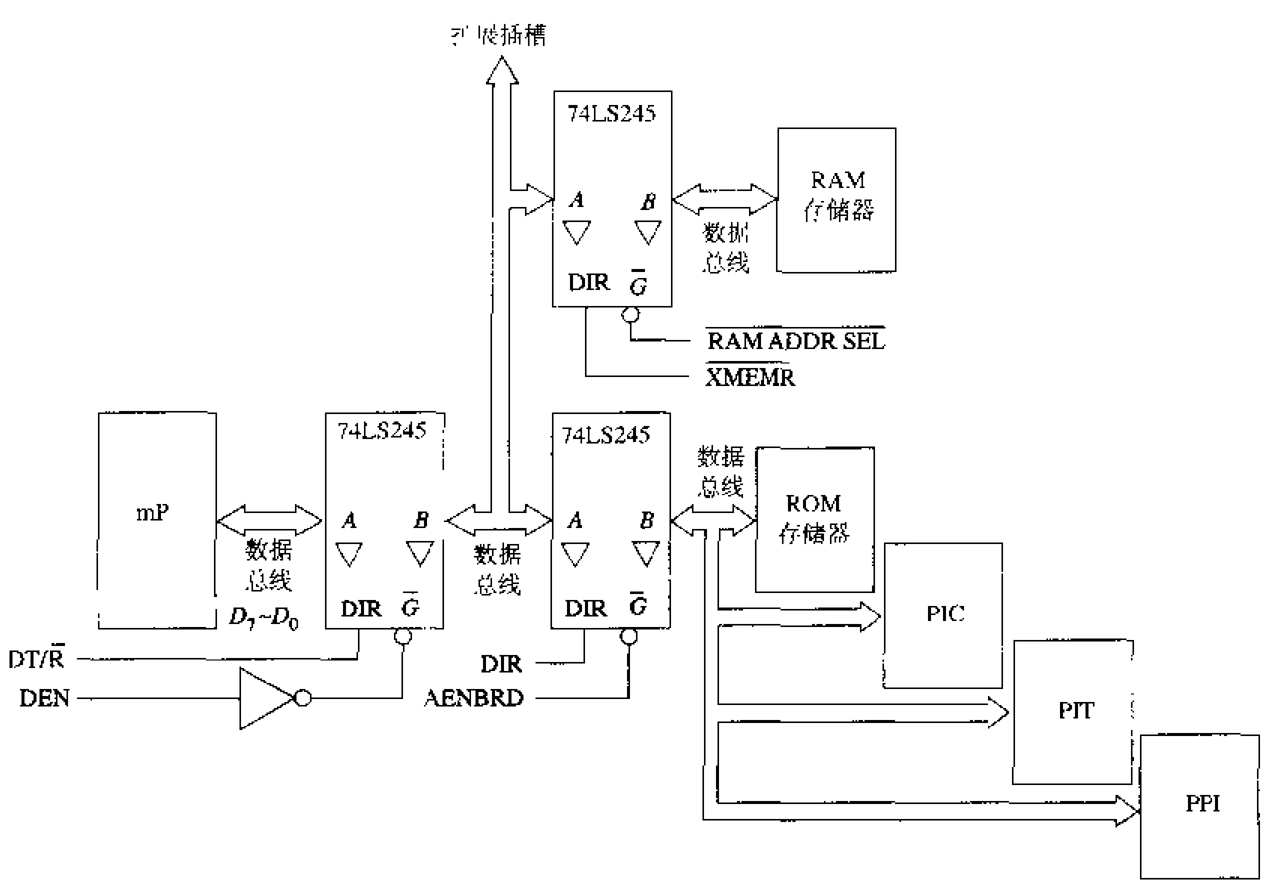


图 11.68 计算机中8总线收发器部分的方框图

74LS245收发器的 $\overline{G}$ 输入端为器件使能端。当 $\overline{G}$ 端为高时，集成电路的输出端处于高阻状态。当 $\overline{G}$ 端有效时（$\overline{G}=0$），方向（DIR）输入控制着通过收发器的数据的传送方向。

计算机的微处理器通过系统主板上的扩展插槽与存储器（RAM和ROM）连接，还与如图11.68所示的称为智能芯片的一些外围设备连接。这些外围设备包括可编程中断控制器（PIC）、可编程间隔定时器（PIT）和可编程外围接口（PPI）集成电路。这些集成电路支持微处理器的运行。

当系统总线控制器发出的数据使能DEN信号有效时，连在微处理器上的总线收发器（74LS245）将处于工作状态。高信号DEN表示数据总线上发生了数据传送。如果信号无效，收发器输出端将处于高阻状态，从而使系统数据总线与微处理器断开。总线控制器上的数据发/收（DT/$\overline{\text{R}}$）信号控

制着收发器上的数据传送方向。微处理器的写操作使该信号变高，读操作使其变低。该信号为高时，数据从 A 传向 B，该信号为低时，数据从 B 传向 A。

RAM 地址选择信号（RAM ADDR SEL）变低，则使RAM（存储器）数据总线收发器有效。只有当地址总线上出现有效的 RAM 页地址时，该信号才有效。数据传送方向由扩展存储器读（XMEMR）信号控制。读操作期间，XMEMR 信号有效，使数据从 B 传向 A（RAM 存储器到微处理器），而在写操作期间，数据通过收发器由 A 传向 B（微处理器到 RAM 存储器）。

低地址有效主板（AENBRD）信号使与ROM连接的总线收发器有效。只有在直接存储器存取（DMA）操作过程中，该信号才会变高，从而使收发器无效。AENBRD 信号也用来使总线控制器的 DEN 信号无效。这样，微处理器的总线收发器也将无效。这两个收发器的失效使它们处于高阻状态，这就允许 DMA 控制器完全接管系统总线的控制权。在 ROM 读（$\overline{IOR}$）操作期间或者当地址位 A_8 和 A_9 为 0 时的输入输出读操作期间，ROM 收发器的 DIR 输入端被置低（B 到 A）。5.5 节曾讨论了电路控制由 B 到 A 的数据传送。

类似图 11.68的故障诊断电路是基于前一章讨论的故障诊断技术的。通过逻辑探针可以检查和校验数据总线上的数据。PC 操作期间，黄灯的闪烁表明数据总线正在使用。虽然这只是一个快速检查，但是当总线正被使用时，它将校验到总线的活动。要记住，74LS245 是TTL 集成电路，因此输入开路其实就是高输入。$\overline{G}$输入端开路将使芯片处于高阻状态。DIR 输入端开路将使数据传送方向永远为从 A 到 B。如果微处理器总线收发器的 DIR 输入端开路，微处理器将不能读取存储器，这将使系统不能自启动（初始化）。

11.4 节曾经提到专门为提高计算机性能设计的转换器已经商用化。National Semiconductor公司的 DAC0830就是一个例子，它是8位微处理器兼容的双缓冲器DAC。该集成电路使用了 R–$2R$ 梯形网络来分配参考电流，利用了CMOS电流开关和控制逻辑，但和TTL兼容。当需要高分辨率时，可以使用 National Semiconductor 公司的 10 位型（DAC1000 系列）和 12 位型（DAC1208–1230）。

图 11.69 为 DAC0830 的功能图。在集成电路输入端有两个 8 位的锁存器，这就是"双缓冲"。双锁存器配置使得微处理器能够把数据装入输入锁存器，存储数据，然后在需要转换时把数据转发给 DAC 锁存器。这就允许按要求快速更新 DAC 输出。另外，同一个选通信号可使多个 DAC 同时更新。

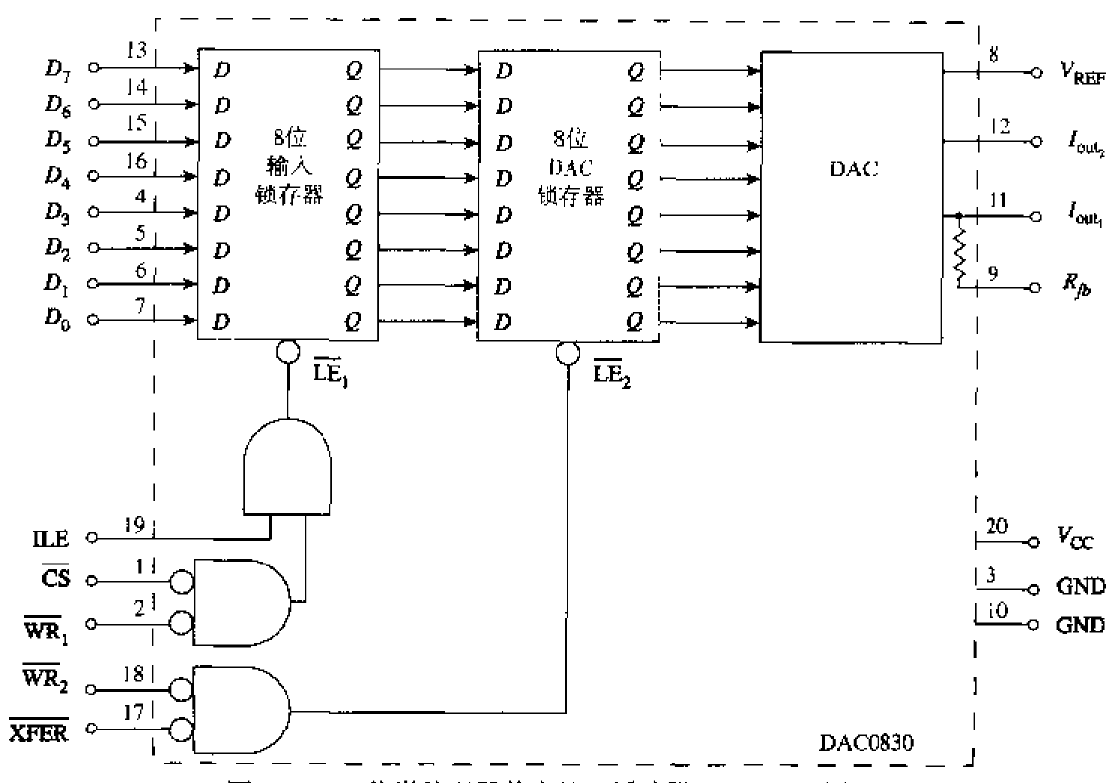


图 11.69　8 位微处理器兼容的双缓冲器 DAC0830 功能图

图11.69说明，锁存操作时必须译码产生两个独立的地址。输入锁存器由输入锁存使能（ILE）、片选（$\overline{CS}$）和写信号1（$\overline{WR_1}$）信号控制。只有当$\overline{CS}=\overline{WR_1}=0$且ILE = 1时，这个用于装入数据的锁存器才有效。该输入组合把锁存器内部锁存使能1（LE_1）输入端置高，这使得Q端可以跟随D端，从而把数据装入锁存器。当$LE_1=0$时，装入的数据被锁存。ILE输入扩展了DAC的地址方案，在不需要时应置为高。当ILE = 0时，输入锁存器的数据被存储，但新数据不能装入DAC。当转换信号（$\overline{XFER}$）= 写信号2（$\overline{WR_2}$）= 0时，输入锁存器的数据装入DAC锁存器。这种输入组合把LE_2置为高，从而允许Q跟随D。当$LE_2=0$时，DAC锁存器中的数据被存储。

图11.70为两个DAC与微处理器控制系统的接口。根据需要可用此方式并行连接多个DAC。如果电路中加入更多的DAC，需译码产生更多的片选地址线。

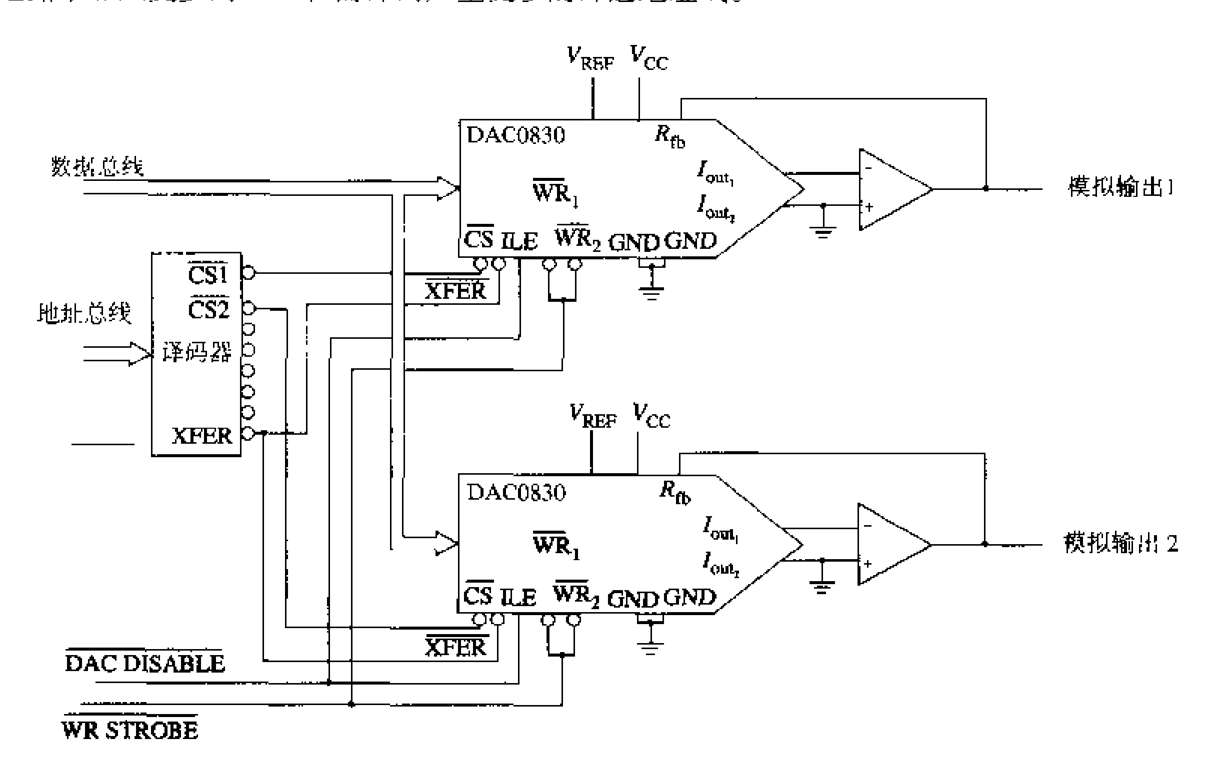


图11.70 微处理器控制多DAC

两个DAC的片选输入端由独立的地址线控制。如图11.70所示，DAC的转换信号（$\overline{XFER}$）输入端连接在一起，由同一根地址线控制，以便同时更新两个DAC。模拟输出等于$-I_{out_1}\times R_{fb}$且与V_{REF}反相。

DAC0830中所有不用的输入端必须接地或V_{CC}。悬空的输入被视为高，但输入端开路时可能会发生静电危害。

DAC0830是为微处理器的接口兼容性而设计的，但是它可以连接为允许内部锁存器把数字输入连续转换为模拟输出，这种设置通常称为直通方式。把$\overline{CS}$，$\overline{WR}_1$，$\overline{WR}_2$和$\overline{XFER}$接地，把ILE接+5 V即可进入直通方式。

要诊断图11.70所示电路的故障，首先要把故障与其中一个或全部两个DAC隔离。如果两个DAC都没有模拟输出，问题肯定出在同时影响两个DAC的地方。操作过程如下：

1. 检查所有集成电路的V_{CC}和地。
2. 检查DAC参考电压（V_{REF}），确保其在规定范围之内。
3. 确保电路工作期间译码器脉冲提供给DAC的$\overline{CS}$输入信号为低。

4. 确保电路工作期间译码器脉冲提供给DAC的XFER输入信号为低
5. 确保WR Strobe输入选通信号为低，以便锁存器能够装入数据。
6. 确保DAC Disable（ILE）为高，以便锁存器能够装入数据。
7. 确保数据总线上的数据有效。

如果只是一个DAC通道有问题，则应该如上所述检查该DAC的输入并检查运放。

本章小结

本章第1节总体介绍了TTL和CMOS技术，讨论了接口问题及其解决方法。电流供出、电流灌入和电压兼容性是设计逻辑电路时必须考虑的重要参数。虽然数模和模数转换被单独列为一节，但它们实际上是使数字和模拟信号兼容的接口电路。

通过讨论器件的需求及其实现，本章讲述了特殊功能的集电极开路输出和三态输出电路。数字系统通过DAC和ADC转换电路与现实世界通信。数字数据量由DAC转换为模拟量，ADC完成相反的过程。

转换的质量取决于器件的分辨率。模数转换可用多种不同方法完成，其中的两种，逐次逼近式和闪速式，在本章进行了详细介绍。

本章定义的转换术语对于从整体上理解数据转换非常重要，应该牢记。

习题

参照制造商数据表回答下列问题。

11.1节

1. TTL集成电路中使用了哪类晶体管？
2. 74LS00中LS指什么？
3. CMOS集成电路中使用了哪类晶体管？
4. TTL和CMOS哪种技术的集成度最高？
5. 数字集成电路中序号BCT指什么？

11.2节

6. 驱动电路和负载电路之间的接口电路的作用是什么？
7. 图11.71中电流为灌入还是供出（选择正确答案）。

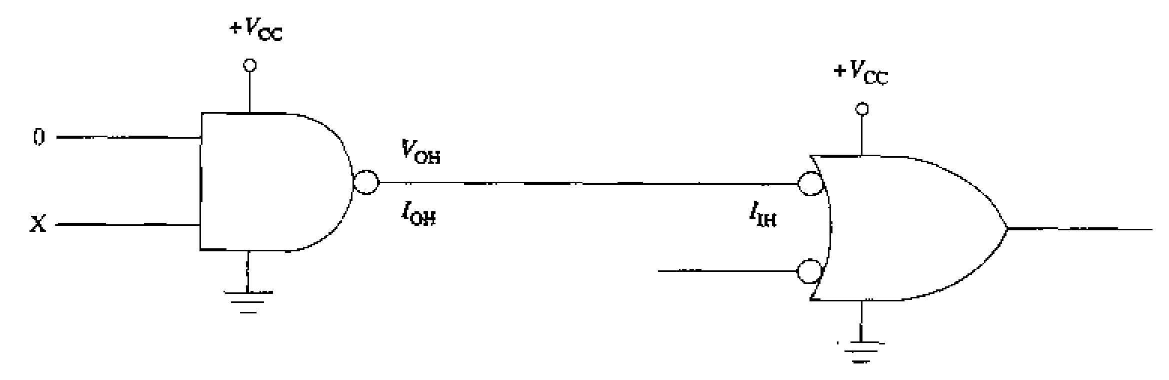


图11.71

8. 图 11.71 中 I_{OH}（数据表中 -0.4 mA）流向哪个方向？
9. 图 11.71 中左边与非门为驱动还是负载门（选择正确答案）。
10. 说明数据表中 I_{IL} 规定值的含义。
11. 流出逻辑电路的电流为拉电流还是灌电流（选择正确答案）。
12. 输出 V_{OL} 为低时，逻辑门供出电流还是灌入电流（选择正确答案）。
13. 定义扇出。
14. 什么是 TTL 门高输入的最小输入电压电平？
15. 什么是 TTL 门低输入的最大输入电压电平？
16. 已知 74S08 与门的低电平输出电流（I_{OL}）为 20 mA，负载门低电平输入电流为 -2 mA，则扇出是多少？
17. 扇出过载时，TTL 电路会怎样？
18. 定义关于数字电路/门的噪声免疫力。
19. 图 11.72 中虚线与门符号代表什么？
20. 图 11.72 中每个逻辑门中的菱形符号代表什么？
21. 标准 TTL 逻辑门输出能还是不能线与（选择正确答案）。

11.3 节

22. 图 11.73 中缓冲器内的符号代表什么？
23. 当 $\overline{G}=1$ 且 $\overline{G}=0$ 时图 11.73 中缓冲器的输出分别为多少？

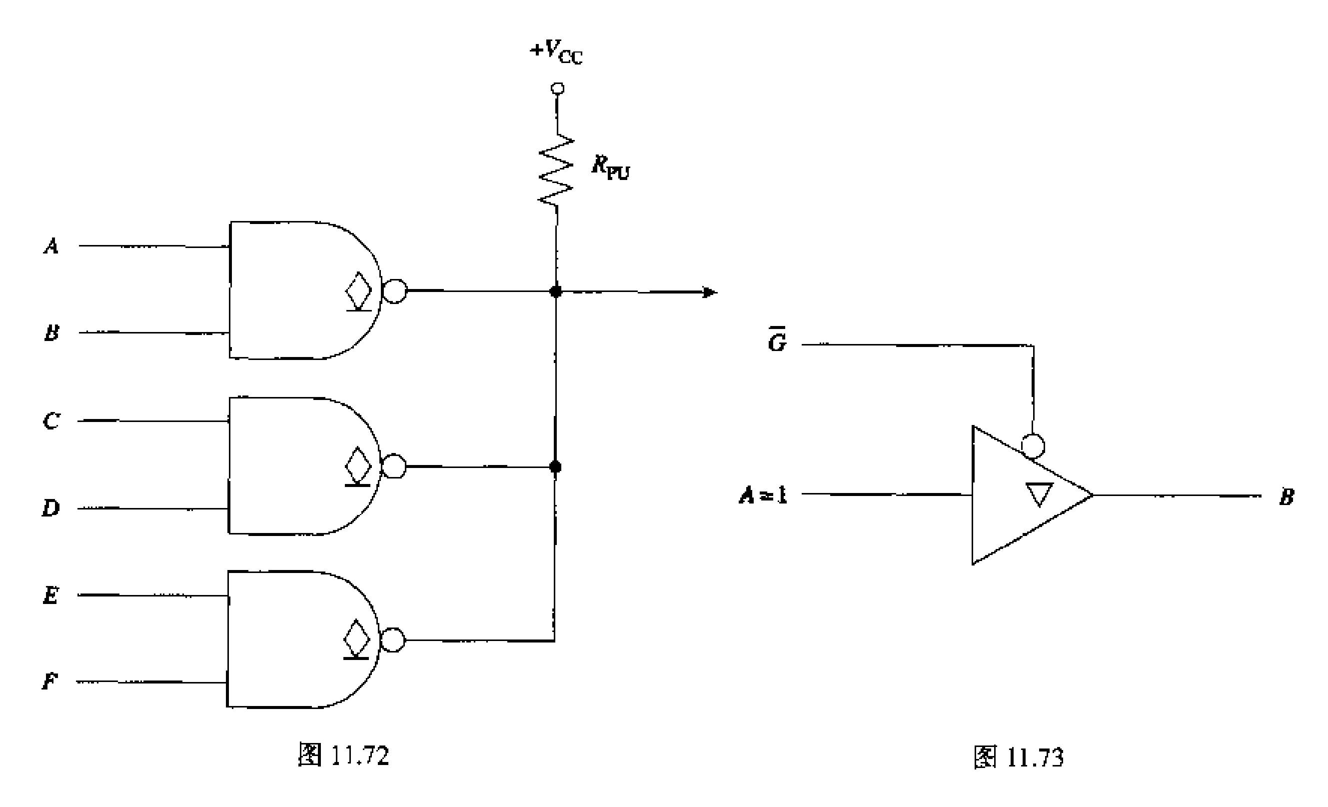


图 11.72　　图 11.73

CT　24. 当有下列条件时，图 11.74 中 74LS243 总线收发器分别处于什么工作方式。

a. $\overline{G}AB=0$ 且 $GBA=0$。

b. $\overline{G}AB=0$ 且 $GBA=1$。

c. $\overline{G}AB=1$ 且 $GBA=0$。

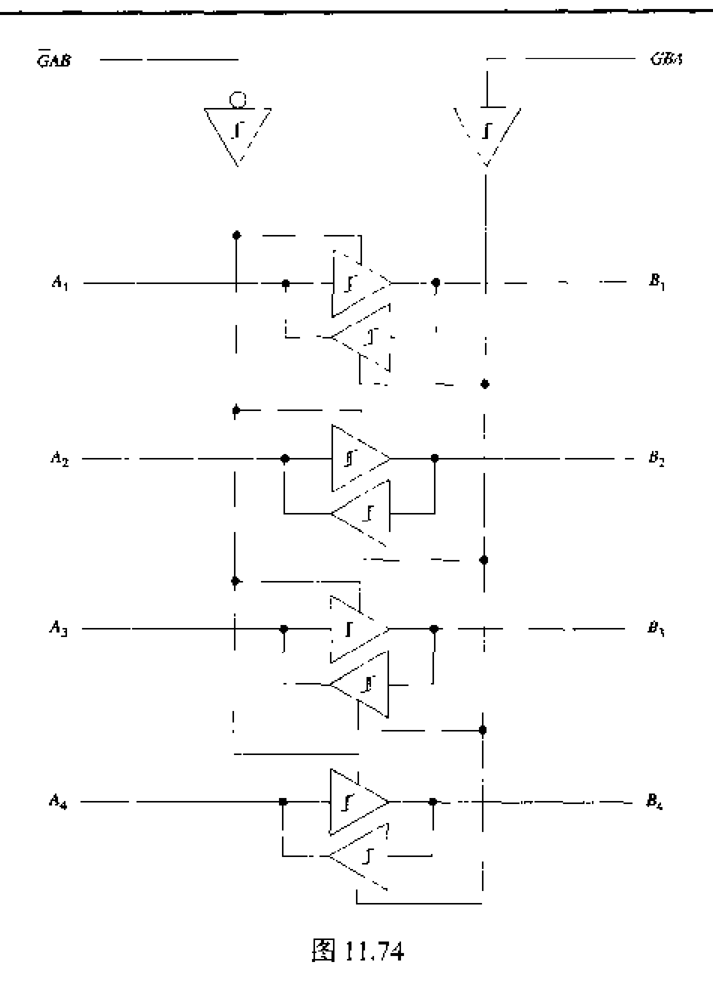


图 11.74

25. 数字系统中总线收发器的作用是什么?

11.4 节

26. 当 $D_3 = +4\ \text{V}$，$D_2 = 0\ \text{V}$，$D_1 = +4\ \text{V}$ 且 $D_0 = 0\ \text{V}$ 时，图 11.75 中 R–$2R$ 梯形网络的输出为多少?

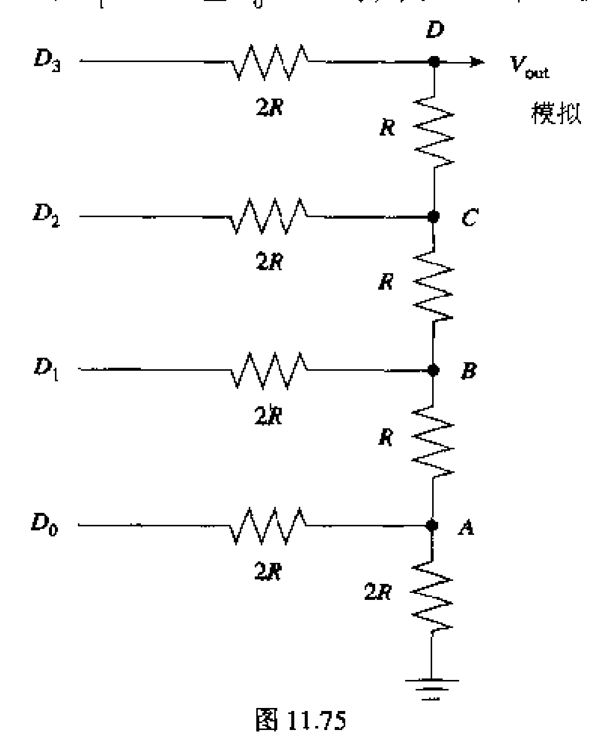


图 11.75

27. 当 $D_3=0$ V、$D_2=0$ V、$D_1=0$ V 且 $D_0=+4$ V时，图 11.75 中 R–$2R$ 梯形网络的输出为多少?

28. 图 11.76 中的电路完成哪种类型的数据转换?

CT 29. 当 $D_3=+5$ V、$D_2=0$ V，$D_1=0$ V 且 $D_0=+5$ V 时，图 11.76 中转换器的输出电压为多少?

30. 图 11.76 中运放的作用是什么?

31. 图 11.76 中运放的电压增益是多少?

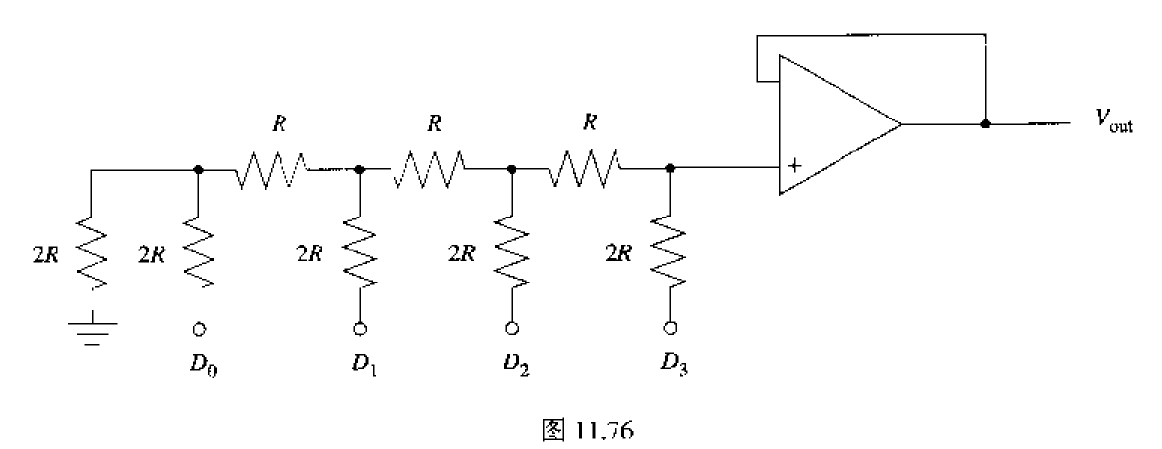


图 11.76

32. 定义 DAC 的分辨率

33. 图 11.77 中的电路完成哪种类型的数据转换?

34. 判断图 11.77 中的电路。

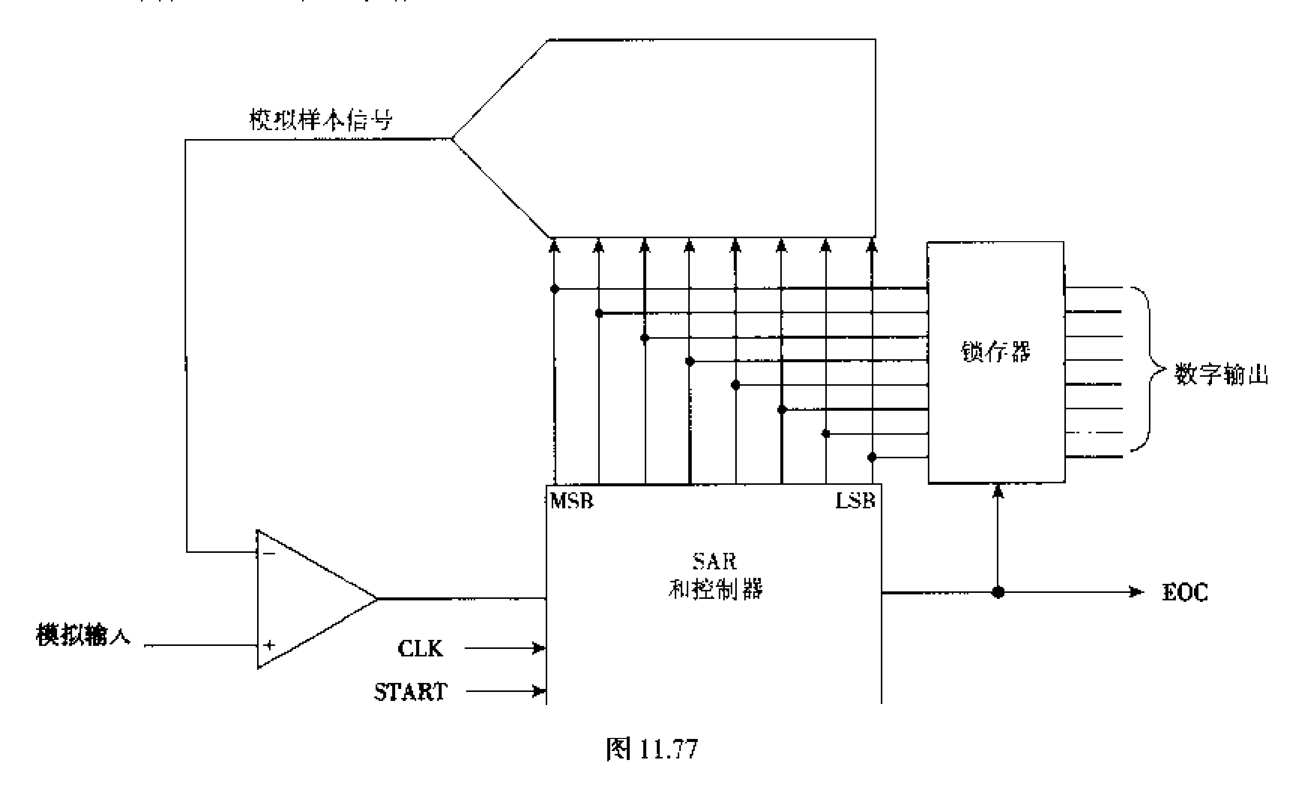


图 11.77

35. 判断图 11.78 中的电路。

36. 图 11.78 中的转换器与其他类型的转换器相比有何优点?

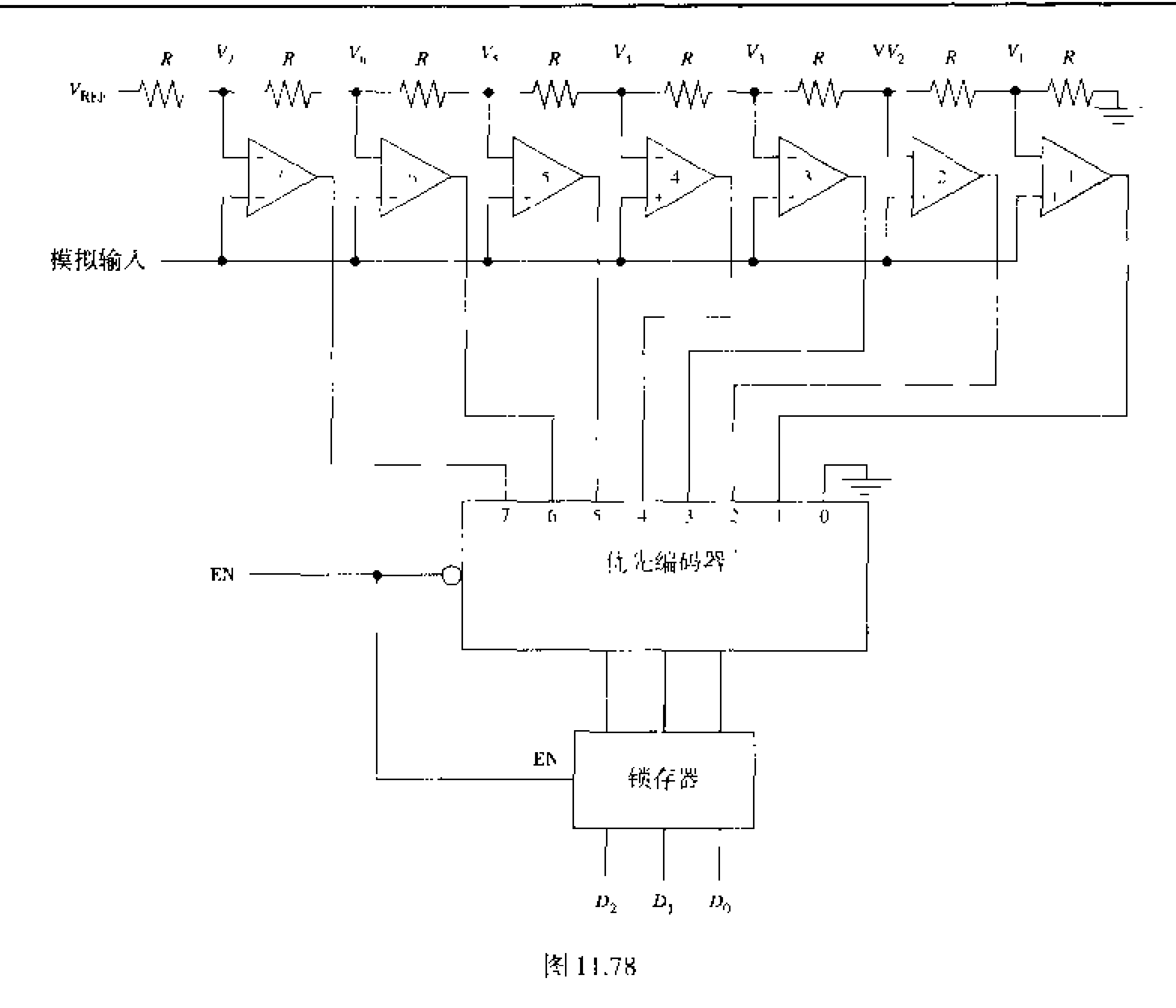


图11.78

所有各节

将下列定义与其术语连线匹配。因为术语多于定义，所以有些术语不会用到。

定义

——37. 用于给其他逻辑门或电路提供输入的逻辑门或电路。

——38. 当其输出为低（V_{OL}）时，流入逻辑电路输入引脚或输出引脚的电流。

——39. 逻辑门输出能可靠驱动的最大输入数。

——40. 把数字信号转换为模拟信号的电路。

——41. 在ADC中由于采样频率过低引起的低频失真。

——42. 数字系统中，当与数据总线连接时需使用的一种门或电路。

——43. 可用于线与输出的一种门或电路。

——44. 由于转换器编码1 LSB的变化引起的DAC输出电压的最小模拟变化。

术语

a. 扇入
b. 扇出
c. ADC
d. DAC
e. 驱动电路
f. 负载电路
g. 拉电流
h. 灌电流
i. 混叠
j. 分辨率
k. 集电极开路输出
l. 三态输出
m. 量化

第12章　存　储　器

重要术语

Address Bus　地址总线
Bus　总线
Bus Cycle　总线周期
Byte　字节
Central Processing Unit(CPU)　中央处理器
Control Bus　控制总线
Data Bus　数据总线
Dynamic RAM(DRAM)　动态 RAM
Electrically Erasable PROM(EEPROM)　电可擦除 PROM
Erasable Programmable ROM(EPROM)　可擦除可编程 ROM
Firmware　固件
Flash Memory　闪速存储器
Hardware　硬件
Input/Output(I/O)　输入 / 输出
Mask ROM(MROM)　掩膜 ROM
Memory Address　存储地址
Memory Capacity　存储容量
Memory Cell　存储单元
Primary Memory　主存储器
Programmable ROM(PROM)　可编程 ROM
Pseudo-Static RAM(PSRAM)　伪静态 RAM
Random-Access Memory(RAM)　随机存取存储器
Read Bus Cycle　读总线周期
Read-Only Memory(ROM)　只读存储器
Refresh　刷新
Secondary Memory　辅助存储器
Software　软件
Static RAM(SRAM)　静态 RAM
Volatile Memory　易失性存储器
Write Bus Cycle　写总线周期

本章要点

1. 了解有关存储器各类术语的具体含义。
2. 根据已知存储容量确定所需的地址输入数目。
3. 怎样识别不同类型的 ROM，了解如何擦除 ROM 中已存储内容，以及如何对其进行再编程。
4. 不同类型 ROM 及闪速存储器的优缺点。
5. 识别不同类型的 RAM。
6. 比较不同类型 RAM 的优缺点。
7. 理解刷新的目的。
8. 确定指定存储器的地址范围，绘制存储器的地址分配图。
9. 根据给定的地址范围设计地址译码器。

概述

存储器是计算机的重要组成部分，用来存放系统程序、应用程序及各种数据信息，这些数据（由二进制数 1 和 0 组成）能表示不同的指令、数字、字母以及各种符号，等等。不同的存储任务可以使用不同的存储器。

在数字系统中，存储电路只能存放两种数值：逻辑0和逻辑1，第6章介绍的触发器就具有这种功能。所以，第6章的内容是本章的基础。

第一台投放上市场的电脑（1974年）是由Micro Instrumentation Telemetry Systems出售的AL-TAIR 8800，其存储器容量只有256字节。到1977年，容量为4 KB或8 KB的存储器已很普遍。此时，Tandy公司的TRS80型电脑也投放上市场，它的随机存取存储器（RAM）的容量为4 KB。同时期，某些类型计算机的存储器的容量已达到32 KB。

1981年出现的IBM PC和1982年出现的Commodore 64，其随机存取存储器的容量又提高到64 KB。到了1983年，IBM PC-XT就具有了128 KB的随机存取存储器、360 KB的软盘驱动器以及10 MB的硬盘驱动器。

在这场计算机革命中，存储器容量的扩展及系统工作速度的提高都取得了长足的进步。例如，Motorola的6800微处理器，它的时钟频率达到了2 MHz，而目前，系统操作速度仍在稳步提高。

本章包括了存储器电路的基础知识，考虑到实用性，以通用存储电路为主介绍存储器电路的工作原理、构成及寻址等问题。

12.1 存储器的基本概念

要点

1. 定义存储器的有关术语。
2. 介绍存储器芯片的容量以及如何计算地址线的数目。

计算机存储器可分为两类：主存储器和辅助存储器。主存储器又称为机载存储器，用来存放微处理器当前要使用的数据和程序，用户可随时访问且存储速度快。随机存取存储器（RAM）和只读存储器（ROM）就属于主存储器。目前，RAM和ROM主要用半导体器件构成，是半导体存储器，这类存储器的存储速度快，但最大的不足是存储容量受到限制。

与主存储器相比，辅助存储器能存储更多的数据，适应了目前对存储器容量越来越高的要求。辅助存储器的存储能力很强，又称为大容量存储器。硬盘、软盘、光盘（CD）以及磁带等都属于辅助存储器。辅助存储设备是混合设备，既有机械机构，又有电子机构，因而存储速度比主存储器慢。

如果数据是以指令序列的形式存储在存储器内，这样的指令集合称为程序。程序，又称软件，是由数值1和0组成的。计算机内部的微处理器、各种集成电路以及其他的组件统称为硬件。硬件，如存储器芯片、与其内部存储的软件程序合称为固件。

在计算机内部，对数据的处理、传送和存储是不断进行的。数据的传送是双向的，需要传送的数据可取自存储器和输入/输出设备，也可向存储器和输入/输出设备传送数据。

计算机内数据的传送是依靠总线完成的。总线，就是导线或一组导线，利用它可将一个系统中的多个设备连接起来。例如，利用总线，就可以将计算机的微处理器与存储器和输入/输出设备连接起来。总线可以是一些实际的导线，也可以是电路板上的布线。计算机内通常有三类总线：地址总线、数据总线和控制总线，如图12.1所示。地址总线是单向总线，用于微处理器对指定存储器或I/O设备寻址。数据总线是双向总线，用于与微处理器之间的数据传送，数据总线的宽度（数据线的数目）就是系统的字长。字，是数字系统中能同时处理的数据的位数，存储器是以字为单位进行存储的。如果数据总线是由8根数据线构成的，字长就为8位（1个字节）；如果数据线是16根位，

字长就是16位（通常又称高位字节和低位字节）。控制总线也是双向的，计算机利用它来发出特定的指令，诸如读、写或中断指令等。该总线也用于监控某一设备的工作状态或确认某一事件。关于计算机的三总线体系结构可详见图12.2。图中，地址总线由20根地址线构成，标号为A_{19}~A_0，数据总线包含8位数据线。从图中可看出，微处理器是该系统的核心部件，通常称为中央处理器（CPU），控制着计算机内的所有活动。

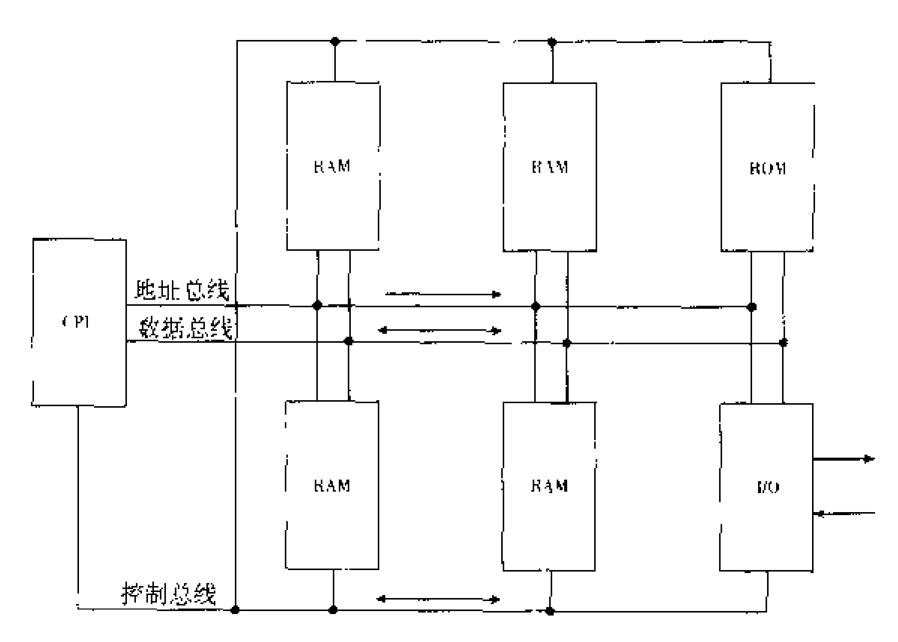


图12.1 微机内部存储器及三总线示意图

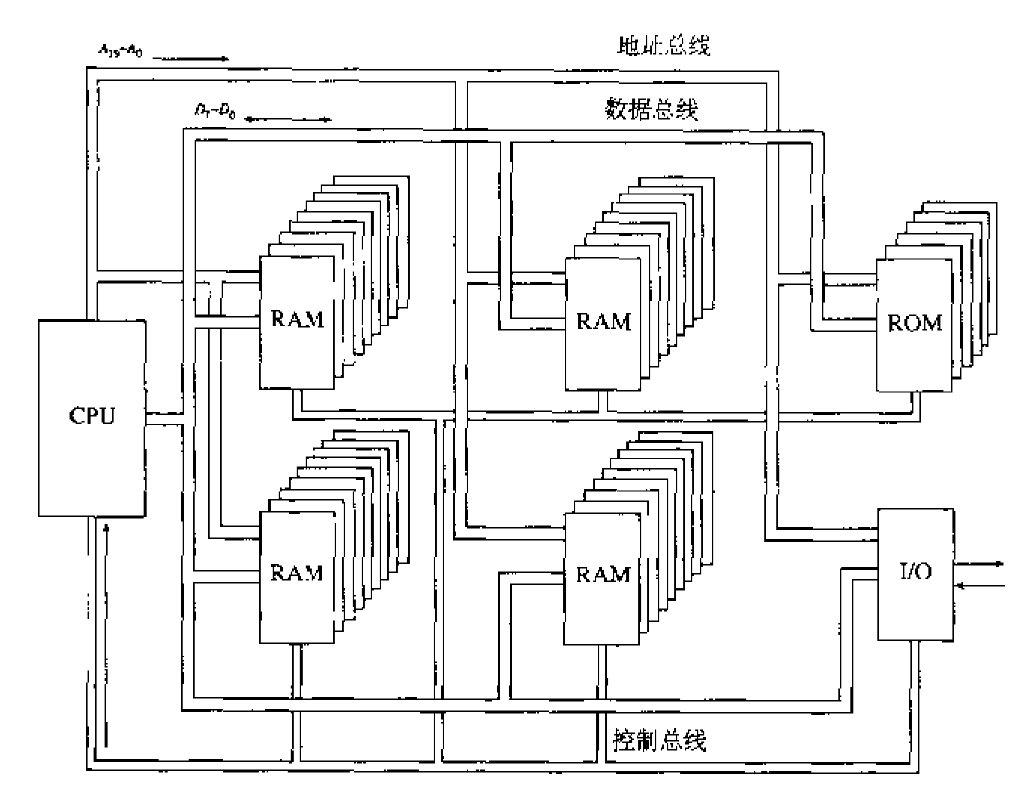


图12.2 微机的总线体系结构图

当微处理器完成一项指令时，所花费的时间称为总线周期。总线周期与时钟周期不同，一个总线周期可能由多个时钟周期组成。例如，微处理器正从存储器中读取数据，则处于读总线周期，而

向指定的存储器内写入数据时，称为写总线周期

为了识别不同类型的总线周期，微处理器生成了几种不同的控制信号：

读（$\overline{RD}$）：该控制信号低电平有效，表示微处理器正由存储器中或I/O端口读入数据。读操作也称为取数操作

写（$\overline{WR}$）：该控制信号低电平有效，表示微处理器正向存储器内或I/O端口写数据。写操作也称为存储操作。

输入－输出端口／存储器（$IO/\overline{M}$）：当该控制信号为低电平时，表示微处理器正在访问存储器；为高电平时，表示微处理器正在访问I/O端口

微处理器要通过外围设备与外部通信，所以键盘、鼠标、打印机及磁盘驱动器等是计算机必不可少的组成部分，这些设备通常又称为输入/输出（I/O）设备。输入/输出端口是微处理器与I/O设备进行通信的通道。

$\overline{RD}$，$\overline{WR}$ 和 $IO/\overline{M}$ 信号在某些计算机中表现形式不一样。$\overline{MEMRD}$ 表示对存储器进行读操作；$\overline{MEMWR}$ 表示对存储器进行写操作；$\overline{IORD}$ 表示对I/O设备进行读操作；$\overline{IOWR}$ 表示对I/O设备进行写操作等。这些信号用于区分存储设备和I/O设备的地址。有关生成这些控制信号的逻辑电路在第5章已介绍过。

在图12.1和图12.2中，用方块表示存储器，其中一种存储器就是只读存储器（ROM）。ROM是由制造商编程的，其内部数据不易丢失。一般条件下，其存储的内容既不会丢失也不会改变。

ROM中包含着很重要的初始化数据，正是这些数据保证了计算机的正常启动和运行，这些数据称为引导程序。一旦系统完成自检和初始化，引导程序将硬盘或软盘中的磁盘操作系统装入随机存取存储器（RAM）中。磁盘操作系统程序用来实现计算机的内务处理。

系统一旦启动，就可以运行应用程序了。应用程序可以是字处理程序、电子数据表或游戏等。当确定运行某个应用程序后，该程序就被装入RAM中。

计算机加电启动后，首先进行系统自检，屏幕上会显示检测结果。然后，磁盘操作系统的常驻部分会自动由硬盘驱动器装入内存。随之，屏幕上出现主菜单，主菜单中显示可使用的应用程序信息。对于不同的计算机，配置可能有所不同，但基本过程是一致的。

在引导过程中，计算机对内部存储器进行检测。系统初始化时，对RAM的读写要进行多次，以确保它能正常工作。在对RAM进行检测时，使用了多种不同的位模式。ROM使系统启动和运行，而RAM为应用程序提供了暂时驻留，有利于快速访问和存储用户数据。

图12.2中有多片RAM（随机存取存储器），"随机存取"表明了RAM读写数据的方式。在RAM中，所有存储单元被访问的机会均等，没有优先级别，这一点与磁带存储器不同，后者按照顺序存取的方式存取数据，所以速度非常慢。用户既可以读取RAM中的数据，也可以随时写入新的信息。基于此，RAM又被称为读写（R/W）存储器。与RAM相同，ROM中所有存储单元被访问的机会也是均等的，但用户只可以读取其中的内容，不能进行写操作。

RAM的缺点是保存的信息易失，当电源电压一旦除去，其内部存储信息全部丢失，这是由它的内部结构决定的。读者可以回顾有关触发器的内容，触发器的初态是置位态还是复位态是不能预知的，就这一点而言，RAM和触发器类似。所以，在系统启动并运行引导程序时，要对RAM发出复位指令，使其内容清零。当去掉外部电源时，会自动生成复位指令，因此RAM中的内容就全部丢失了。

为了避免由此而造成的损失，可以采取一些措施。一种方法是使用备用电池。目前，一些系统可以定时将RAM中的内容存入硬盘，这一过程是自动完成的，这样可使数据长久保存。

存储器由许多存储单元组成，每一个存储单元只能存放一位二进制数。通常用存储容量来衡量存储器存储数据的能力。存储容量就是存储器内存储单元的数目。存储器是以字为单位进行存储的，一个字单元由若干个存储单元构成，而一个存储器又包含有若干个字单元。一个存储容量为8 K × 1的存储器能存储8 192位数据（1 K = 1 024），该存储器的每一个字单元可以存放一位二进制数。存储器内部有许多字单元，每一个字单元有一个固定的编号，即地址。

图12.3所示是一个RAM电路，内含8个字单元，每一个字单元存放一位二进制数，所以该电路中的一个字单元就是一个存储单元，图示电路采用74LS138作为地址译码器。

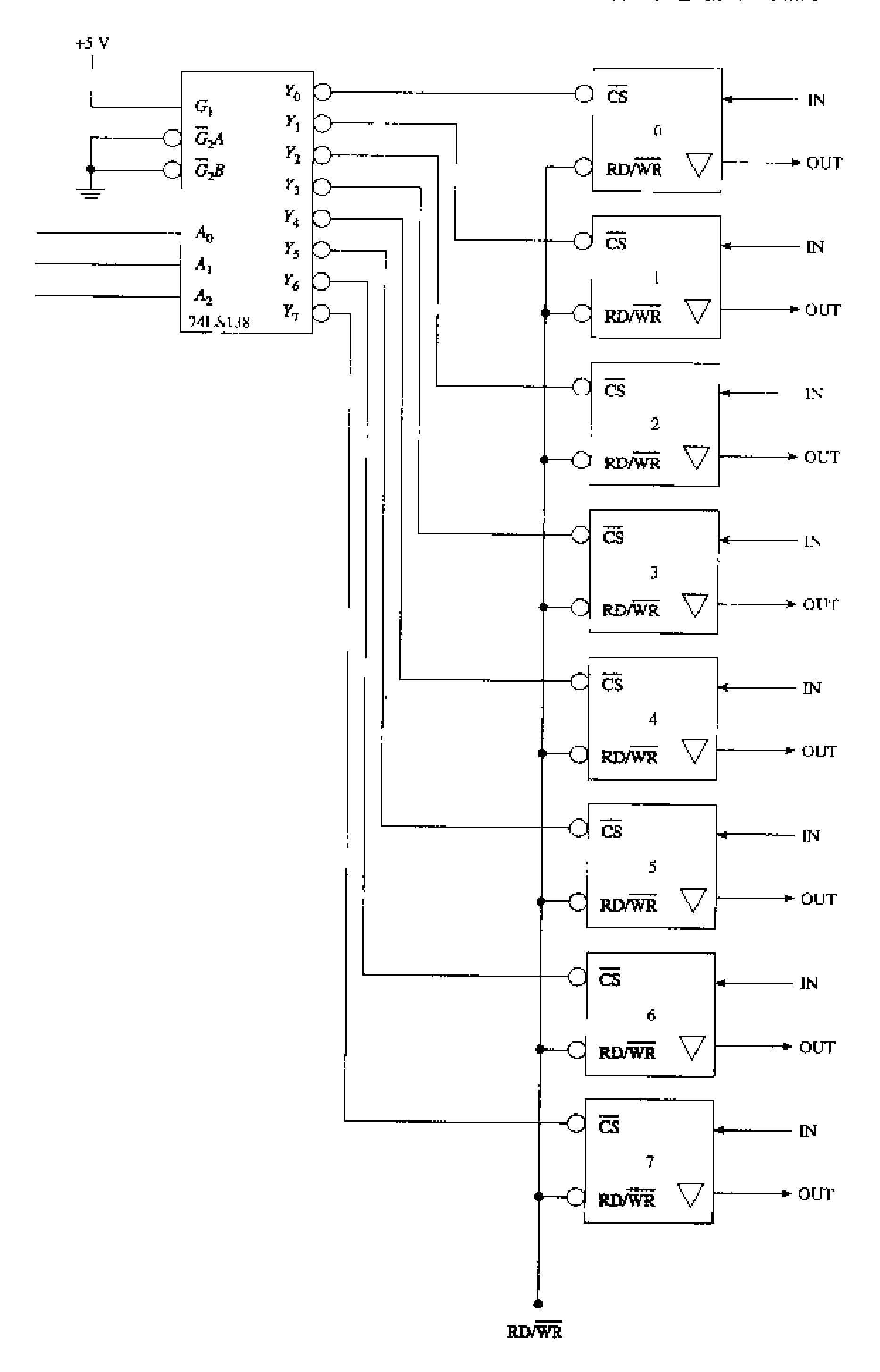


图 12.3 8 × 1 RAM 电路

因为 $2^3 = 8$，所以对 8 个字单元编码需要 3 位地址码（A_2~A_0）。利用这个方程可以解决前面章节中提到的电路的模问题，该方程令 2 的 n 次方等于字单元的数目，即 MOD = 2^n = 8。

第7章介绍了如何根据指定的模确定计数器所需的触发器数目，可以利用同样的方法来确定不同数目的字单元所需的地址线数。设字单元数为 X，n 为所需的地址线数，则 $2^n = X$。如果令 $2^n = 32$，则 n 可按如下的方法求解：

n = log# 字单元 ÷ log 2
　= log 32 ÷ log 2
　= 5（地址线）

在图 12.3 中，地址译码器的反相输出端与8个字单元的低电平有效输入端相连，这个输入端称为片选端 $\overline{CS}$，有时也称为使能端（$\overline{E}$）或片能端（$\overline{CE}$），低电平有效。如果该输入端输入为高电平，则相应的字单元没被选中，数据输出线处于高阻态。

图 12.3 中，各字单元还有 RD/$\overline{WR}$ 输入端，该输入端的电平状态决定了是对相应字单元进行读操作（RD/WR = 1）还是写操作（RD/$\overline{WR}$ = 0）。详细内容可见 12.3 节。

如果设 RD/WR = 1，A_2~A_0 = 101，则5号字单元被选中，其内部存储内容被送到输出端。具体工作过程是，将 101 送到地址译码器的相应输入端，则译码器的输出端 Y_5 输出为0，相应的 5 号字单元的片选端 $\overline{CS}$ = 0，即 5 号字单元被选中。其余 7 个字单元未被选中，所以它们的输出呈高阻态。

如果图 12.3 中的每一个字单元由 8 位并行输入 / 并行输出寄存器组成，则一个字单元可以存放 8 位二进制数，该图就成为 8 × 8 的存储器电路。第一个 8 表示电路中字单元的数目，第二个 8 表示每个字单元中包含的存储单元的数目。

在实际使用中，存储器的容量都非常大，通常以 K 或 M 来衡量，1 K = 1 024，1 M = 1 048 576。例如，某一 RAM 芯片的存储容量为 32 K × 8，这表示该芯片内有 32 768 个字单元，能存储 32 768 字节（一个字节为 8 位）的数据，它的实际存储容量为 262 144 位。

怎样计算该 RAM 芯片的地址引脚数呢？

n = log 327 68 ÷ log 2
　= 15（地址引脚）

在本节中介绍了一些有关存储器的基本概念和术语，牢记这些概念有助于理解后面的内容。其中某些概念和定义如下所示：

总线：导线或一组导线，多个部件间的公共连线
I/O：输入 / 输出
1 K：1 024
1 M：1 048 576
存储单元：存放一位二进制数的存储设备
主存储器：计算机内部存储器，即机载存储器
辅助存储器：大容量存储器
ROM：只读存储器，存储内容不易丢失
RAM：随机存取存储器，存储内容易丢失

12.1 节复习题

A. 将下列概念与其定义对应起来

(1) 主存储器
(2) 辅助存储器
(3) ROM
(4) RAM
(5) 存储单元
(6) 1 K
(7) 总线周期

a. 1 024
b. 1 048 576
c. 微处理器执行一条指令所花费的时间
d. 易失性存储器
e. 非易失性存储器
f. 输入 / 输出
g. 只能存放一位数据的存储电路
h. 机载存储器
i. 大容量存储器

B. 解释名词

(1) 易失性存储器
(2) 写总线周期
(3) 字节
(4) 存储容量

C. 如果一片 RAM 的存储容量为 16 K × 4，其内部包含多少字单元？
D. 在存储容量为 16 K × 4 的 RAM 芯片中，每一个字单元可以存储几位数据？
E. 在存储容量为 16 K × 4 的 RAM 芯片中，总共可以存储多少位数据？
F. 在存储容量为 16 K × 4 的 RAM 芯片上有多少个地址引脚？
G. 如果一片 RAM 的存储容量为 1 M × 8，其内部包含多少个字单元？
H. 在存储容量为 1 M × 8 的 RAM 芯片中，每一个字单元可以存储多少位数据？
I. 在存储容量为 1 M × 8 的 RAM 芯片中，总共可以存储多少字节的数据？
J. 在存储容量为 1 M × 8 的 RAM 芯片上有多少个地址引脚？

12.2 只读存储器

要点

1. 介绍与只读存储器有关的术语。
2. 介绍几种常用的只读存储器以及如何对不同类型的只读存储器进行擦除和再编程操作。
3. 比较 MROM，PROM，EPROM，EEPROM 以及闪速存储器的优缺点及特性。

只读存储器（ROM）是非易失性存储器，其内部存储的数据非常稳定，即使去掉或中断外部电源电压，内部的数据也不会丢失。

ROM 内存放着系统初始化程序，这些数据包含在 ROM BIOS（基本输入 / 输出系统）程序中。前面介绍的 RAM 检测就是该程序的一部分。RAM 检测和 BIOS 中的其他部分程序被称为通电自检（POST）程序，POST 程序用以检测计算机的状态。一旦系统自检完成，BIOS 程序会到 A 驱动器内

的软盘中寻找操作系统，并自动将操作系统装入RAM中；如果A驱动器中没有软盘，则BIOS程序就到硬盘中寻找操作系统。BIOS就这样将对计算机的控制交给了新程序

微机中的辅助ROM芯片主要用为字符生成器、数据转换器、代码转换器以及查找表。

如图12.4所示是一个4 × 4 ROM电路，存储矩阵以虚线表示，是该电路的主体，其中包含4个字单元，每个字由4个存储单元组成，电路中有两个使能输入端：片选端（CS）和输出使能端（OE）只有当两个使能端的输入都为有效值时，才能从ROM中读出数据，当CS = 0时，地址译码器才能工作，如果此时地址输入 $A_1A_0 = 11$，则地址译码器的 Y_3 输出为低电平。

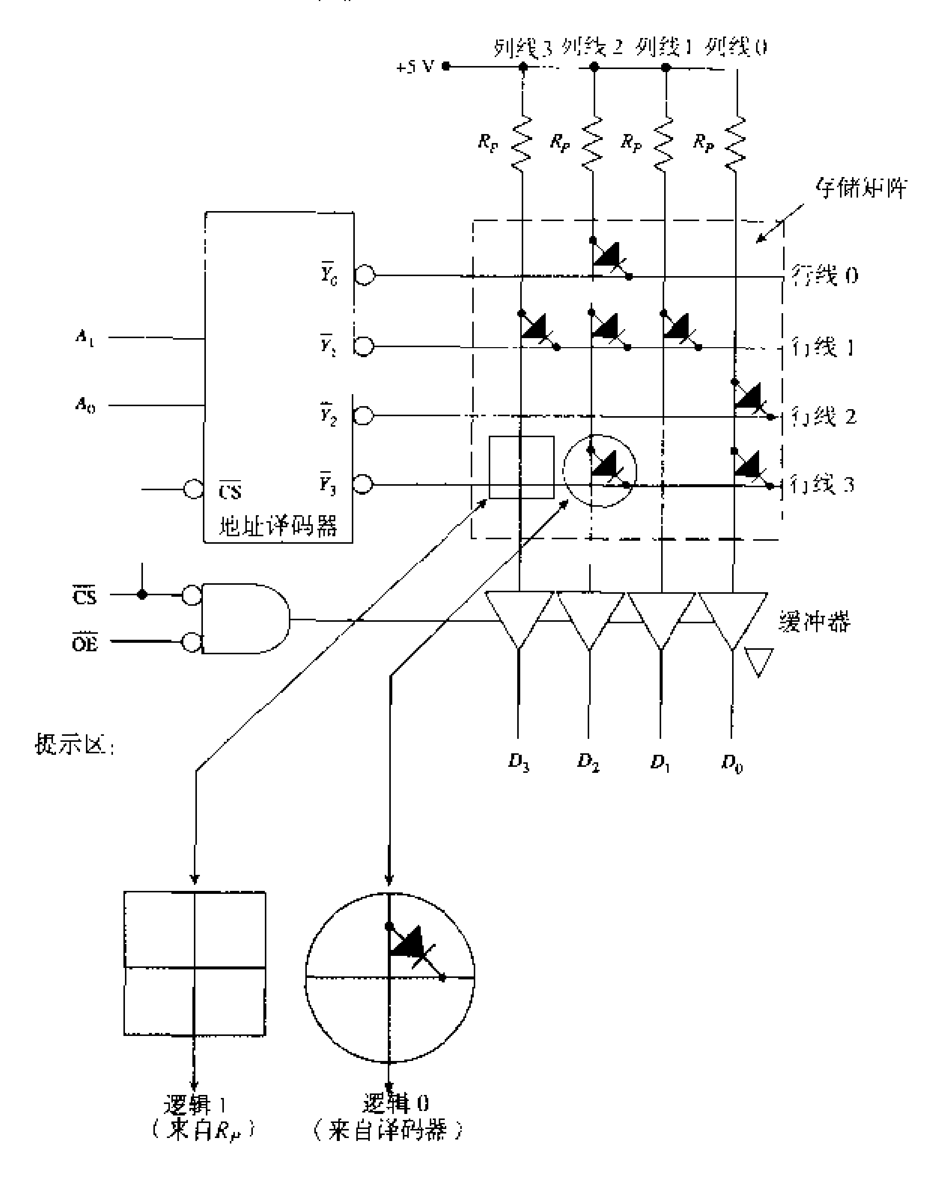


图12.4 4 × 4 ROM电路

图12.4中的存储矩阵有4条列线和4条行线，行线和列线共有16个交叉点，每个交叉点可看成是一个存储单元。交叉点处接有二极管时相当于存入逻辑值0，没有接二极管时相当于存入逻辑值1。设 $Y_3 = 0$，则行线3被选中，列线2与它的交叉点处接有二极管，二极管正向导通，使列线2为低电平，并且该值被送到输出缓冲器 D_2 的输入端；列线3与行线3的交叉点处未接二极管，所以列线2未导通，逻辑值为1，且该值被送到输出缓冲器 D_2 的输入端。

只有当$\overline{CS}$和OE输入都为有效值时，输出缓冲器才能工作，否则将处于高阻态。图12.4的存储矩阵中所存储的内容如表12.1所示。经过验证，表中所给的数据是正确的。在验证过程中，对任一给定的地址，只能从指定的行线中读取数据。如果在矩阵的交叉点处有二极管，则当行线为低电平时，相应的交叉点处为低电平；若交叉点处没有二极管，则当行线选中时，该交叉点处为高电平

表12.1 图12.4所示4 × 4 ROM电路的存储内容

A_1	A_0	D_3	D_2	D_1	D_0	对应16进制数
0	0	1	0	1	1	B
0	1	0	0	0	1	1
1	0	1	1	1	0	E
1	1	1	0	1	0	A

图12.4所示的ROM电路简单说明了ROM的工作原理。下面详细介绍4种不同类型的ROM：掩膜ROM（MROM），即通常所说的ROM；可编程ROM（PROM）；可擦除可编程ROM（EPROM），因为要利用紫外线擦除内部存储数据，又称为UVPROM；电可擦除可编程ROM（EEPROM）

12.2.1 掩膜只读存储器

掩膜只读存储器（MROM）的存储内容是由制造商写入的，用户不可对其进行再编程。存储单元内存入的是逻辑值1还是0，是由存储矩阵中各交叉点处有没有二极管或三极管来决定的，而交叉点处有无有效半导体器件根据掩膜确定。掩膜的开发和制作需要花费大量的财力，所以不适合小批量生产。

计算机中，BIOS程序通常存储在MROM中，这是因为大批量生产会大大降低MROM的成本；但是在一些研究和开发工程中一般不使用MROM存储数据，因为生产量少，成本太高。

利用MROM可构成16 × 4数据/代码转换器，如图12.5(a)所示。图中电路利用MROM将二进制代码转换为格雷码，转换结果见表12.2，其中二进制数作为MROM地址译码器的输入，而存储器中的存储内容就是格雷码。

表12.2 二进制/格雷码

二进制数	格雷码
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000

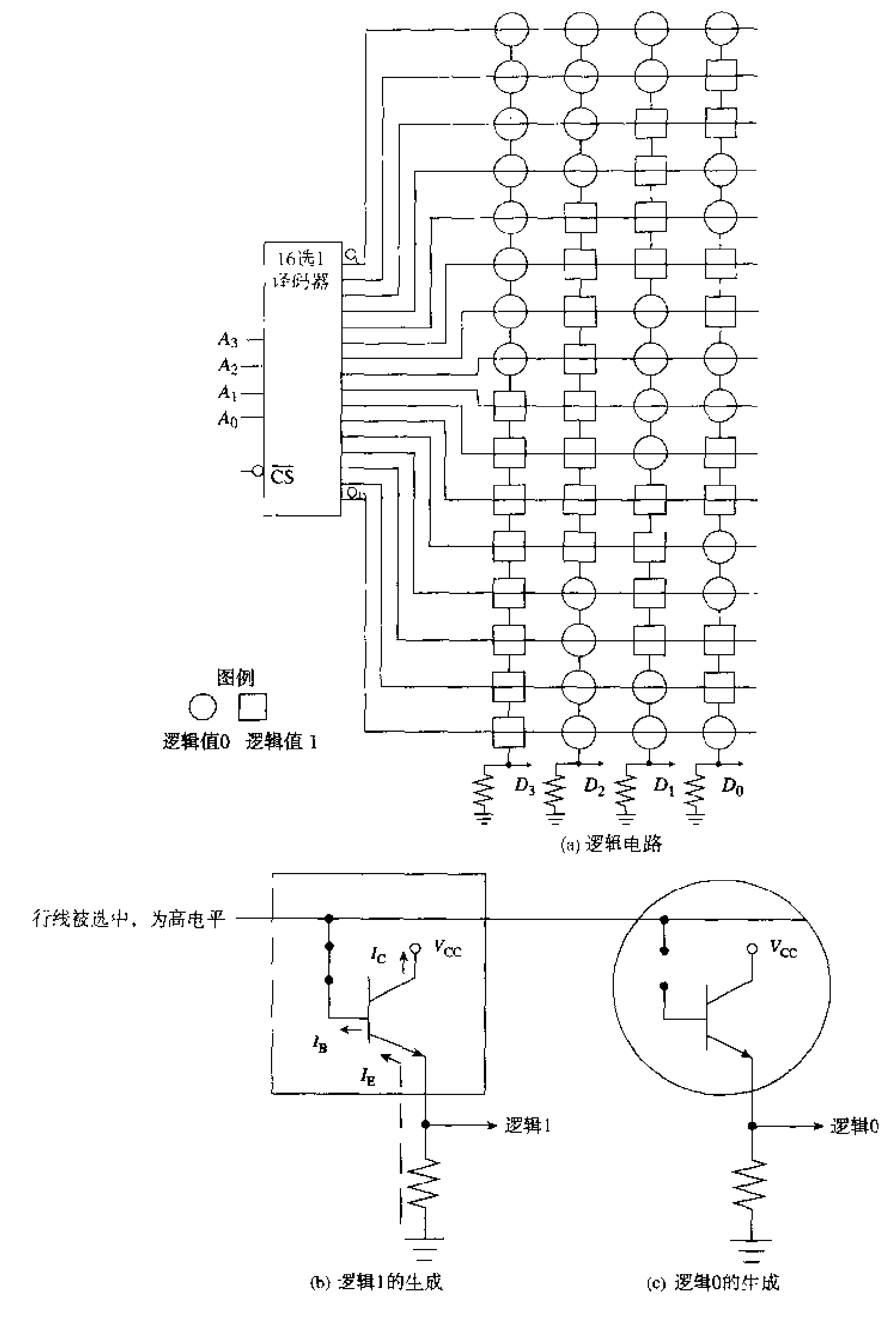


图 12.5 利用 MROM 实现二进制与格雷码之间的转换

MROM 存储矩阵中除了可使用二极管，也可使用双极型晶体管（三极管）和单极型晶体管 MOSFET（场效应管）来表示存储内容。关于如何利用双极型晶体管来表示逻辑值1和逻辑值0，如图 12.5(b)和(c)所示。在图 12.5(a)所示的 MROM 电路中，每一行有 4 个逻辑交叉点。

图12.5中，交叉点上的方框表示该交叉点处有晶体管（见12.5(b)），存储的数值为1。芯片一旦被选中（CS = 0），16选1地址译码器开始工作，输出高电平有效，相应的行线被选中。因为晶体管的基极与行线相接，所以发射结正向偏置，故晶体管导通，有电流流经输出电阻而使输出为高电平，即输出逻辑值1

图12.5(a)中，交叉点上的圆圈表示该交叉点处未连晶体管（见12.5(c)），即该点存储内容为0。晶体管的基极和行线间是断开的，所以即使行线被选中，晶体管也不会导通，输出电阻上没有电流流过，压降为0，即输出逻辑值0

12.2.2 可编程只读存储器

掩膜ROM由于成本高，只适用于大批量生产。对于ROM需求比较小的情况，可以使用可编程ROM（PROM）。

与ROM电路相比较，为了保证用户编程的实现，PROM在晶体管电路中加入了熔丝连接，如图12.6所示。将图12.6与图12.5(b)和(c)比较来看，当熔丝连接保持完整时，对应行线一旦被选中，则晶体管导通，输出为1；当熔丝被熔断后，晶体管与行线间的连接断开，输出为0。

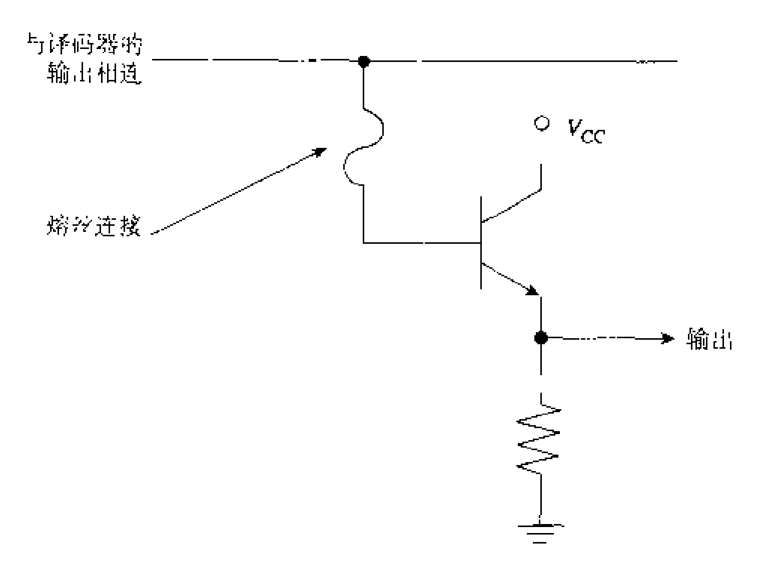


图12.6 带有熔丝连接的PROM晶体管

用户可以利用PROM编程器对PROM进行编程。根据要存入的内容，用户可使用PROM编程器熔断相应位置上的熔丝。以这种方式对ROM进行编程的过程又称为熔固。事实上，PROM编程器通常又称为PROM熔固器。

刚出厂时，PROM芯片所有的熔丝都是完整的，用户可根据不同的存储内容选择需要熔断的熔丝。但熔丝一旦熔断就不可恢复，所以PROM又被称为一次可编程（OTP）器件。图12.6是PROM电路的一种连接方式。按照这种方式，PROM出厂时内部存储的数据全为1，熔丝一旦被熔断，存储的内容则变为0。

有些PROM的原始存储数据为0，而熔丝熔断后存储的内容变为1。所以用户在对PROM进行编程时一定要注意这一区别，要按照制造商提供的编程指导进行。

图12.7(a)所示是256 × 4 TTL PROM芯片的方框图，图12.7(b)是该PROM的逻辑符号。由于字单元数为256，共需要8根地址线，每个字由4个存储单元构成，所以存储容量是1 024位。该片PROM的存储矩阵如图12.8所示，由32根行线和32根列线构成，32 × 32 = 1 024。

图中的32选1地址译码器输出高电平有效，对应一个地址输入只能有一根行线被选中。行线的序号标在图12.8中矩阵右侧，列线的序号标在矩阵上方。每8根列线为一组，作为8选1数据选择器的输入，这样，每选中一根行线，就会有一个4位数据输出。下面举例说明它的工作过程。

设地址输入为 $A_7 \sim A_0 = 11111000_{(2)}$。高5位地址为 $A_7 \sim A_3 = 11111_{(2)} = 31_{(10)}$，它们作为32选1地址译码器的输入，选中行线31；低3位地址为 $A_2 \sim A_0 = 000$，作为数据选择器的地址输入 D_0，每个数据选择器的 D_0 输入线被选中。所以，根据8位地址输入，PROM输出的是图12.8中圆圈所包围存储单元内的内容。图12.7(a)中的输出缓冲器是三态缓冲器，它有两个使能端，只有 $\bar{G}_1 = \bar{G}_2 = 0$ 时，缓冲器才能工作，否则输出呈现高阻态。

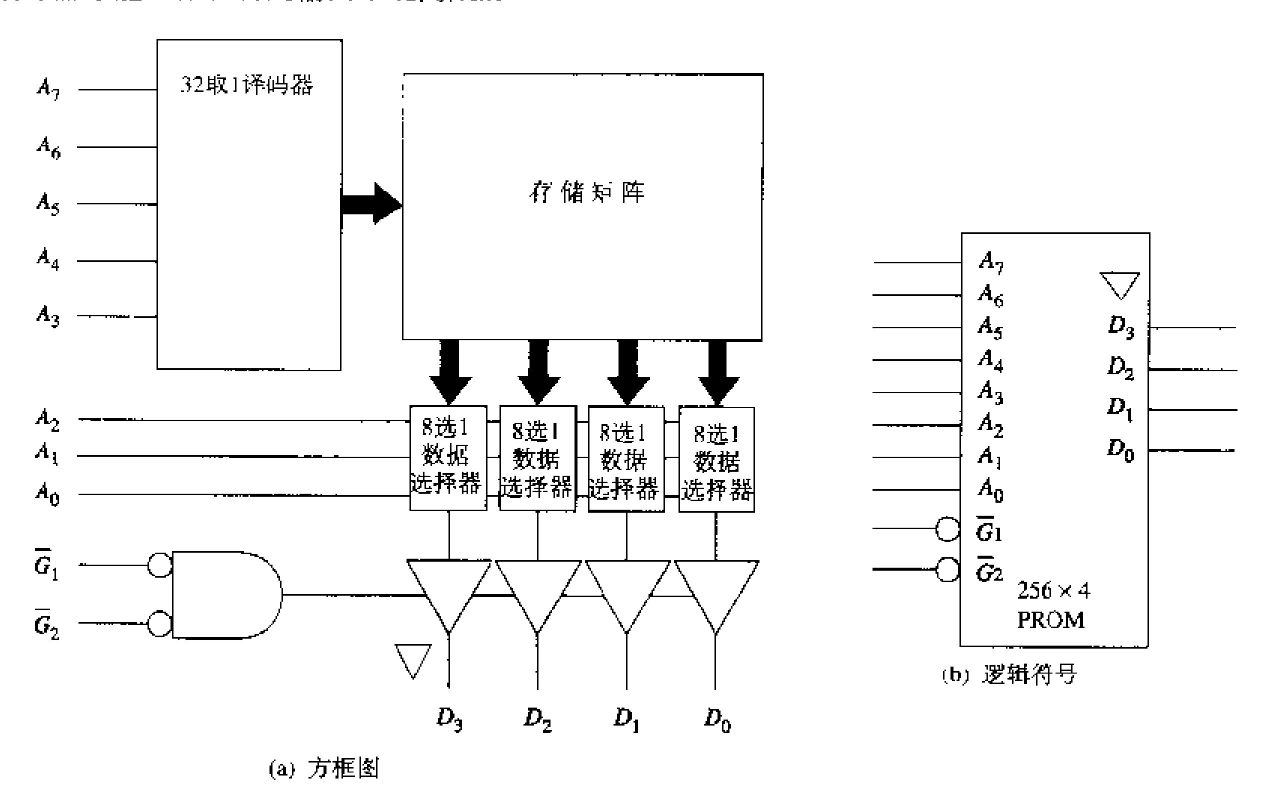


图12.7 256 × 4 TTL PROM集成电路

图示的TTL PROM芯片应按照下述步骤进行编程：

第1步：PROM处于停用状态，将需要编程的存储单元的相应地址送到PROM的输入端。将 $\bar{G}_2$ 端接地，$\bar{G}_1$ 端悬空。

注意：每次只能对一个输出位进行编程，不需编程的输出端可以开路。

第2步：选择需要编程为高电平的输出位，在相应输出引脚上加上正向电压 V_{CC}，慢慢调整电压，使其由+5 V增加到+10.5 V，调整速率应在1～10 V/μs之间。

第3步：在 $\bar{G}_1$ 端输入宽度为10 μs的负脉冲，使芯片处于工作状态。

第4步：验证存储内容是否已正确写入。在已完成编程的输出引脚上外加一负载（所加的负载一定要符合技术要求，I_{OL} 和 I_{OH}），使设备处于工作状态，将 V_{CC} 减小至+6 V，最后减到+4 V，即可完成验证。验证时常用的输出负载是TTL门电路。

第5步：验证完毕后，在该输出引脚上再加5个编程脉冲。

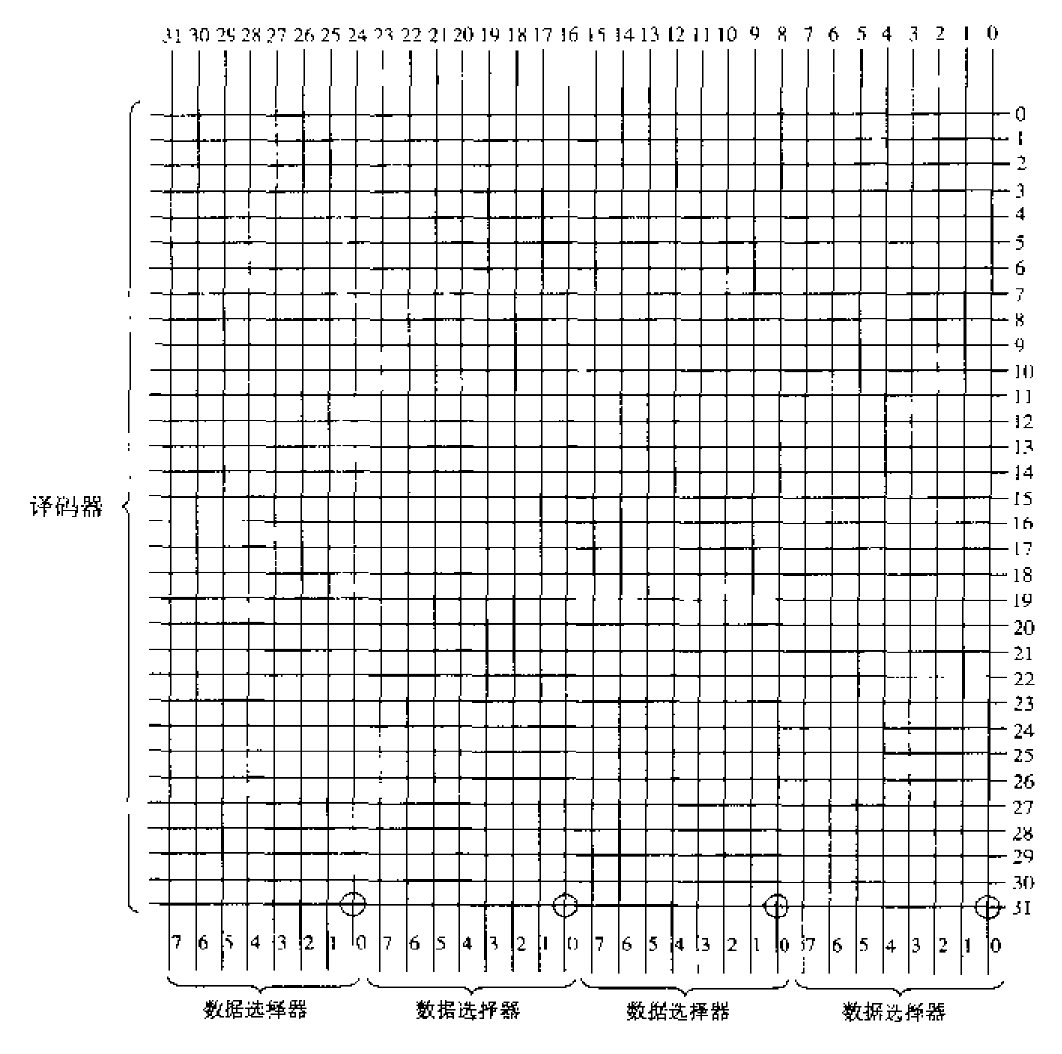


图 12.8　256 × 4 PROM 存储矩阵

图 12.9 是上述编程过程的波形。第 1 个波形是 PROM 的地址输入，波形中的时刻 t_1 表示前一个地址的编程已经完成，新的地址输入 PROM，只有 t_1 时刻后新的地址才稳定且有效。

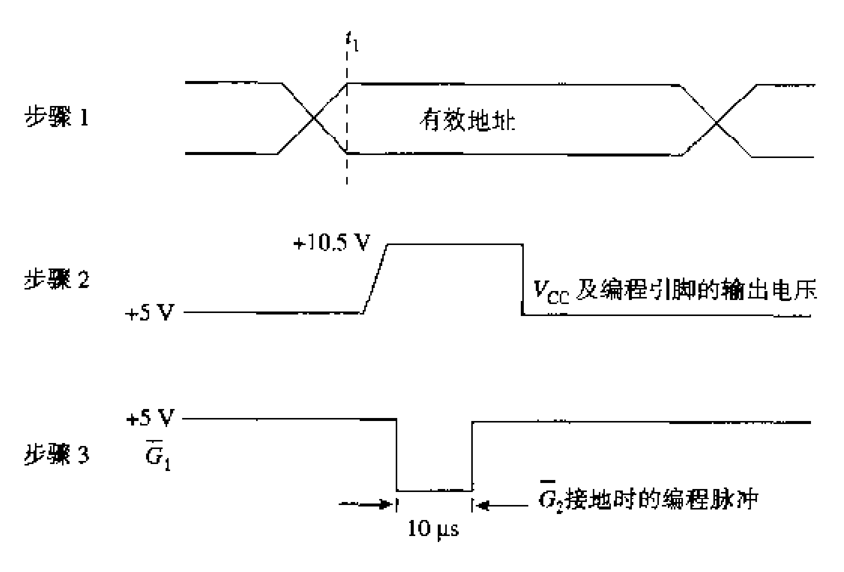


图 12.9　256 × 4 PROM 编程操作波形

图12.7所示的PROM存储容量为256 × 4，它的字长为4位。如果需要存储容量为256 × 8的存储系统，可将两片容量为256 × 4的PROM并联起来。

图12.10是某存储器芯片的外引脚排列图。图中既没有读/写引脚RD/WR，也没有写使能端$\overline{WE}$，所以该存储器是只读存储器。芯片上有10根地址线（A_9~A_0），表明该片ROM内有1 024（1 K）个存储单元；由于有8个数据输出端，所以每个存储单元中可存放8位数据，因此这是一片存储容量为1 K × 8的ROM芯片，共8 192位。8个数据输出引脚也表示该存储系统的字长为8位，使用的是8位数据总线。

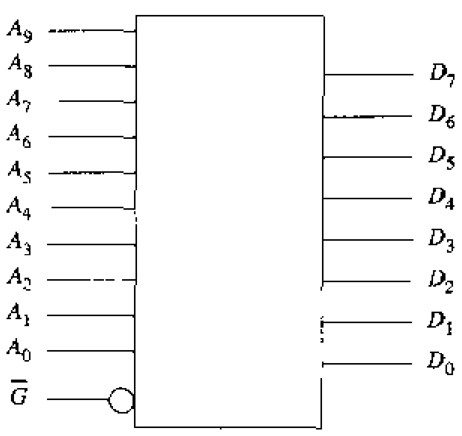


图12.10 ROM芯片的外引脚图

12.2.3 可擦除可编程ROM

使用PROM最大的不便之处就是它的一次编程性，数据一旦写入，不可修改。如果写错了，整片存储器就报废了。

使用可擦除ROM就可以解决这个问题。根据ROM的生产类型不同，有两种不同的擦除方法，下面会逐一介绍。尽管可对这类器件进行读或写操作，但实际应用时，只要程序写入，通常便只对它进行读操作。

可擦除可编程ROM（EPROM）是利用紫外线擦除，利用电写入的一种只读存储器，数据一旦写入就不易丢失。如图12.11所示，EPROM封装背面有一个透明的石英窗口，用紫外线对其照射约20分钟，即可完成擦除操作。通常，石英窗口要用一块不透明纸带盖上，以免引起错误的擦除操作。只有在对EPROM进行擦除操作时才可以将纸带除去。

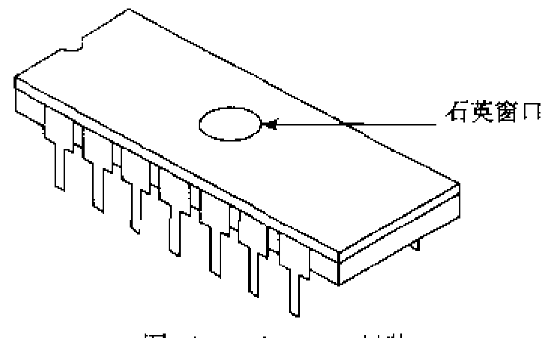
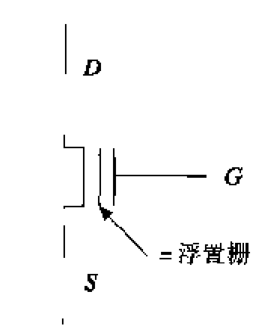


图12.11 EPROM封装

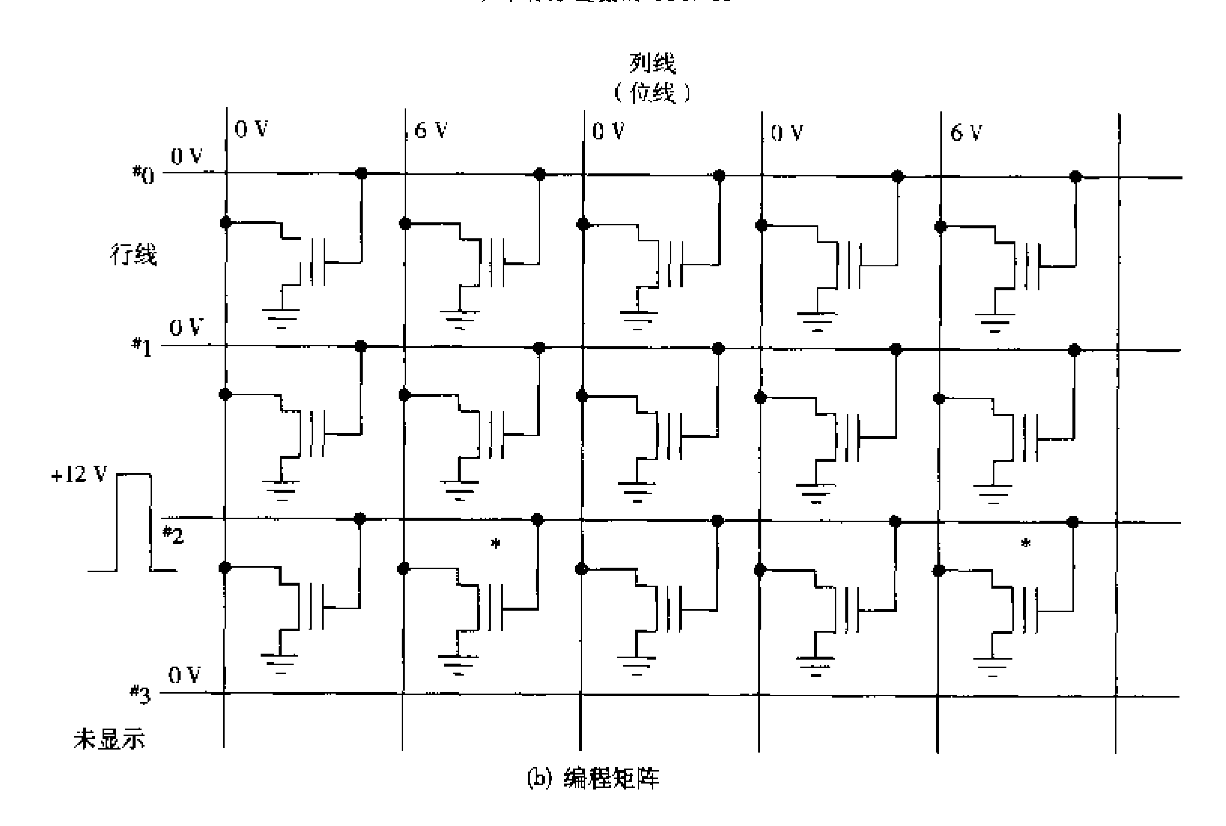
EPROM中的存储单元是由增强型绝缘栅场效应管（E-MOSFET）构成的，在它的控制栅和导电沟道间有一个特殊栅极，称为浮置栅，而浮置栅与控制极和导电沟道间是彼此绝缘的，其结构如图12.12(a)所示。

在E-MOSFET的栅－源之间加上电压，随着电压绝对值的增大，管子的漏－源极间形成导电沟道，管子就可以导通，此时所对应的栅－源电压称为阈值电压。如果浮置栅未注入电荷，则阈值电压远远小于5 V，一旦与之相连的行线被选中，管子导通，输出逻辑1。

对于如图12.12(b)所示的存储矩阵，在漏极上加+6 V的电压，同时在控制栅上加+12 V的编程脉冲，则会发生雪崩击穿，形成注入电流，而使相应存储单元的存储数据变为0，这个过程又称为热电子注入。这是由于在漏－源极间加上较高的电压后，将发生雪崩击穿现象；此时，在控制栅上加以高压正脉冲，则在栅极电场作用下，电子穿过二氧化硅层到达浮置栅而形成注入电荷。注入电荷后，为了形成导电沟道，必须在控制栅上加更高的电压，所以阈值电压大大提高，一般是V_{CC}的2到3倍，而行线电压不可能达到这么大，所以管子不能导通，输出值为逻辑0。图12.12(b)中第2行带有星号的存储单元，其存储内容为0，该行存储的数据是10110。在编程过程中所需要的高电压使得这类存储器的在电路（in-circuit）编程几乎不可能实现。



(a) 带有浮置栅的MOSFET



(b) 编程矩阵

图12.12 EPROM

把EPROM放在紫外线下，大约20分钟就可将芯片内容全部擦除。注入浮置栅的电子在紫外线的照射下会获得足够的能量而离开浮置栅，从而使所在存储器件导通，恢复为全1状态。

虽然这种EPROM实现了对ROM的擦除重写，但它也存在着一个问题，从而使其应用受到了限制。当用紫外线照射EPROM组件的石英窗口时，EPROM内存储的内容会全部被擦除，而如果只想改变EPROM内的部分内容显然不太方便。此外，要对EPROM进行擦除和再编程时，必须将芯片从整个电路中取出。

12.2.4 电可擦除可编程ROM

利用电可擦除可编程ROM可以克服EPROM上述的不足。电可擦除PROM（EEPROM，又称为E^2PROM）是一种静态存储器，其内部存储内容不易丢失。现代的EEPROM技术可以实现位、字节或整体数据内容的擦除，而且不需要从电路中取出芯片就可对其进行快速的擦除和写入操作。此外，它不需要专门的编程人员。

目前，对EEPROM的使用越来越广泛。EEPROM可用于计算机中取代DIP转换器和跳接器；在数据收集和保险系统中，其作用尤其显著；在远程控制、无绳电话、无线通信和摄像机中，利用EEPROM可以存储各种有用数据；EEPROM还广泛用于电话和门禁系统的代码的存储；另外，EEPROM在微处理系统中也发挥着越来越重要的作用。

EEPROM中存储单元的结构与EPROM略有不同，如图12.13所示。EEPROM采用的半导体器件是N沟道场效应管，内有浮置栅，这一点与EPROM类似。浮置栅通过二氧化硅层与管子的其他部分绝缘，在管子漏极的尾端和浮置栅之间是非常薄的隧道氧化物层。由于Fowler-Nordheim隧道效应，浮置栅可以收集或释放电子，这种量子力学效应只发生在浮置栅和漏极之间。浮置栅和漏极之间的这部分区域又称为隧道效应区。

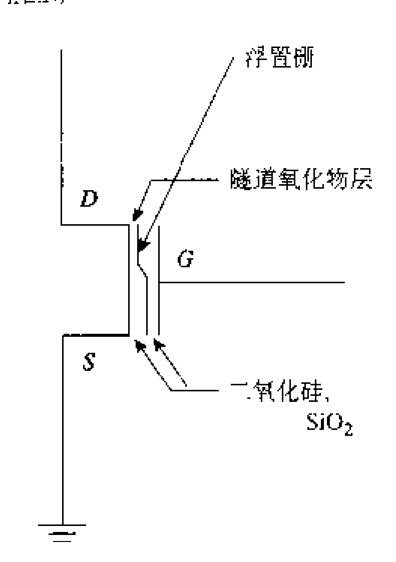


图12.13 EEPROM基本存储单元

图12.14(a)所示的是对存储单元进行的“写0”操作。从图中可观察到，E^2PROM的存储单元由两个晶体管构成，一个是普通的场效应管，另一个是双栅极介质的场效应管，与EPROM器件相比，它的集成度较低。被选中的列线与+19 V电源相接，选择线上加+21 V的电压，控制栅（即字线）接地，源极悬空。这样，浮置栅上的注入电子进入漏极而使管子导通，输出逻辑0。

图12.14(b)实现的是擦除操作。选择线上仍加+21 V的电压，源极悬空，但列线和字线的接法与“写0”操作正好相反，列线接地，而字线接+21 V电压。这样使电子由漏极经过隧道注入浮置

栅，导致FET导电沟道夹断、没有漏极电流流过，存储单元内的数据变为1。这种加电方法使浮置栅俘获电子，这些俘获电子可以将存储数据保存10年以上。

图12.14(c)所示的是如何对存储单元进行读操作。各端所加电压值如图所示。如果浮置栅上电荷为负，则晶体管截止，输出逻辑1；如果浮置栅上电荷为正，则管子导通，输出逻辑0。

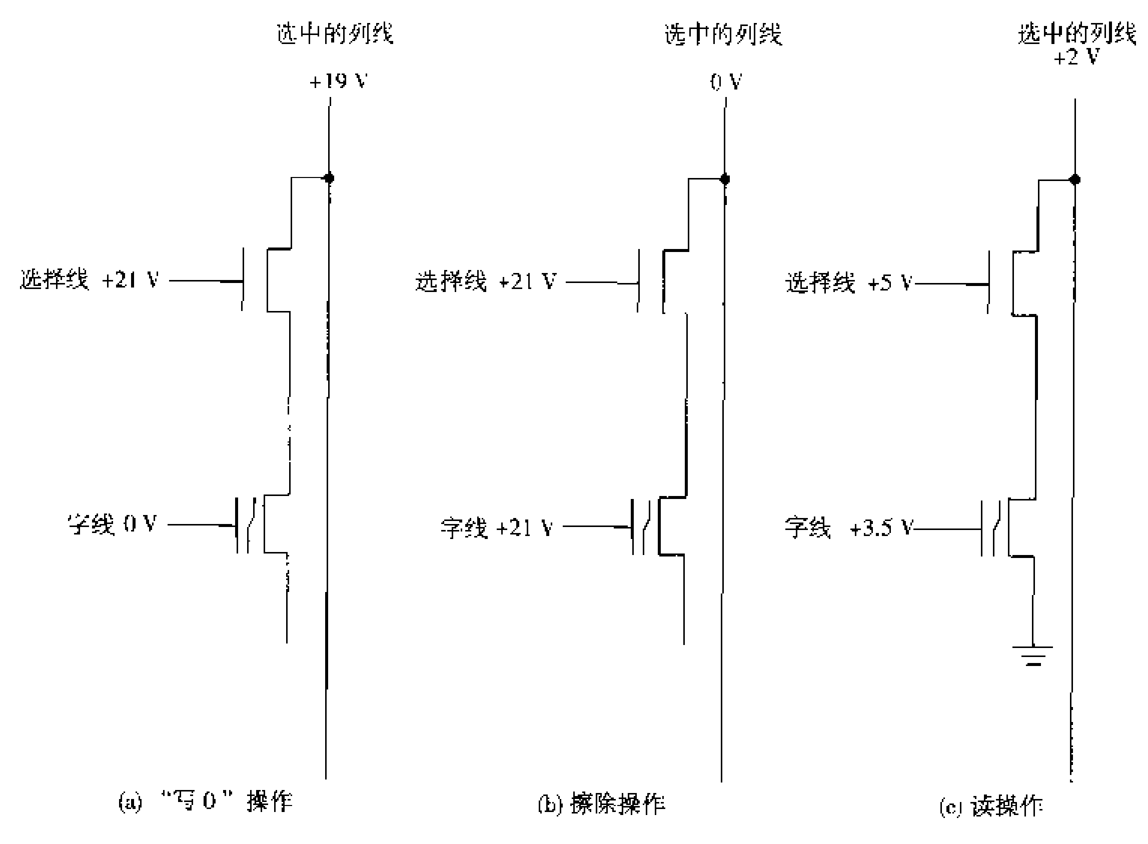
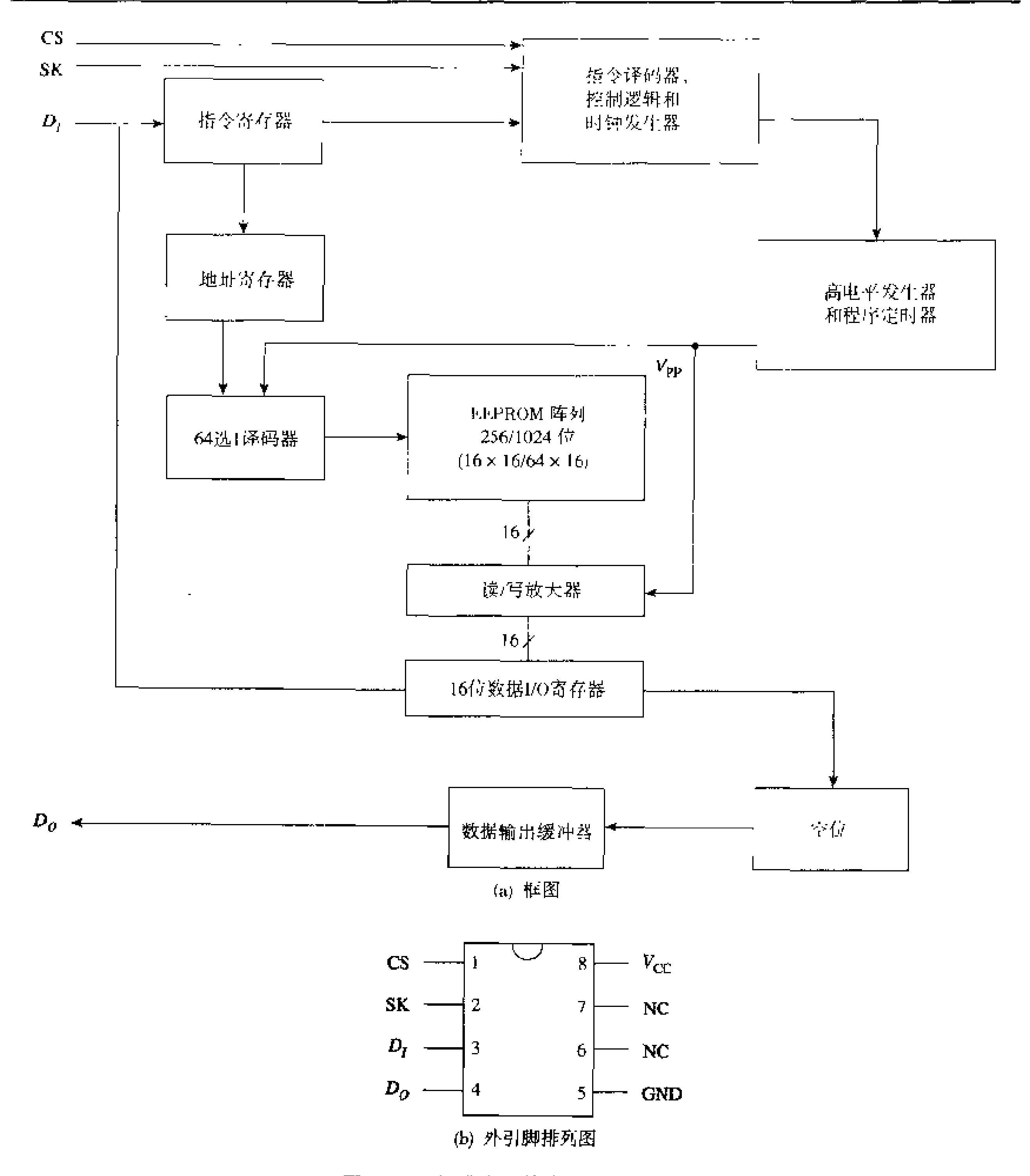


图 12.14 EEPROM存储单元

一个n位串行PROM集成电路通常有自己的指令集，包含寄存器、译码器以及控制电路等，可以实现下列功能①：

1. **读**：发出读指令后，在数据输出（D_O）引脚上串行输出相应数据。该引脚也用于在编程和擦除操作时监控存储器的状态。
2. **擦除**：该指令用于将指定地址的存储内容置位，即为逻辑1。
3. **擦除/写入允许指令**：给电路加电后，存储设备是不能进行擦除/写入操作的。只有发出擦除/写入允许指令后，系统才可执行所有的编程指令。
4. **写**：发出该指令后，16位数据依次送入数据输入（D_I）引脚。注意片选端（CS）一定要接地。
5. **全写**：将指令中指定的数据同时送入所有的16位寄存器中。
6. **擦除/写入禁止指令**：不允许对芯片编程，只能进行读操作。

① 这是以National Semiconductor公司的NMC93C06（256位）/NMC93C46（1 024位）EEPROM为例的，使用的是16位寄存器。图12.15(a)和(b)所示分别是它的框图和外引脚排列图，该芯片可以封装在8引脚的DIP内。



(a) 框图

(b) 外引脚排列图

图 12.15 标准半导体串行 EEPROM

E^2PROM最大的优势在于其编程的选择性。擦除或写入操作可以按位或字节进行，这样，当只需对程序进行部分变动时，节约了大量的时间和金钱。此外，直接在电路中即可完成对芯片的编程工作。大多数E^2PROM自身都带有电压发生器，为编程提供电源，可参见图12.15(a)。通常，E^2PROM可进行4万次擦除和再编程操作。

12.2.5 ROM 存取时间

ROM 存取时间（t_{ACC}）是指有效地址输入和有效数据输出之间的时间间隔，如图 12.16 的 ROM 时序图所示。

在 t_1 时刻 ROM 芯片的地址输入有效，t_2 时刻片选 $\overline{CE}$ 端加上有效电平。从 t_2 到 t_4 之间的时间间隔称为 CE 到输出延迟时间（t_{CE}），这是影响 ROM 工作效率的关键因素。

如果最大存取时间 t_{ACC} 为 100 ns，那么通常 t_{CE} 近似等于 t_{ACC}。所以，有效地址一旦建立，就要尽快在 $\overline{CE}$ 输入端加上有效电平。输出使能（$\overline{OE}$）到输出延迟时间（t_{OE}）不是关键因素。事实上，CE 有效后，延迟一段时间（t_{ACC}~t_{OE}）后，再使 $\overline{OE}$ 有效即可。这段延迟时间可以高达 t_{ACC} 的 50% ~ 60%，而不会影响 ROM 的读取速度。

t_{ACC} 实质上是从地址有效到 CE 有效之间的时间间隔（t_1~t_2）加上 CE 到输出延迟时间（t_2~t_4）。图 12.16 中还有一个比较重要的时间 t_{DF}，是指输出使能（$\overline{OE}$）高到输出不定之间的时间间隔。t_{DF} 实质上是 OE 无效到数据总线呈高阻态之间的时间间隔。

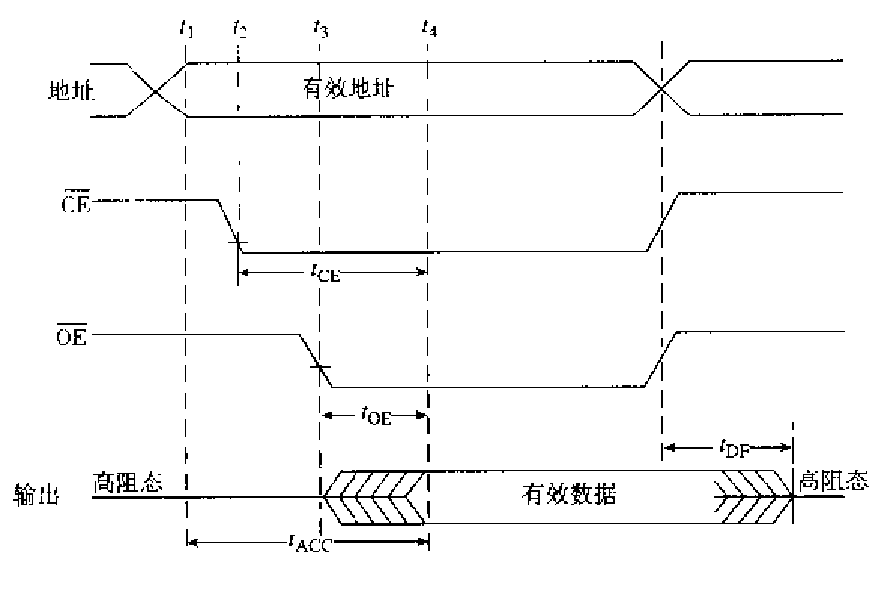


图 12.16 ROM 时序图

12.2.6 闪速存储器

可擦除 PROM 集成度高（16 K 到 4 M 位），存取速度比较快（t_{ACC} 典型值为 150 ns）。但是，它不能进行在电路擦除，擦除速度很慢（大约需要 20 分钟），并且会擦除所有的数据。此外，PROM 的编程需要专门的编程人员。

电可擦除 PROM 提供了在电路编程能力，但是它的集成度较低（256 到 4 K 位），由于数据是串行输出，所以读取速度很慢。EEPROM 的擦除和编程具有选择性，可按位或按字节进行，速度也较快。

闪速存储器是一种较理想的存储设备，它将 EPROM 的高集成度与 EEPROM 的在电路可编程性结合起来，从而使存储内容稳定、集成度高、存取速度快、具有可编程性且成本低。如果闪速存储器位于系统板上，用户可利用软件对其实现再编程（更新）。

目前，闪速存储器的存储容量分别有 1 M 位，4 M 位和 16 M 位几种。之所以具有这样高的集成度是由于闪速存储器的每个存储单元只使用一个晶体管，结构与 EPROM 类似。但是，闪速存储器中晶体管的基底与栅极之间的氧化物层非常薄，因而使其具有电可擦除性。

如果系统需要集成度高的存储器，但由于电源或重量问题不能支持磁盘驱动器，此时就可以使用闪速存储器。磁盘和硬盘驱动器的能耗比闪速存储器大，闪速存储器能耗大约为每小时0.05 W，而硬盘驱动器的能耗约为每小时1 W。此外，闪速存储器的存取速度快，存取时间在60 ns以内，每字节的写入时间约为10 μs，对于容量为64 KB的存储块，其块擦除时间为1.6 s。

根据编程和擦除的方式不同，闪速存储器可分为两类：NAND闪速存储器和NOR闪速存储器。每种存储器都可实现位对位编程。

NAND闪速存储器的编程和擦除操作都利用了Fowler–Nordheim（F–N）隧道效应，在EEPROM中也采用了F–N隧道效应技术。与NOR闪速存储器相比，NAND存储器的电流低（微安级），能耗低。此外，由于通道的隧道效应，栅极氧化物承受的压力较小。这样，NAND存储器使用寿命长，可实现百万次编程／擦除操作，而NOR存储器只能进行10万次。

NOR闪速存储器使用的是热电子注入（HEI）法（EPROM编程时也使用这种方法），电子由漏极注入浮置栅。HEI效应需要12 V电源，编程过程中电流（毫安级）比NAND大。利用HEI技术有实现单独字节编程的可能性，编程时间为10 μs/字节。在擦除周期中，NOR存储器利用的是F–N隧道效应。为了避免完全擦除，在擦除操作前要把所有内容置为1，这个额外的步骤使擦除周期延长了1 s。

目前，闪速存储器还不能实现对单个字节的擦除操作，只能实现块擦除。某些闪速存储器可以实现容量为4 KB的较小块擦除。

National Semiconductor的标准半导体器件NM29N16是16M位的CMOS NAND闪速E²PROM，其体系结构如图12.17所示。图中的闪速存储器由512个块组成，而每个块又包含16页，每页存储器的容量为264字节，其中有8个附加字节用于冗余码或错误码的纠错。所以该闪速存储器的总存储容量为264字节 × 16页 × 512块 = 2 162 688字节（17 301 504位）。

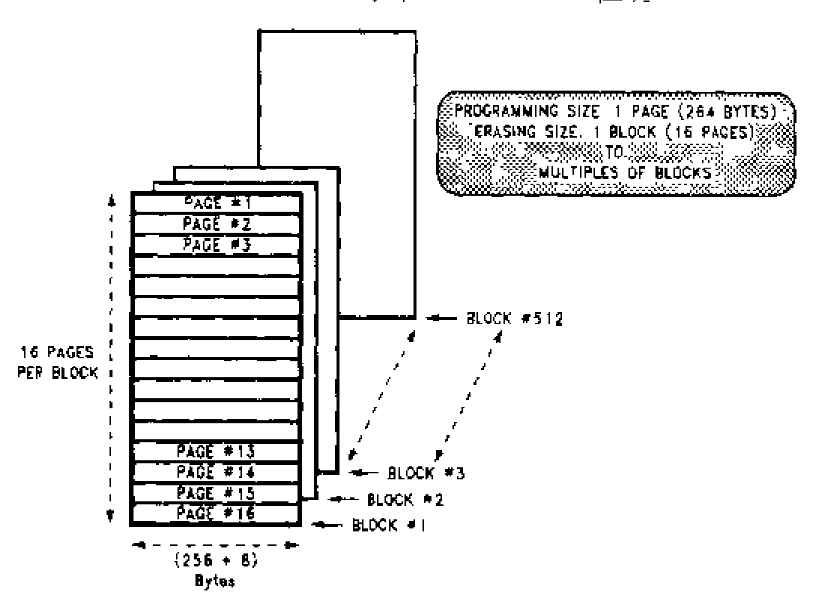
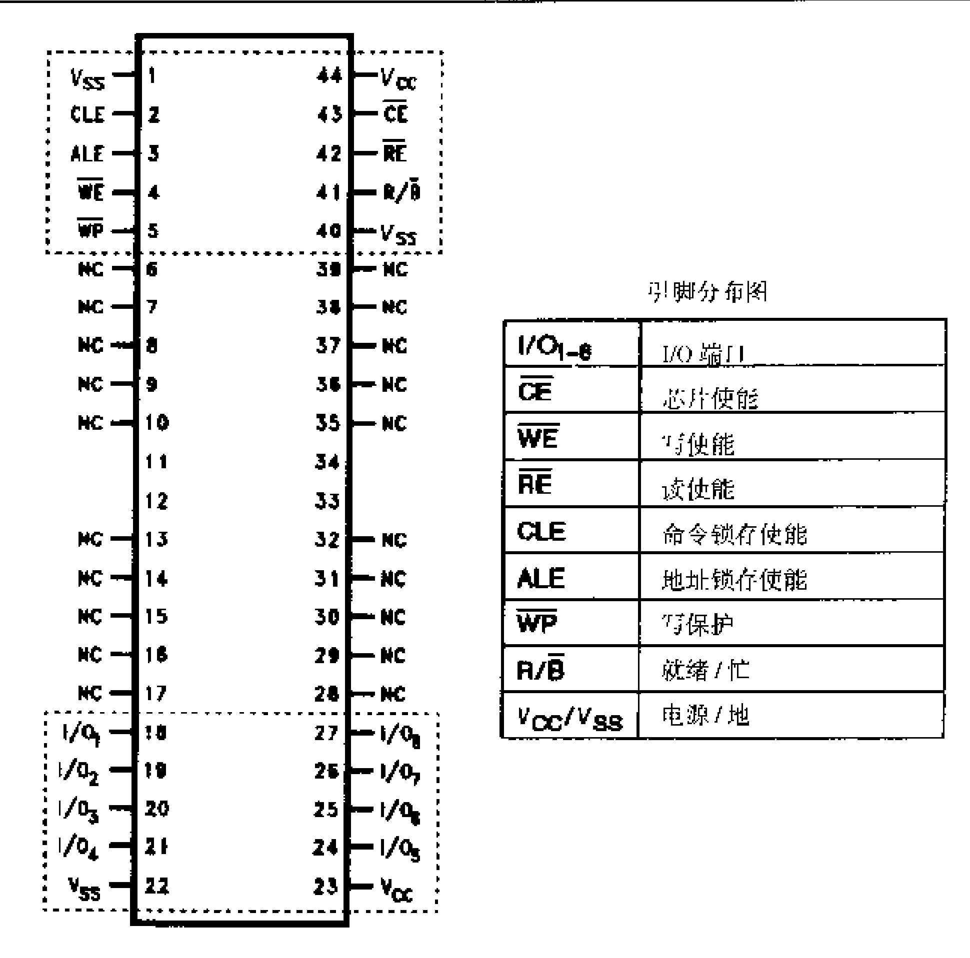


图12.17 闪速存储器体系结构图

每一块存储器（16页）能存储4 KB的数据。"块"是该存储设备实现擦除操作的最小单位，而读和编程操作可以对页进行。典型块擦除时间为6 ms，顺序读取时间为80 ns，而平均编程时间是300 μs/页。

NM29N16封装在小型的薄塑料封装（TSOP）内，它的外引脚排列如图12.18所示。在外引脚中没有专门的地址输入端，所有数据和指令的输入输出都使用I/O引脚。该存储设备支持3种操作模式：读、编程（写）和擦除。它的内部结构组成框图如图12.19所示。



引脚分布图

I/O_{1-8}	I/O 端口
$\overline{CE}$	芯片使能
$\overline{WE}$	写使能
$\overline{RE}$	读使能
CLE	命令锁存使能
ALE	地址锁存使能
$\overline{WP}$	写保护
$R/\overline{B}$	就绪/忙
V_{CC}/V_{SS}	电源/地

图 12.18　NM29N16 闪速存储器外引脚排列图

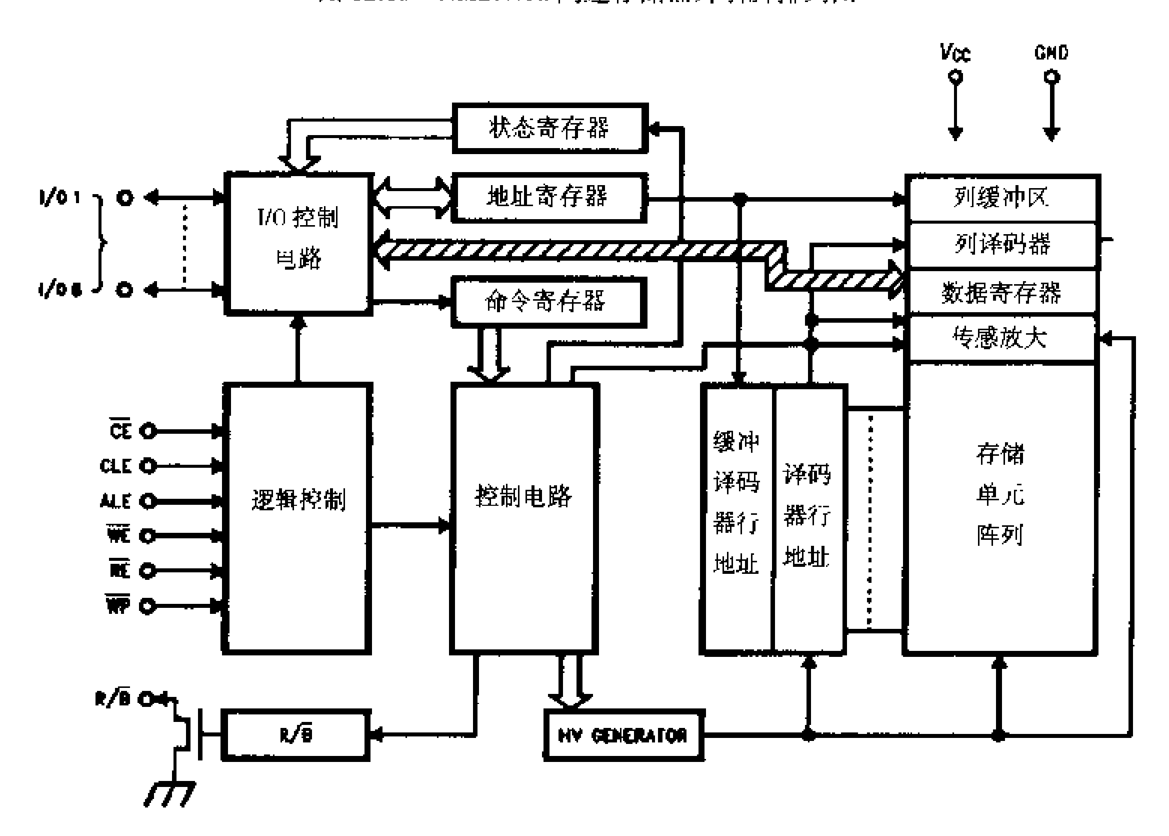


图 12.19　NM29N16 闪速存储器方框图

深入分析操作过程

读模式 NM29N16提供了5种模式的读操作（见表12.3）。指令代码写入指令寄存器中，用以控制芯片的各项操作。下面总结一下几种主要的读模式操作：

向指令寄存器中写入00_{16}及相应地址，即可执行读模式（1）。根据输入的地址，指针指向相应的存储页并将其中数据传送到缓冲器中（$\overline{\text{WE}}=1$）。当RE端连续送入读脉冲时，数据顺序按字节读出。读模式（2）从选中的存储页中读取其附加8个字节的内容。

编程模式 向存储器中送入指令代码80_{16}及相应操作地址，即可自动执行编程操作。数据由最低字节开始，顺序由I/O端写入。然后，写入指令代码10_{16}，编程操作开始执行。等待/忙（R/B）输出端用以指示设备的工作状态。如果正在编程，则输出为低电平（忙）。编程完成后，输出变为1。一旦返回高电平，可用输入状态，读指令代码70_{16}来验证程序。

擦除模式 NM29N16支持两种擦除模式：自动块擦除和自动多块擦除。向系统中送入指令代码60_{16}及相应操作地址，即可开始执行自动块擦除。为了防止错误擦除，地址后还要加一确认码$D0_{16}$，才可以实现擦除操作。自动多块擦除指令的执行过程与块擦除类似，在指令代码60_{16}后输入相应操作地址，当所有要擦除的块地址输入完后，再送入确认码。擦除完成后，可输入指令代码70_{16}来检验擦除操作是否正确执行。

表12.3 NM29N16闪速存储器的指令模式

模式	第一指令代码	第二指令代码	“忙”时是否接收新指令
串行数据输入	80		
读模式（1）	00		
读模式（2）	50		
复位	FF		Yes
自动编程	10		
自动块擦除	60	D0	
自动多块擦除	60…60	D0	
擦除暂停	B0		Yes
继续执行	D0		
状态读取	70		Yes
寄存器读取	E0		
ID读取	90		

12.2 节复习题

A. ROM是__________。

(1) 易失性的 (2) 非易失性的

B. ROM是随机访问只读存储器。

(1) 对 (2) 错

C. 列举ROM的4种类型。

D. 哪种类型的ROM只能进行一次编程？

E. 哪种类型的ROM适合于大批量生产？

F. 哪种类型的ROM需要专门的编程人员，且其编程过程需要熔断选中的熔丝连接？

G. 哪种类型的ROM需要利用紫外线擦除其中存储的内容？

H. 什么是存储器存取时间?

I. 说明下列各名词的含义或作用。

(1) CS (2) $\overline{OE}$ (3) $\overline{WE}$ (4) RD/$\overline{WE}$

(5) 一次编程 (6) PROM 熔固

J. 哪种类型的存储器将 EPROM 的高集成度和 EEPROM 的在电路编程性相结合?

K. 闪速存储器可以实现对位或字节的擦除操作 ______。

(1) 对 (2) 错

阶段性小结（12.1 节 ~ 12.2 节）

主存储器包括半导体存储器 ROM 和 RAM。这类存储器的存取速度快，但存储容量有限。辅助存储器的存储容量很大，但存储速度较慢。这种大容量存储器包括磁带、硬盘和软盘。

为了实现各种通信功能，计算机采用了三总线结构：地址总线、数据总线和控制总线。

只读存储器（ROM）是随机访问只读存储器，存储内容不易丢失。随机存取存储器（RAM）是随机访问读/写存储器，存储内容易丢失。

不同的存储器芯片具有不同的存储容量和封装。存储容量为256 × 8的存储器芯片，内部有256个字单元，每一个字单元由8个存储单元构成。该芯片需要8个地址输入引脚和8个数据输出引脚。

ROM 用于稳定数据的长久保存。掩膜ROM 的存储内容是由制造商写入的，并且不能更改。可编程 ROM 可以由用户编程，但要使用专用 PROM 熔固器。熔丝熔断后，存储内容写入完成，该过程不可逆，因此 PROM 又称一次可编程 ROM。可擦除 PROM 可由用户编程，但擦除操作需由紫外线照射才可完成。擦除操作中的主要问题是擦除程序的时间长，并且所有存储内容都被擦掉，需要全部进行再编程。电可擦除 PROM 可由用户编程，并且擦除和编程操作可以有选择地进行。

闪速存储器具有存储内容不易失、集成度高、速度快和成本低等特点，通常可分为两类：NAND 闪速存储器和 NOR 闪速存储器。它的内部结构由很多块组成，而每一块又包含若干页。目前，只能实现对闪速存储器的块擦除。

阶段性练习（12.1 节 ~ 12.2 节）

1. RAM 和 ROM 是哪种存储器?

   a. 主存储器 b. 辅助存储器

2. 固件是__________。

   a. 软件 b. 硬件 c. 硬件与其中软件的统称

3. __________总线是单向总线。

   a. 数据 b. 控制 c. 地址 d. 硬件

4. $\overline{MEMWR}$ 是__________有效信号。

   a. 低电平 b. 高电平

5. RAM 是__________存储器。

   a. 易失性 b. 非易失性

6. 存储容量为 2 K × 8 的存储器芯片包含__________个地址输入引脚。

   a. 2 b. 8 c. 10 d. 11

7. 存储容量为 2 K × 8 的存储器芯片包含__________个数据输出引脚。

   a. 2 b. 8 c. 10 d. 11

8. 存储容量为2K×8的存储器芯片包含_______个字单元。

a. 1 024　b. 2 048　c. 4 096　d. 16 384

9. 存储容量为2K×8的存储器芯片能存储_______个字节数据

a. 1 024　b. 2 048　c. 4 096　d. 16 384

10. 对容量为512K×1的存储器进行编址需要多少个地址位?

a. 1　b. 16　c. 19　d. 512

11. 将系统中多个设备连接起来的导线或一组导线称为_______

a. 总线　b. 单元　c. I/O端口　d. 总线周期

12. 哪种ROM可由用户编程?

a. PROM　b. EPROM　c. EEPROM　d. 前三种都包括在内

13. 掩膜ROM用于小批量生产时成本很高

a. 对　b. 错

14. 计算机中的BIOS程序应存储在_______中。

a. RAM　b. ROM

15. 哪种ROM具有一次可编程性?

a. PROM　b. EPROM　c. UVPROM　d. EEPROM

16. 图12.20所示的存储器是RAM还是ROM?

a. RAM　b. ROM

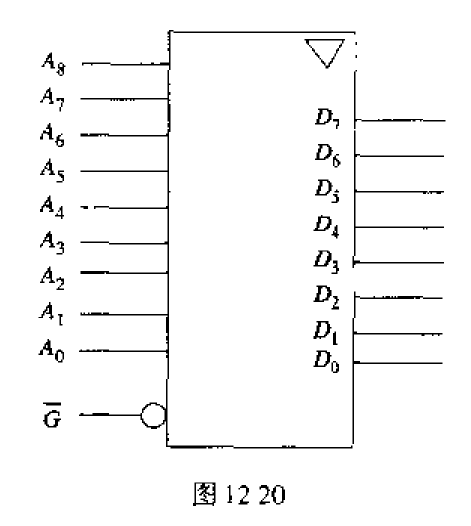


图12.20

17. 图12.20所示的存储器包含多少个字单元?

a. 128　b. 256　c. 512　d. 1 024

18. 图12.20所示的存储器中每个字单元包含多少个存储单元?

a. 8　b. 9　c. 16　d. 512

19. 图12.20所示存储器的存储容量为多少字节?

a. 9　b. 256　c. 512　d. 1 024

20. 图12.20所示存储器的存储容量为多少位?

a. 9　b. 512　c. 1 024　d. 4 096

21. 一个存储单元内可存放几位数据?

a. 1　b. 2　c. 4　d. 8

22. 下列几种存储器中，哪种存储器的擦除时间最短？
    a. PROM　　b. EPROM　　c. 闪速存储器
23. 闪速存储器采用了_________的在电路编程技术。
    a. MROM　　b. PROM　　c. EPROM　　d. EEPROM
24. 闪速存储器利用了_________的集成度高的特性。
    a. MROM　　b. PROM　　c. EPROM　　d. EEPROM

12.3　随机存取存储器

要点

1. 识别不同类型的随机存取存储器。
2. 介绍与随机存取存储器相关的术语。
3. 比较SRAM、DRAM和PSRAM的优缺点及特性；比较RAM和ROM的技术特点。
4. DRAM刷新的目的。

随机存取存储器（RAM）的发展是与计算机的发展并行的。事实上，RAM的发展是计算机发展的一个组成部分，工业的发展已经在很大程度上满足了对高集成度、高速度半导体存储器的需求。RAM中存储的数据易丢失，所以只用于数据的短时存放，又称为高速暂存存储器。

本节重点讨论三种类型的RAM：静态RAM（SRAM）、动态RAM（DRAM）和伪静态RAM（PSRAM），并介绍各种类型RAM的特点及使用。

12.3.1　静态RAM

静态RAM（SRAM）可以定义为随机存取、易失性存储器，只要加有电源电压，就可以保持内部存储的数据。SRAM内部每一个触发器构成一个存储单元。根据不同的制造工艺和使用器件，SRAM又可分为NMOS，CMOS，BICMOS，HMOS，TTL和ECL等几类，存取时间通常在10 ns至150 ns之间不等。

图12.21所示是由6个晶体管构成的静态RAM存储单元。NMOS晶体管Q_1和Q_2形成触发器存储装置；Q_3和Q_4是门控晶体管，用以控制读/写操作；而Q_5和Q_6是负载。详细操作过程可参阅下面的扩展内容。

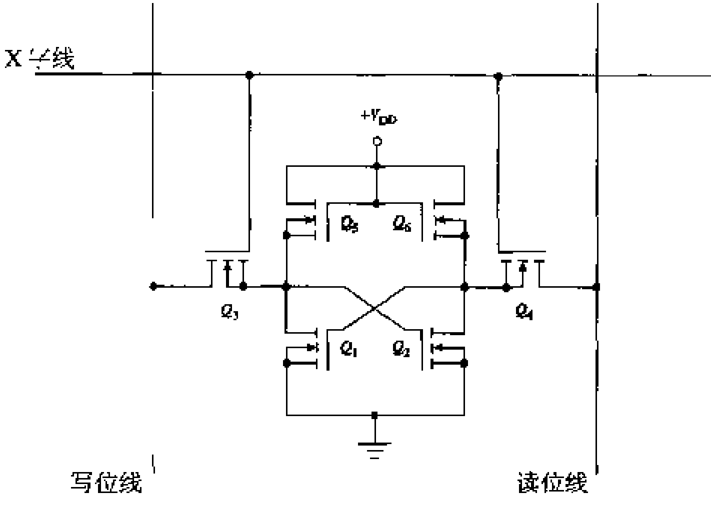


图12.21　NMOS SRAM存储单元

给图12.21存储单元的列线加上读/写控制电路就得到了图12.22。此图中，MOSFET是采用常规逻辑符号表示的。

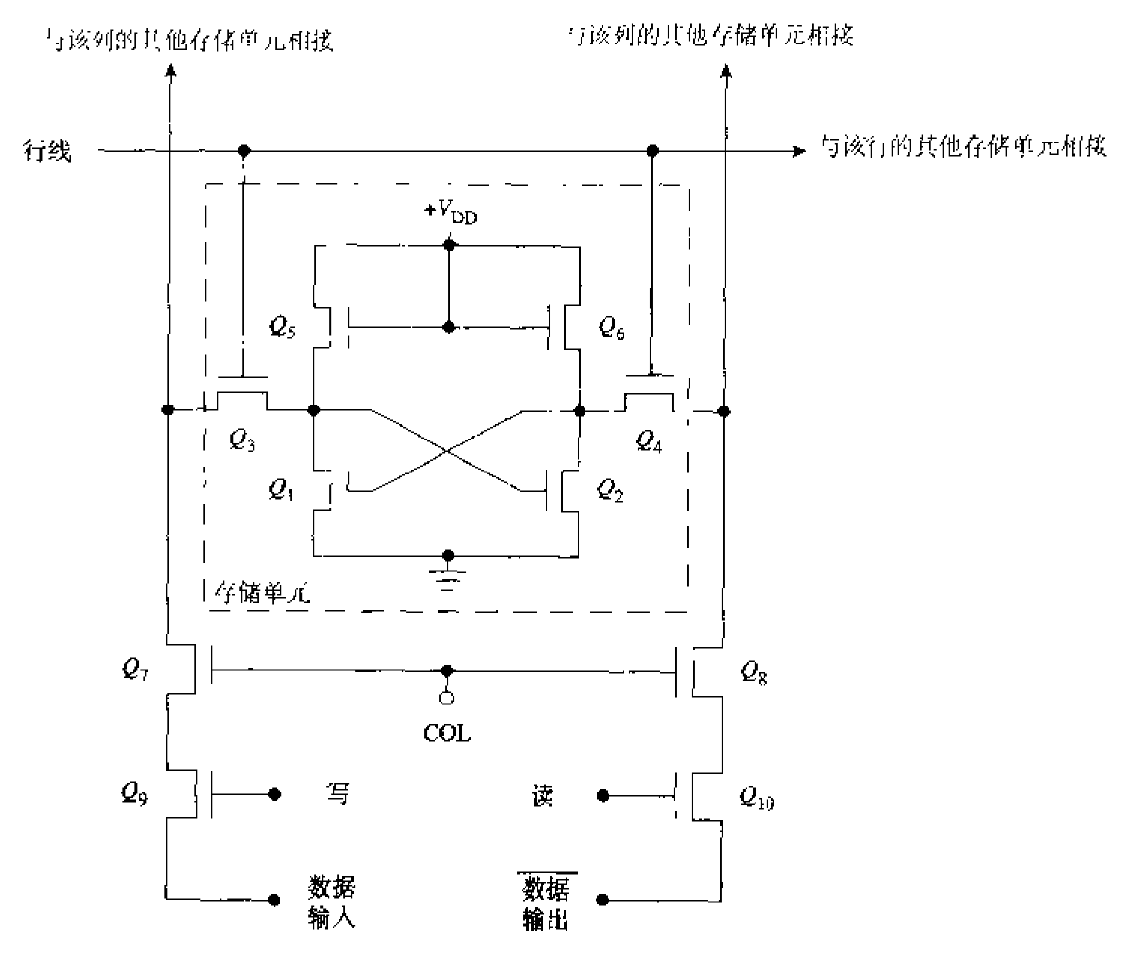


图12.22 带有读/写电路的NMOS SRAM存储单元

图12.22中，Q_3和Q_4是门控管，作为模拟开关使用，以控制触发器的输出端与列线（位线）之间的联系，它们的开关状态由行线（字线）状态决定。当行线所加为高电平时，Q_3和Q_4导通，从而使存储单元与外部的读/写控制电路连接。如果列线控制端（COL）外加高电平，当WRITE输入端也为高电平时，允许数据输入，使触发器相应置位或清零，实现数据存储。无论是行线还是列线控制端的状态，都是由存储器的地址输入决定的。当列线控制端为高电平时，Q_7和Q_8都导通，当WRITE = 1时，READ = 0且Q_{10}截止。反之，当列线控制端为高电平，且READ为1时，就可以读出相应存储单元内的存储内容，不过读出的是原数据的反码。实现数据存储的方法很多，除了静态RAM之外，大多数存储方法与图12.22类似。

深入分析NMOS SRAM存储单元的操作过程

图12.21中，如果给行线加上高电平，则存储单元中的触发器与列线接通，Q_3和Q_4导通。假如初始状态是触发器Q_1导通，Q_2截止，此时将写位线置1。因为Q_3导通，所以Q_2栅极为高电平，导致Q_2导通，其漏极电位（V_{DS}）迅速下降，从而使Q_1截止。这样又引起Q_1的漏极电位上升，保证Q_2始终导通。因此，该过程的结果是Q_2饱和导通，而Q_1截止。

读位线（数据输出）通过门控晶体管Q_4与Q_2的漏极相接。因为Q_2饱和导通，所以输出值为逻辑0。输出值是实际写入数据的反码，必须对它取反后，才是真实的存储内容。

12.3.2 256 K × 1 SRAM

图12.23所示的是存储容量为256 K × 1 SRAM的方框图和逻辑符号。图中共有18根地址线（2^{18} = 262 144，而262 144 ÷ 1024 = 256 K），存储单元排列成256 × 1 024的矩阵。行地址译码器是256选1译码器，用于根据输入地址选中相应的行线，而列地址译码器与I/O电路用以确定相应的列线。字线与列线的交叉点就是与输入地址相对应的存储单元。因为这是一块256 K × 1 RAM，所以每对应一个输入地址只有一个存储单元被选中。

行地址为8位，分别是A_0~A_4和A_{15}~A_{17}，列地址为10位，即A_5~A_{14}，表12.4是该存储器的部分地址。地址的低5位与存储器中0~31号行线相对应，第32，64、128和255行的行地址也在表中列出，列地址未明确给出。

表12.4 256 K × 1 SRAM 地址分配

（行地址）			（列地址）										（行地址）				
A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
0	0	0	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0 = 0行
0	0	0	X	X	X	X	X	X	X	X	X	X	0	0	0	0	1 = 1行
0	0	0	X	X	X	X	X	X	X	X	X	X	1	0	0	0	0 = 16行
0	0	0	X	X	X	X	X	X	X	X	X	X	1	1	1	1	1 = 31行
0	0	1	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0 = 32行
0	1	0	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0 = 64行
1	0	0	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0 = 128行
1	1	1	X	X	X	X	X	X	X	X	X	X	1	1	1	1	1 = 255行
			1023……0														0行
			2047……1024														1行
			17 407……16 384														16行
			32 767……31 744														31行
			33 791……32 768														32行
			66 559……65 536														64行
			132 095……131 072														128行
			262 143……261 120														255行

行线0上的存储单元地址是$0\sim1023_{(10)}$，行线1上的存储单元地址是$1024\sim2047_{(10)}$，以此类推，行线255上的存储单元地址是$261120\sim262143_{(10)}$。怎样对存储器进行编址以及如何确定其地址范围将在12.4节中讨论。

图12.23(a)的存储器芯片包含两个双控数据缓冲器。如果$\overline{CS}$ = 1，经过非门反相后，它的低电平输出被送到数据输入缓冲器（D_{IN}）和数据输出缓冲器（D_{OUT}）的控制输入端，而D_{IN}和D_{OUT}的控制输入都是高电平有效，所以存储器芯片与数据总线隔离，处于高阻态。如果未被选中，存储器芯片就恢复到备用态，这样电源供应的电流（I_{CC}）随之减小、从而使能耗降到最小。

当$\overline{CS}$ = 0时，可对图12.23(a)所示存储器进行读写操作，这一点同前面介绍的只读存储器是有区别的。当$\overline{CS}$ = 0且$\overline{WE}$ = 0时，可对选中的地址单元进行写操作，$\overline{CS}$信号取反后送到行地址译码器的输入控制端，使行地址译码器开始工作；$\overline{CS}$和$\overline{WE}$信号反相后同时被送到D_{IN}缓冲器的输入控制端，使该缓冲器处于工作状态；另一方面，反相后的这两个信号经过与非门，得到一个低电平输出信号，该信号送到D_{OUT}缓冲器后使该缓冲器禁止。

当$\overline{CS}$ = 0且$\overline{WE}$ = 1时，数据可以从D_{OUT}缓冲器读出。反相后的$\overline{CS}$信号和与非门输出的高电平信号同时送到D_{OUT}缓冲器的输入控制端，使该缓冲器处于工作状态。有关该芯片的操作状态列于表12.5中。

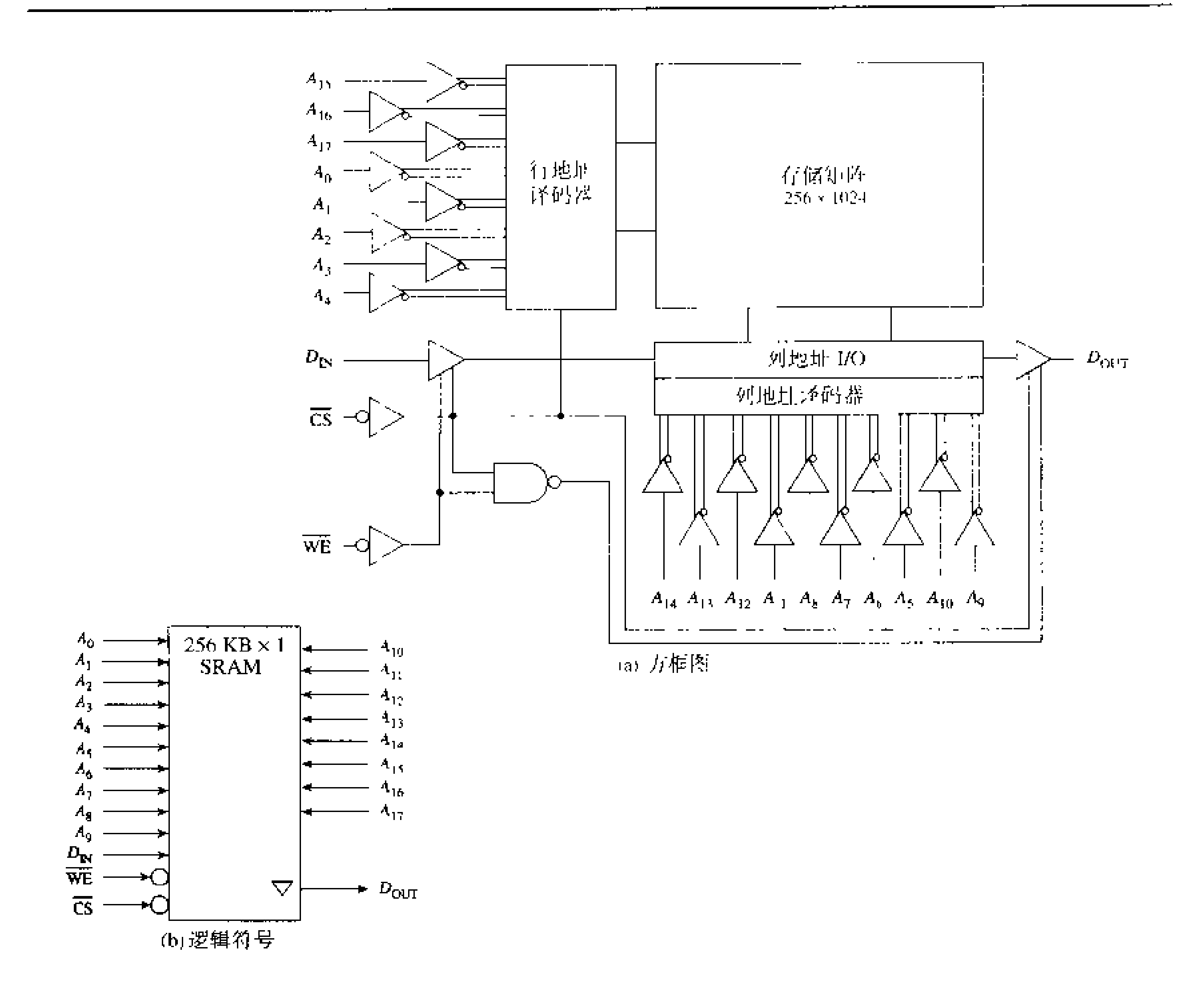


图 12.23 256 K × 1 SRAM

表 12.5 256 K × 1 SRAM 功能表

$\overline{CS}$	$\overline{WE}$	数据输出	功能
1	X	高阻态	芯片未被选中
0	1	D_{OUT}	读周期
0	0	高阻态	写周期

图 12.24 所示的是另一种标准存储器集成电路，该芯片是存储容量为 1 K × 4 的 SRAM。数据的输入和输出共用同一引脚，从而有效减小了芯片的尺寸。

当 $\overline{CS}$ 和 $\overline{WE}$ 都为低电平时，存储器处于写周期，数据输入缓冲器为工作态，同时数据输出缓冲器为禁止态。而当 $\overline{CS} = 0$ 且 $\overline{WE} = 1$ 时，存储器处于读周期，数据输出缓冲器为工作态，数据输入缓冲器为禁止态。

12.3.3 SRAM 的时序

图 12.25(a)和(b)所示为SRAM的读周期（t_{RC}）时序图，两组不同的时序代表不同条件下的读操作。

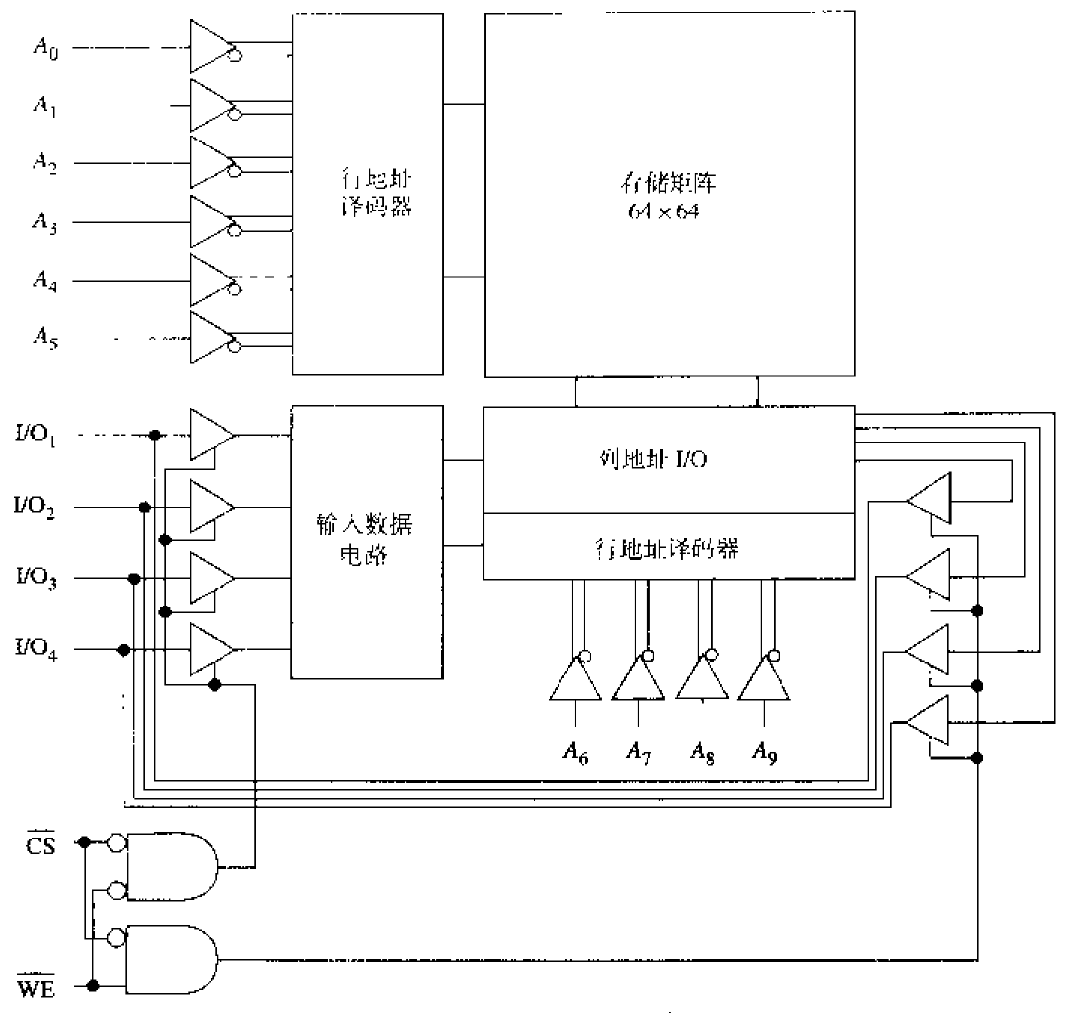


图 12.24　1 K × 4 SRAM 方框图

读周期——设备被持续选中

芯片被持续选中时，读周期时序如图 12.25(a)所示。如果 $\overline{CS}$ 有效先于地址有效，该时序也适用。t_{OH} 是输出数据保持时间，表示地址改变后数据仍能保持的时间，这一时间段的数据是前一读周期的输出数据；t_{ACC} 是读取时间，表示从地址输入有效开始，到有效数据输出之间的时间间隔。数据输出时序图中的阴影部分表示数据正在变化，处于非稳态中。因为存储器被持续选中，所以图中没有出现高阻态，只有在输入 $\overline{OE}=0$，芯片未选中或输出缓冲器处于禁止态时，输出才呈高阻态。该时序图中没有画出芯片的 $\overline{OE}$ 输入的波形。

读周期——地址有效先于 $\overline{CS}$ 端输入有效或同时有效

图 12.25(b)所示是当地址有效先于 $\overline{CS}$ 端输入有效时的读周期时序图。当 $\overline{CS}$ 端刚加上有效信号时，数据输出端呈高阻态。t_{LZ} 是从片选有效到启动输出缓冲器所需要的时间；t_{ACS} 是读取时间，表示从片选有效到输出有效数据之间的时间间隔；从芯片撤销选定（$\overline{CS}=1$），到输出回到高阻态所需要的时间用 t_{HZ} 表示。

使芯片处于备用态可以减少功耗，如图 12.25(b)中 I_{CC} 所示（I_{CC} 是电源输出电流）。从芯片选定到 I_{CC} 增加所需要的时间是 t_{PU}，而从撤消芯片选中到 I_{CC} 降低所需的时间用 t_{PD} 表示。

针对不同的芯片制造技术，上面所讨论的各种时间长短是不一样的。图 12.26(a)和(b)所示是不同情况下的写周期（t_{WC}）时序图。图 12.26(a)中的时序图是由片选信号控制的，而图 12.26(b)中的时序图是由写使能信号控制的。

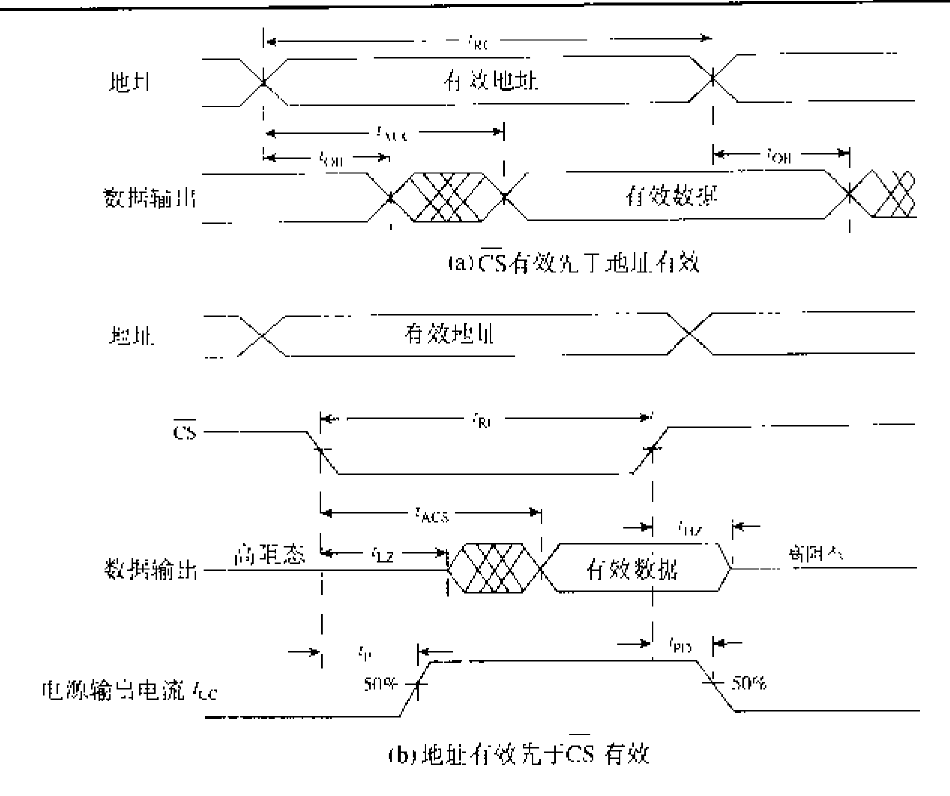


图12.25 SRAM读周期时序图

写周期——由片选信号控制

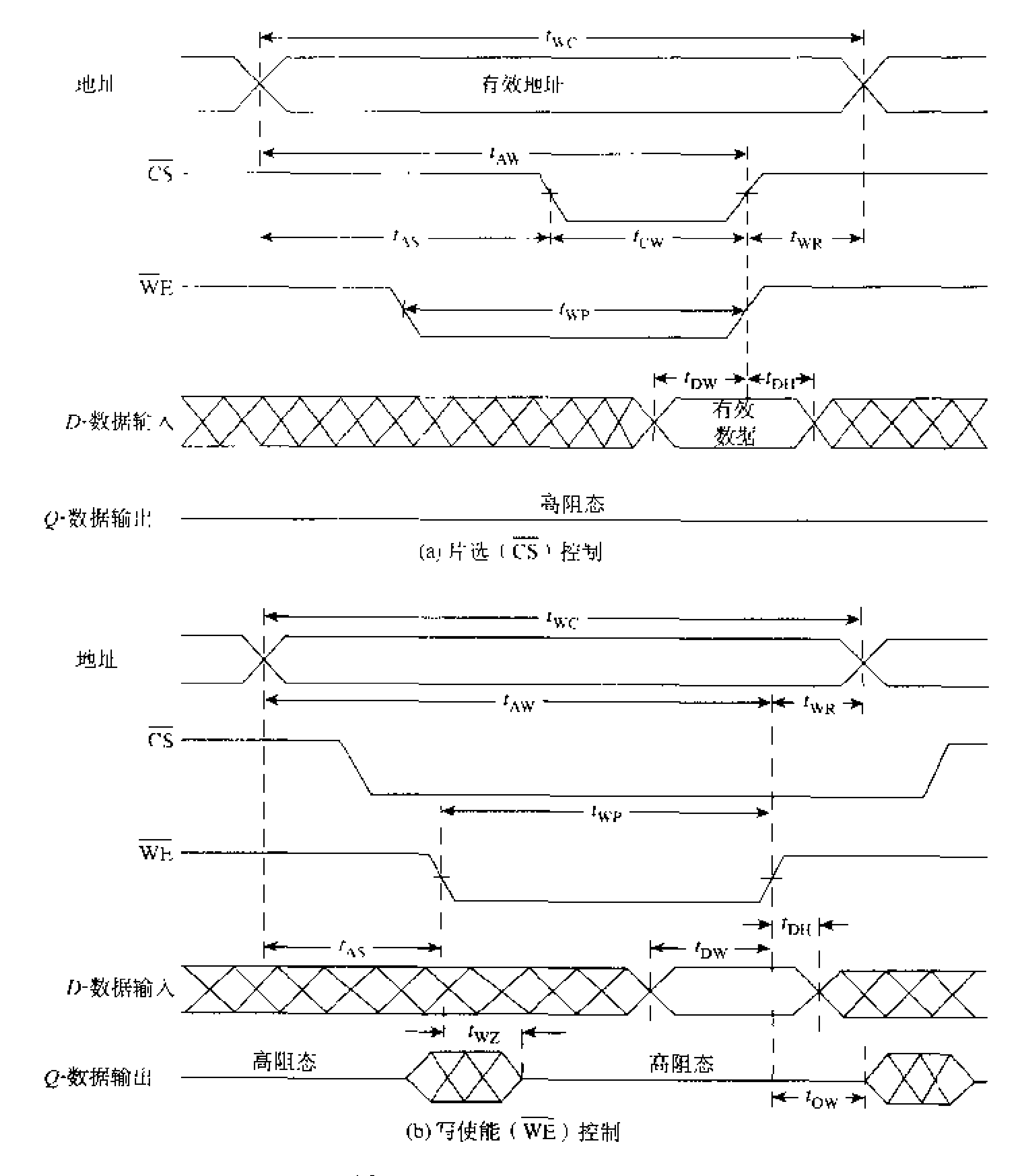
若写使能信号有效先于片选信号有效，就会得到如图12.26(a)所示的写周期时序图。只有当CS = 0 且 $\overline{WE}$ = 0 同时满足时才开始写周期。在整个写周期中，Q（数据输出）呈高阻态。

写周期——由写使能信号控制

若片选信号有效先于写使能信号有效，所得时序如图12.26(b)所示。其时间定义可参考表12.6。

表12.6 读/写周期时间参数

周期	符号	参数	典型时间
读	t_{RC}	读周期	35 ns（最小值）
	t_{ACC}	读取时间，地址有效到输出有效之间的时间	35 ns（最大值）
	t_{OH}	输出数据保持时间	4 ns（最小值）
	t_{ACS}	读取时间，片选到输出有效之间的时间	35 ns（最大值）
	t_{LZ}	片选到输出缓冲器开始工作之间的时间	0 ns（最小值）
	t_{HZ}	断开片选到输出回到高阻态之间的时间	10 ns（最大值）
	t_{PU}	片选到电源供给之间的时间	0 ns（最小值）
	t_{PD}	断开片选到电源切断之间的时间	35 ns（最大值）
写	t_{WC}	写周期时间	35 ns（最小值）
	t_{AW}	地址有效到 $\overline{WE}$ 无效之间的时间	20 ns（最小值）
	t_{AS}	地址建立时间	0 ns（最小值）
	t_{CW}	片选到 $\overline{WE}$ 无效之间的时间	15 ns（最小值）
	t_{WR}	写恢复时间	0 ns（最小值）
	t_{WP}	写脉冲宽度	20 ns（最小值）
	t_{DW}	数据有效到 $\overline{WE}$ 无效之间的时间	10 ns（最小值）
	t_{DH}	数据保持时间	0 ns（最小值）
	t_{WZ}	$\overline{WE}$ 有效到输出高阻态之间的时间	10 ns（最大值）
	t_{OW}	$\overline{WE}$ 无效到输出缓冲器开始工作之间的时间	4ns（最小值）



(a) 片选（$\overline{CS}$）控制

(b) 写使能（$\overline{WE}$）控制

图 12.26 SRAM 写周期时序图

12.3.4 动态 RAM

动态 RAM（DRAM）的存储单元是由晶体管和电容构成的，这样的简单构成使得 DRAM 具有高集成度和低成本的特点。

图 12.27 所示是 DRAM 的存储单元，它利用电容的充放电来存储逻辑值 0 或 1，而其中的晶体管作为模拟开关，来控制电容的充放电。因为电容的容量很小，又存在漏电流，所以电荷的存储时间有限，只有几毫秒。为了及时补充泄漏的电荷以避免存储的信号丢失，必须定时给电容补充电荷，通常把这种操作称为刷新或再生。

通过访问存储矩阵的行线可以完成刷新，有时，还可以同时对两根行线进行刷新。访问行线时（见图 12.27），对该行线上的每一个电容进行再充电，以得到它的初始值。要完成刷新操作，应将地址行（字线）与字线驱动器连接，这样，模拟开关导通，从而使电容与列线（位线）相连；利用

检测放大器可以检测存储的数值。如果存储值为1，则对电容进行再充电（刷新）。刷新时间取决于刷新技术和存储器的容量，通常在2 ms到32 ms之间。

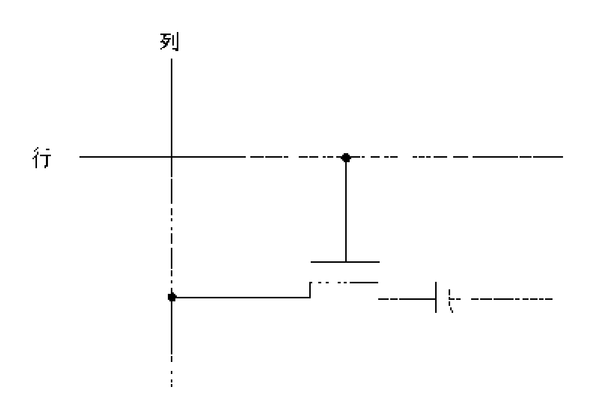
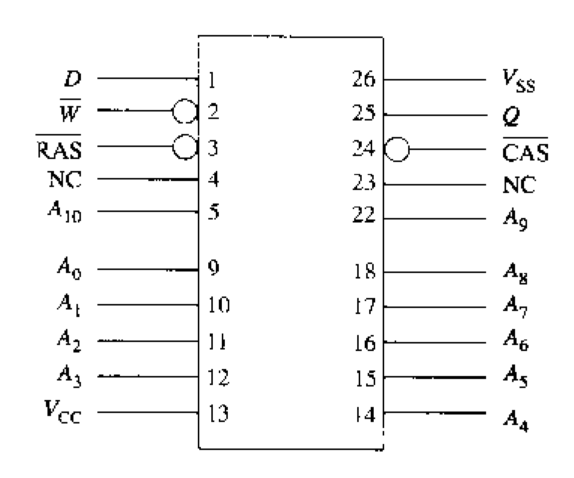


图12.27 DRAM存储单元

虽然DRAM存储单元的电路结构比较简单，但工作时必须辅以比较复杂的刷新电路；同时由于刷新占用了时间，因而减少了进行读/写等有效操作的时间。

DRAM的高集成度会导致另一个问题：编址问题。如图12.28所示是一个存储容量为4 M × 1 DRAM芯片的外部引脚图，它需要有22根地址线，图中只列出了20个引脚。



DRAM引脚

D	数据输入
Q	数据输出
$\overline{W}$	读/写输入
$\overline{RAS}$	行地址选通
$\overline{CAS}$	列地址选通
A_0~A_{10}	地址输入
V_{CC}	电源
V_{SS}	接地
NC	不连接

图12.28 4 M × 1 DRAM的外部引脚图

所有的DRAM芯片都应包含下列引脚：(1)数据输入，(2)数据输出，(3)读写控制，(4)$\overline{RAS}$，(5)$\overline{CAS}$（$\overline{RAS}$和$\overline{CAS}$用于刷新操作），(6)V_{CC}，(7)V_{SS}（地）。所以，除了地址端外，DRAM芯片至少要包含7个

引脚。如果有22根地址线，那么存储器芯片共需要29个引脚与外界联系，这样使得DRAM芯片体积增大，占用系统板的有效面积也随之增大。

为了克服这个问题，DRAM芯片通常采用多路技术实现对地址输入的分时共享。地址分为两部分：行地址与列地址，这样，实际所用的地址线减半。观察图12.28，图中的芯片只使用了11根地址线。有关地址线的分时共享将在后面详细讨论。

图12.29所示是存储容量为64 K × 1 DRAM电路的方框图，图中未画出刷新电路。

图12.29的存储矩阵为256 × 256，由65 536个存储单元组成。因为2^{16} = 65 536，为了访问所有的存储单元，需要16根地址线，而图中使用了分时共享技术，只使用了8个地址引脚。地址位A_0~A_7代表行地址，A_8~A_{15}代表列地址，图示DRAM电路的读周期时序如图12.30所示。如果行地址选通信号（$\overline{RAS}$）有效，利用数据选择器（图中未画出）将输入的8位地址送到行地址锁存器，经过地址译码器译码后，选中存储矩阵中的一条行线；随后，列地址选通信号（$\overline{CAS}$）有效，将后出现的8位地址送到列地址锁存器，经过列地址译码器译码后，选中存储矩阵中的一条列线，行线与列线的交叉点即为指定的存储单元。

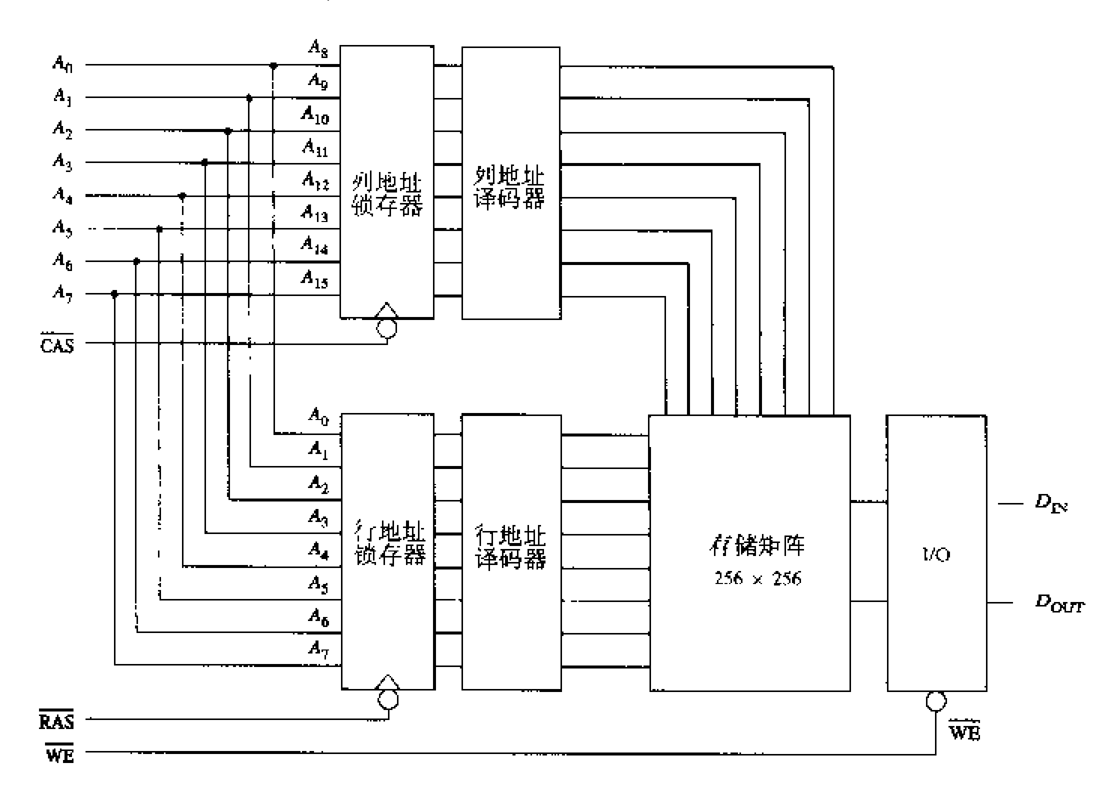


图12.29　64 K × 1 DRAM的简化方框图

图12.30所示为读周期时序图。在整个周期中，$\overline{WE}$保持高电平输入。从$\overline{CAS}$有效到有效数据输出的时间间隔为t_{CAC}。除了有效数据输出外，电路的输出保持高阻态。

12.3.5　1 M × 1 CMOS DRAM时序

存储容量为1M × 1 CMOS DRAM集成电路的方框图和逻辑符号如图12.31(a)和(b)所示。存储矩阵为1024 × 1024，所以存储容量是1 048 576（1 M）位，需要log1 048 576 ÷ log 2 = 20根地址线。如图，芯片外部有10个地址输入引脚，利用$\overline{RAS}$和$\overline{CAS}$的控制作用实现分时共享。地址位A_0~A_9用于行编址，A_{10}~A_{19}用于列编址。

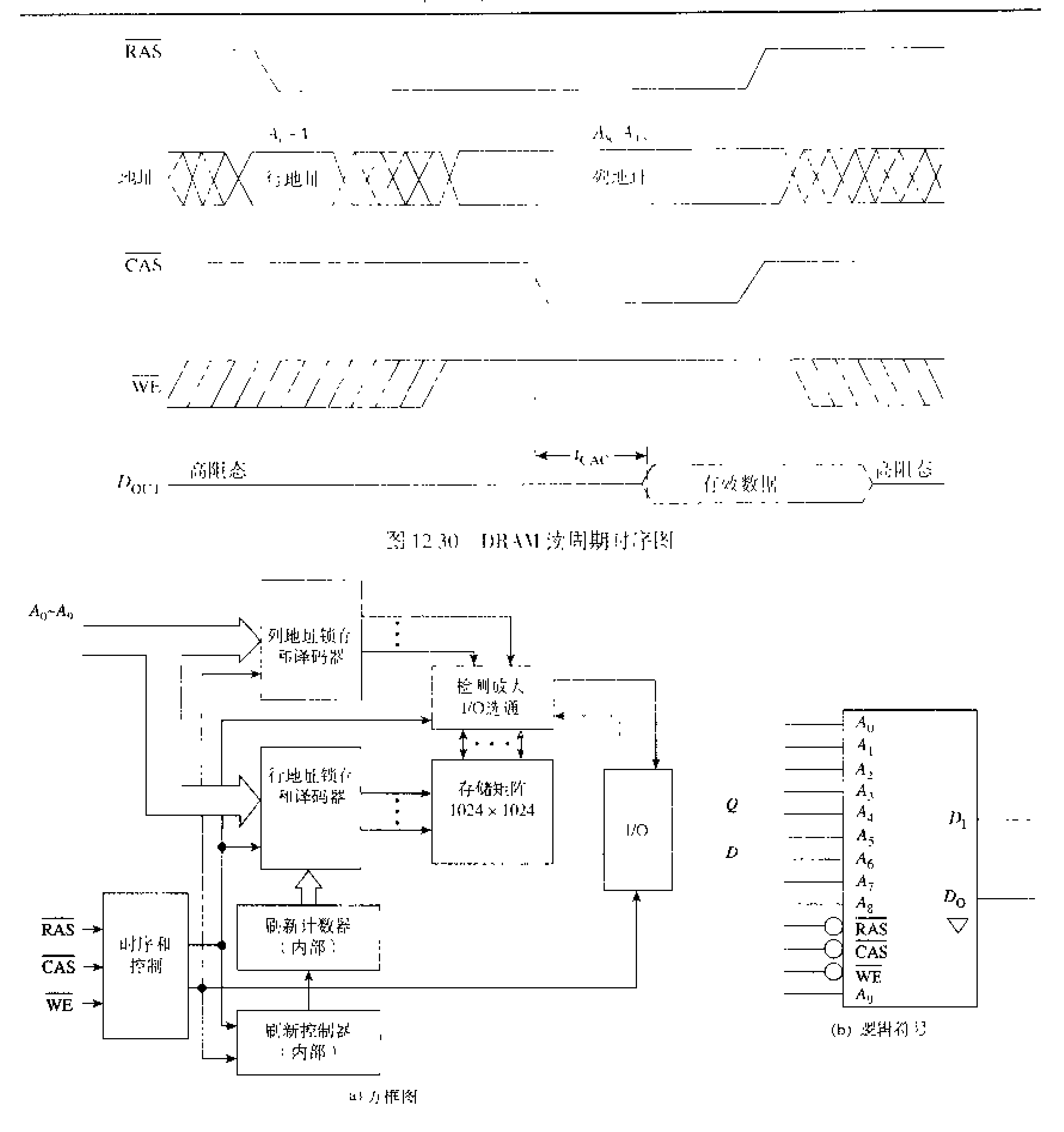


图12.30　DRAM读周期时序图

(a) 方框图　(b) 逻辑符号

图12.31　1 M × 1 CMOS DRAM

读周期

存储容量为1 M × 1 DRAM芯片的读周期时序如图12.32所示。在所有DRAM的读和写周期中，$\overline{RAS}$有效先于$\overline{CAS}$有效，$\overline{RAS}$有效到$\overline{CAS}$有效之间的时间间隔称为多路转换窗。时序图中，t_{RAS}和t_{CAS}分别是RAS脉冲宽度和CAS脉冲宽度，其典型值可达10 000 ns。此类DRAM的读周期（t_{RC}）一般在100 ns ~ 150 ns之间。

为保证读周期正常进行，在CAS有效前应先在WE端加上高电平无效信号，这之间的最小时间间隔就是图中的t_{RCS}（读命令建立时间）。然而，在大多数情况下，这个时间参数在数据表中指

定为0。这说明，只要WE无效先于$\overline{\text{CAS}}$有效或WE无效与$\overline{\text{CAS}}$有效同时发生，读操作就可以顺利进行。

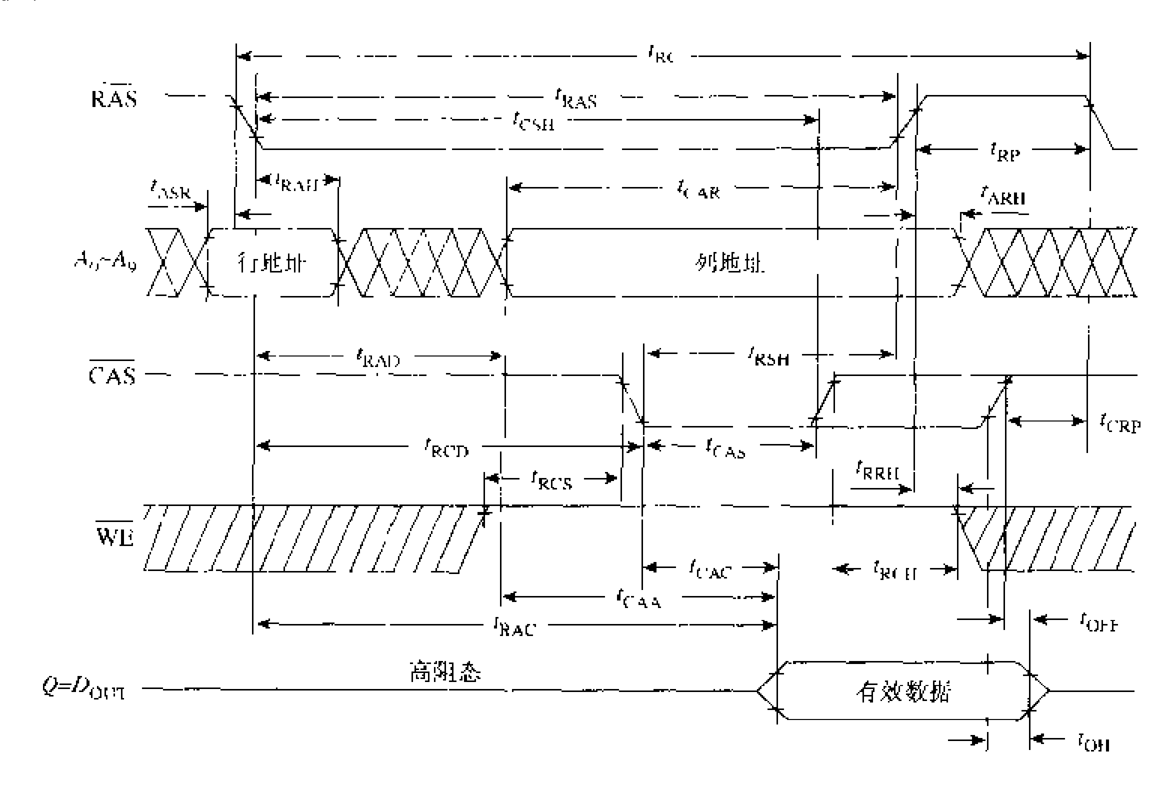


图12.32　1 M × 1 DRAM读周期时序图

从图中可看出，至有效数据输出有三个读取时间，分别是：(1) t_{RAC}，从$\overline{\text{RAS}}$有效的读出时间；(2) t_{CAA}，从列地址选中的读出时间；(3) t_{CAC}，从$\overline{\text{CAS}}$有效的读出时间。Motorola 1 M × 1 CMOS DRAM（PN MCM511000A-70）的读取时间如下所示：(1) t_{RAC} = 70 ns（最大值），(2) t_{CAA} = 35 ns（最大值），(3) t_{CAC} = 20 ns（最大值）。无论是读周期还是写周期，都是由行地址选通信号$\overline{\text{RAS}}$有效开始的，所以t_{RAC}是最长的读取时间，一般被看成是该电路读周期的读取时间。时序图中的符号详见表12.7，其中的各时间取值参考Motorola PN MCM511000A-70 1 M × 1 DRAM。

表12.7　DRAM读周期时间参数

符号	参数	时间值
t_{RC}	读周期时间	130 ns
t_{RAS}	RAS脉冲宽度	70~10 000 ns
t_{CAS}	CAS脉冲宽度	20~10 000 ns
t_{CSH}	CAS保持时间	70 ns
t_{RSH}	$\overline{\text{RAS}}$保持时间（读周期）	20 ns
t_{RP}	RAS预充电时间	50 ns
t_{CRP}	$\overline{\text{CAS}}$到$\overline{\text{RAS}}$预充电时间	5 ns
t_{RAH}	行地址保持时间	10 ns
t_{ARH}	从$\overline{\text{RAS}}$无效到列地址保持时间	10 ns
t_{RCH}	从$\overline{\text{CAS}}$无效到读命令保持时间	0 ns
t_{ASC}	列地址建立时间	0 ns
t_{CAR}	列地址到RAS建立时间	–
t_{RAD}	RAS有效到列地址延迟时间	15~35 ns
t_{RCD}	$\overline{\text{RAS}}$有效到$\overline{\text{CAS}}$有效延迟时间	20~50 ns

（续表）

符号	参数	时间值
t_{RCS}	读命令建立时间	0 ns
t_{RRH}	从RAS到读命令保持时间	0 ns
t_{CAC}	从CAS有效的读出时间	20 ns（最大值）
t_{AA}	从列地址选中的读出时间	35 ns（最大值）
t_{RAC}	从RAS有效的读出时间	70 ns（最大值）
t_{OFF}	输出缓冲器关闭延迟时间	0~20 ns
t_{OH}	从CAS的数据保持时间	

注意：如无特别说明，表中的所有时间值都是最小时间间隔

写周期

从图12.32可见，时序图对DRAM集成电路非常重要。但是，为了避免重复，本节中不详细讨论写周期时序。

写周期和读周期惟一的主要不同是$\overline{WE}$端所加电平的高低，只有当$\overline{WE}$端输入有效信号时写周期才可以开始。写周期操作顺序如下：

1. 行地址有效，$\overline{RAS} = 0$;
2. 列地址有效，$\overline{CAS} = 0$;
3. $\overline{WE} = 0$（迟写周期）;
4. 数据写入;
5. 数据输出呈高阻态。

在读周期中所讨论的最小脉冲宽度（t_{RAS}和t_{CAS}）同样适用于写周期。

目前，DRAM集成电路提供了不同类型的写周期：早写周期，$\overline{WE}$有效先于$\overline{CAS}$有效；迟写周期，$\overline{CAS}$有效先于$\overline{WE}$有效。

读－写周期

读－写周期是指在同一地址下，读周期后紧随着写周期。从$\overline{CAS}$有效到$\overline{WE}$有效之间的时间延迟要充足，至少要保证数据的有效读取先于写操作。

页模式周期

页模式周期提供了在DRAM内快速、连续的读或写操作。在这种方式下，维持行地址不变，只改变列地址，从而对同一行中的数据块进行读或写操作。保持$\overline{RAS}$有效，为低电平，$\overline{CAS}$脉冲由高电平向低电平转换时选择同一行上不同的列地址，以读出不同列的信息。在页模式操作下，典型的读取时间少于t_{RAC}的一半，读、写和读－写操作都可完成。

12.3.6 刷新操作

DRAM内的刷新是通过按顺序对所有的行地址进行刷新而实现的，刷新操作必须在需要的刷新时间内完成，一旦相应行被选中，该行中的所有数据位都被刷新。因此，常规的读操作、写操作或读－写操作都可以实现刷新。但是，这些操作只针对特定行进行，不可能实现在指定时间内对存储矩阵内所有行的刷新。大多数DRAM都有三种刷新方式，这些方式都可以保证存储矩阵中所有行在指定刷新时间内实现刷新操作。

惟$\overline{RAS}$有效刷新方式（ROR）

利用ROR方式刷新存储器内容时要使用一个外部计数器，外部生成地址通常是由DRAM控制器提供的。使用ROR方式刷新时，由$\overline{RAS}$有效把刷新行地址锁存入行地址锁存器，$\overline{CAS}$在刷新过程中始终无效。

$\overline{CAS}$先于$\overline{RAS}$有效的刷新方式（CBR）

这种刷新方式使用机载刷新计数器来提供用于刷新的行地址。刷新时，先使$\overline{CAS}$有效，经过必需的准备时间后再使$\overline{RAS}$有效。在这种刷新方式中，外部行地址可忽略。

隐藏刷新

这种刷新方式基于CBR刷新。在CBR刷新方式中，$\overline{CAS}$先于$\overline{RAS}$有效，而在隐藏刷新中，$\overline{CAS}$有效的时间超过标准$\overline{RAS}$保持时间。在$\overline{CAS}$保持低电平时，给$\overline{RAS}$端加上高电平，然后再次使$\overline{RAS}$有效。当$\overline{CAS}$有效时，有效数据可以读出。因为这种刷新发生在读周期中，所以称为隐藏刷新。

在刷新操作时，正常的存储器操作将暂停。利用DRAM控制器通过下列几种途径来控制刷新：(1)简化DRAM支持电路；(2)确保存储器的刷新适时进行；(3)将由于刷新操作而引起的中断降低到最小。

图12.33是典型刷新控制器的方框图，该控制器用于存储容量为1 M × 1的DRAM。图中的数据选择器电路为DRAM提供行或列地址输入。刷新信号无效时（低电平），行或列地址的输入是由行/列使能信号（R/$\overline{W}$）的电平高低控制的。

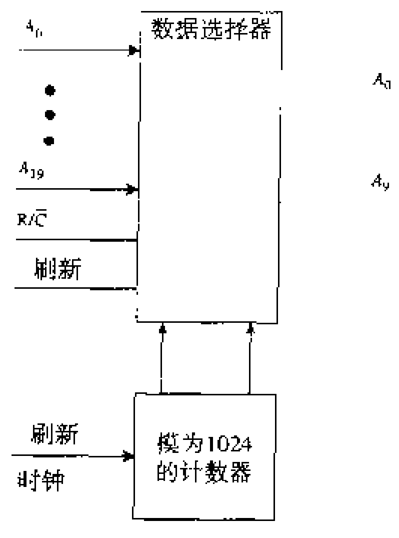
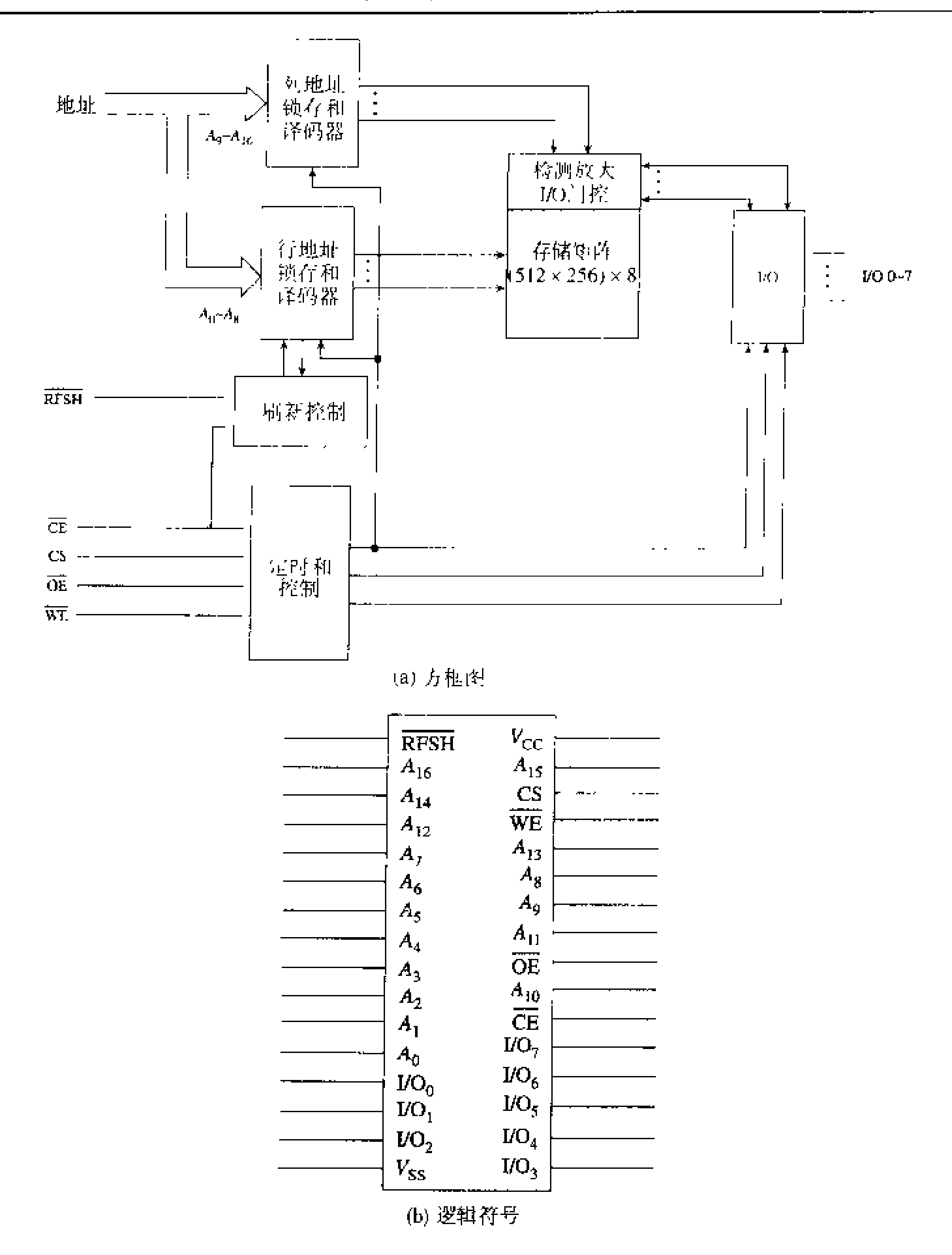


图12.33 刷新控制电路

模为1 024的计数器的输出就是行地址。只要刷新信号有效，计数器输出的行地址经过数据选择器传送到DRAM的行地址锁存器和译码器中。这样，为存储矩阵提供了行使能信号，从而刷新该行上的所有1 024个存储单元。

12.3.7 伪静态RAM

伪静态RAM（PSRAM）也是一种DRAM。与DRAM类似，它的存储单元内包含一个晶体管。PSRAM将DRAM的低成本与SRAM的简单性结合起来。换句话说，它的集成度高，并且与DRAM不同的是不需要外部刷新电路。因为PSRAM是内部刷新，它的能量消耗很低，芯片操作与静态RAM类似。图12.34(a)和(b)所示是PSRAM的方框图及逻辑符号，图示PSRAM是32个引脚、存储容量为128 K × 8的集成电路。



(a) 方框图

(b) 逻辑符号

图 12.34　128 K × 8 PSRAM

因为不采用多路转换的地址输入技术，图中的PSRAM芯片需要17个地址引脚，尤其是集成度高的芯片，需要更多的外部引线，这是PSRAM的一个缺点。由于不采用多路转换的地址输入，PSRAM芯片上没有$\overline{RAS}$和$\overline{CAS}$控制端，除此之外，PSRAM的方框图（图12.34(a)）与DRAM方框图（图12.31(a)）相似。常见的PSRAM存储器的存储容量有32 K × 8，128 K × 8和512 K × 8几种。PSRAM支持三种类型的刷新操作：地址刷新、自动刷新和自刷新。

地址刷新

这种刷新操作与DRAM芯片的惟RAS有效刷新方式类似，根据地址输入端（A_0~A_8）输入的行地址（0~511）实现逐行刷新

自动刷新

自动刷新模式模式下，行地址是由刷新控制电路内部生成的。当芯片未被选中（$\overline{CE}$ = 1）且$\overline{OE}$和$\overline{RFSH}$端都有效（低电平）时，芯片执行自动刷新。

自刷新

在自刷新模式下，刷新请求信号和刷新地址是内部生成的。只要保持$\overline{CE}$端为高电平且$\overline{RFSH}$和$\overline{OE}$有效的时间多于8 μs，就可以执行自刷新。如果$\overline{CE}$端为高电平而$\overline{OE}$和$\overline{RFSH}$有效的时间少于8 μs，芯片将执行自动刷新。这种刷新模式的能耗很低。

12.3.8 静电释放

由于静电原因，半导体CMOS存储设备易出故障。大多数的存储器都建立了保护电路，以避免这种故障破坏，同时保证正常操作的可靠进行。不过，在实际应用中，还应采取下列防护措施：

1. 存储器设备要用导体材料保存和运送，以保证集成电路中所有引脚的电位相同。如果需要运输包含有存储设备的电路板，那么整个电路板都应该用导体材料封装起来
2. 如果在检查或将存储设备放置在电路板上时需要触摸存储设备，那么操作员一定要注意良好的接地；如果与电源接触，为了避免电击，操作员与地间应串联一个1 MΩ的电阻。不要在存储设备带电时将其插置在电路板上。
3. 在处理静电敏感的存储设备时，操作员应选择棉质服装。
4. 焊接应在低电压（12 V或24 V）下进行，烙铁要保证良好的接地。

12.3节复习题

A. RAM是 ________

(1) 易失性的　　(2) 非易失性的

B. 列举出三种主要类型的RAM

C. 下列哪种类型的RAM集成度高？

(1) SRAM　　(2) DRAM

D. 下列哪种类型的RAM需要刷新？

(1) SRAM　　(2) DRAM

E. 下列哪种类型的RAM使用行和列地址选通？

(1) SRAM　　(2) DRAM

F. DRAM芯片使用多路转换地址输入的目的是什么？

G. 使用PSRAM的好处是什么？

H. PSRAM使用地址多路转换技术。

(1) 对　　(2) 错

12.4 存储器编址

要点

1. 给定存储器的最低位或最高位地址以及存储容量，确定地址范围
2. 根据地址范围计算结果绘制存储器的地址分配图
3. 根据指定的地址范围设计地址译码器电路

12.4.1 存储器地址

存储器地址通常是由计算机中的微处理器生成的。存储器地址是数码0和1的不同组合，用于选中存储器芯片及其中的指定字单元。

在本章前面的ROM和RAM部分介绍了几个有关存储器编址的例子，这一节要详细讨论编址的问题。存储器的字单元可以由一个或多个存储单元构成。如果存储容量为1 K × 8，则该存储器的每一个字单元由8个存储单元构成，能存放8位数据。

为了便于理解，存储器地址使用十六进制数表示。有关二进制与十六进制之间的转换详见第2章。转换时，由二进制数（整数）的最低位向左，每4位一组，最后不足4位的前面补0，然后把4位二进制数用相应的十六进制数据代替，即可转换为十六进制数。如：

$$\underbrace{1111}_{F}\ \underbrace{1111}_{F}\ \underbrace{1110}_{E}\ \underbrace{0000}_{0_{(16)}}{}_{(2)}$$

与1111111111100000$_{(2)}$相比，FFE0$_{(16)}$这种表示方法既简单又容易。存储器的地址范围是指从地址的最小值至最大值之间的变化范围。

如果是存储容量为64 K × 8的存储器，它需要16个地址位才能访问存储器内的全部65 536个字单元。通常，低位地址用于访问存储器芯片内的字单元，而高位地址用于选中指定的芯片。例如，对于存储容量为64 K × 8的存储器，其地址的最小值是0000$_{(16)}$，最高值是FFFF$_{(16)}$，如图12.35所示。十六进制数FFFF = 65 535，而地址0000$_{(16)}$对应的也是一个字单元，所以图示存储器的存储容量为64 K = 65 536 = 10 000$_{(16)}$。

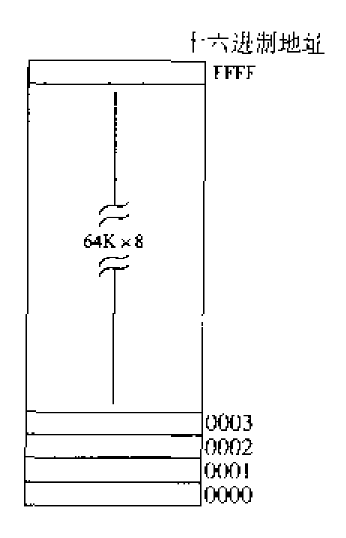


图12.35 64 K × 8存储器的地址范围

如果芯片是存储容量为2 K × 8的存储器，那么它需要11根地址线，对应的地址范围是：

A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
X	0	0	0	0	0	0	0	0	0	$0_{(2)}$	$= 000_{(16)}$
X	1	1	1	1	1	1	1	1	1	$1_{(2)}$	$= 000_{(16)}$

在该芯片内，字单元的地址范围是000~$7FF_{(16)}$。它的最高有效位用X表示，这表明在确定芯片内字单元的地址范围时不考虑最高有效位。在这个例子中，地址的最高值是$7FF_{(16)}$，表示为十进制是2047，加上$000_{(16)}$所表示的字单元，总的字单元数是$2048 = 800_{(16)}$。

如果想要访问该芯片中的字单元$35_{(16)}$，它对应的地址是：

$X000\ 0010\ 0011_{(2)} = 023_{(16)}$

如果某一ROM存储器的存储容量是48 K × 8，它的末（最高）地址是$FFFFF_{(16)}$，怎样确定它的起始（最低）地址呢？

48 K = 49 152

$-\ \ 1$[①]

49 151 = $BFFF_{(16)}$

最高地址 = $FFFFF_{(16)}$

$-0BFFF$

最低地址 $F4000_{(16)}$

存储器的地址分配图

计算机中既有RAM存储器，又有ROM存储器。利用RAM可以支持用户的应用程序并存储用户数据。此外，还需要视频RAM来支持监控程序。设计存储器地址分配图的目的是确定不同存储器芯片的地址范围。如果RAM测试程序发现在地址$6F000_{(16)}$处存在错误，根据地址分配图就可以识别系统中有故障的存储器芯片。

图12.36所示是存储器地址分配图的一个例子，该图是根据IBM兼容机内部存储系统绘制的。图中的存储系统是由16页存储器构成的，每一页包含64 K个字单元，所以该存储系统共由1 048 576（1 M）个字单元构成。要访问这个存储系统，需要20根地址线，每一页的地址范围如分配图所示。

0页到9页（共10页）是RAM区，为用户提供了640 K的可用空间；A、D和E页是预留区；C页分为两部分，低32 K和高16 K是预留区，中间16 K作为硬盘ROM。

将图中的C页放大观察，C页的起始地址是$C0000_{(16)}$，最高位C表示它在地址分配图中的位置。低32 K是预留区，用于ROM的扩充，这部分预留区的地址范围是C0000~$C7FFF_{(16)}$。怎样计算这32 K预留区及该页其他部分的地址范围呢？计算过程如下所示：

32 K = 32 768　　　　16 K = 16 384

-1[②]　　　　-1

32 767 = $7FFF_{(16)}$　　　　16 383 = $3FFF_{(16)}$

① 字单元总数减1

② 存储器的最高可寻址字单元是用字单元总数减1而得。这一点与计数器类似，计数器的最高计数值是模减1。

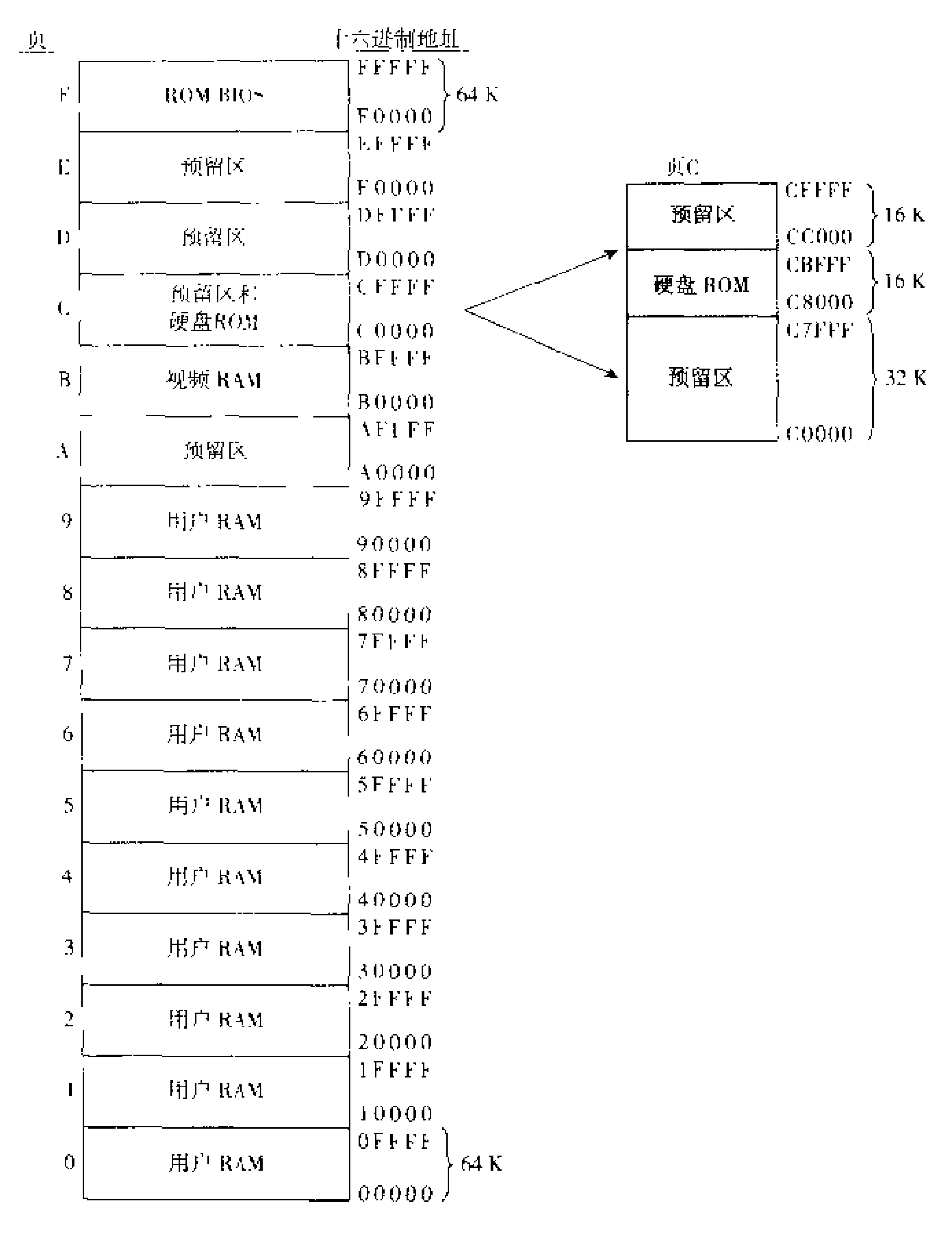


图12.36 IBM兼容机的存储器地址分配图

起始地址 = C0000
　　　　+7FFF（32 K－1）
最高地址　C7FFF
　　　　+　　1（加1就是下一部分的最低地址）
最低地址　C8000
　　　　+3FFF（16 K－1）
最高地址　CBFFF
　　　　+　　1（加1就是下一部分的最低地址）
最低地址　CC000
　　　　+3FFF（16 K－1）
最高地址　CFFFF

该例中的地址都是用十六进制数表示的。从十六进制的计算中可以看出，C页的页地址是C0000~CFFFF$_{(16)}$，可用的硬盘ROM的地址范围是C8000~CBFFF$_{(16)}$。

怎样根据给定的条件绘制存储器的地址分配图呢？下面举例说明。根据图12.36，F页是ROM区，它的起始地址是F0000$_{(16)}$。假设它的低16 K存储区是预留区，用于将来的扩充，余下的存储区由6片8 K × 8的ROM构成。因为每一片ROM的字单元数是8 K，所以片内寻址需要13根地址线（2^{13} = 8192）。而由图12.36可知，完成寻址一共需要20根地址线。该ROM电路在第11章已讨论过，为了便于说明，在图12.37中重新画出。

所有的ROM存储器都位于F页，地址的高4位A_{19}~A_{16}是页地址，是由微处理器提供的。当存储器处于读周期且A_{19}~A_{16} = 1111$_{(2)}$时，$\overline{ROMPG}$信号有效，74LS138地址译码器开始工作。根据译码器的不同输入（A_{15}~A_{13}），只有一个输出有效（低电平）。

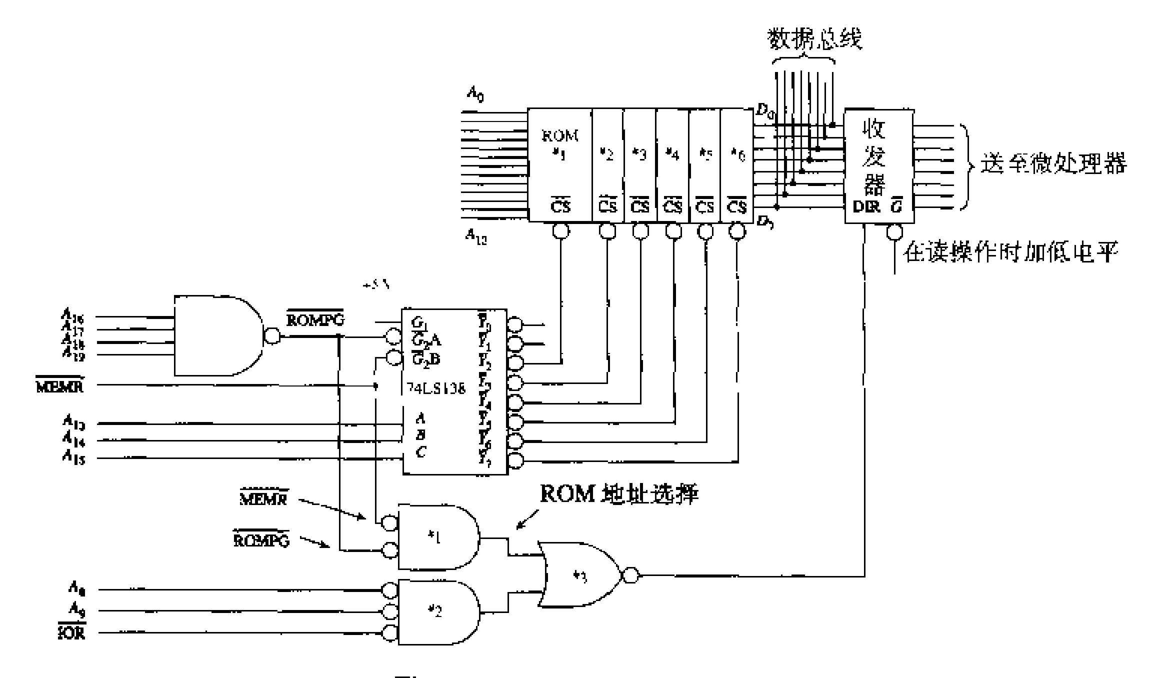


图12.37 ROM地址译码器电路

因为该页存储器的低16 K是预留区，地址译码器的输出$\overline{Y}_0$和$\overline{Y}_1$没有与ROM相连。当译码器的输出$\overline{Y}_2$为低电平时，ROM #1被选中，该芯片的地址是：

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X

ROM的页地址由A_{19}~A_{16}选定，地址译码器的输出由A_{15}~A_{13}决定，见图12.37，余下的13位地址（A_{12}~A_0）用于确定ROM芯片内的字单元。芯片的地址范围是由最低和最高地址决定的。

那么怎样确定ROM #1的地址范围呢？将上面介绍的ROM #1地址中的所有X用0代替就是它的起始地址，用1代替就是它的最高地址，起始地址也常称为基地址。

ROM # 1地址：	1111	010X	XXXX	XXXX	XXXX
起始地址：	1111	0100	0000	0000	0000 = F4000$_{(16)}$
最高地址：	1111	0101	1111	1111	1111 = F5FFF$_{(16)}$

所以 ROM #1 的地址范围是 F4000~F5FFF$_{(16)}$。预留区的起始地址是 F0000$_{(16)}$，它的地址范围可计算如下：

16K = 16 384
　　　– 1
　　16 383 = 3FFF$_{(16)}$

指定的 ROM 存储地址为 F0000$_{(16)}$

起始地址 = F0000$_{(16)}$
　　　　+3FFF
　　　　F3FFF$_{(16)}$[1]（预留区的最高地址）

计算结果总结如下：

预留区地址范围 = F0000~F3FFF$_{(16)}$
ROM #1 地址范围 = F4000~F5FFF$_{(16)}$

其余芯片的地址范围计算如下：

8 K = 8 192
　　– 1
　　8 191 = 1FFF$_{(16)}$

最高地址 = F5FFF ROM #1
　　　　+　　1
最低地址 = F6000 ROM #2
　　　　+1FFF（8 K–1）
最高地址 = F7FFF ROM #2
　　　　+　　1
最低地址 = F8000 ROM #3
　　　　+1FFF
最高地址 = F9FFF ROM #3
　　　　+　　1
最低地址 = FA000 ROM #4
　　　　+1FFF
最高地址 = FBFFF ROM #4
　　　　+　　1
最低地址 = FC000 ROM #5
　　　　+1FFF
最高地址 = FDFFF ROM #5
　　　　+　　1
最低地址 = FE000 ROM #6

① 利用 ROM 的最高地址。

+1FFF
最高地址 = FFFFF ROM #6

所以该 ROM 系统的地址分配如图 12.38 所示。

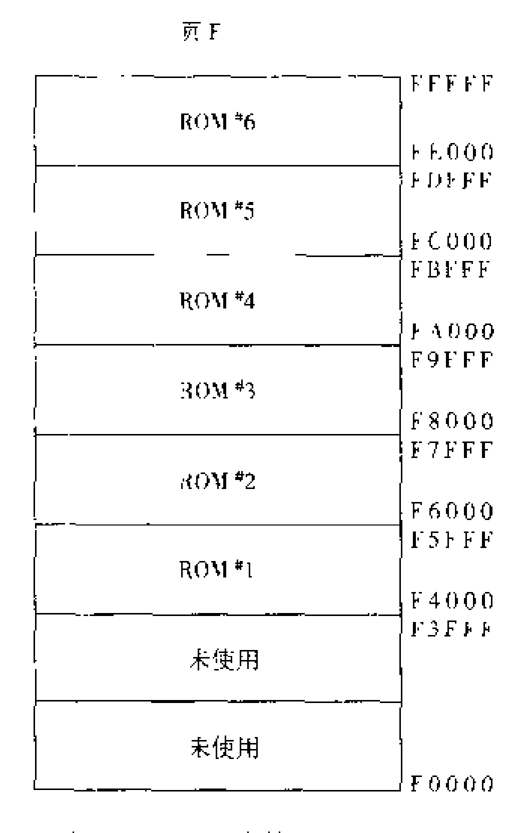


图 12.38 ROM 存储器的地址分配图

12.4.2 地址译码

图 12.37 给出了一个基本的地址译码电路。从图中可以看出，存储器的页地址（在本例中选中的是 F 页）是由地址的高 4 位决定的。A_{19}~A_{16} 作为与非门的输入，得到的输出信号使相应的 $\overline{ROMPG}$ 信号有效，从而选中指定页；在指定页中，由地址译码器 74LS138 根据地址输入 A_{15}~A_{13} 的值，选中对应的 ROM 芯片；根据低 13 位地址位 A_{12}~A_0，对被选定芯片进行内部存储单元寻址。

怎样设计地址译码电路呢？下面举例说明。图 12.36 中，有一块存储区是硬盘 ROM 区，它的基地址是 $C8000_{(16)}$，存储容量是 16 K。根据存储容量可以确定需要 14 根地址线完成芯片内部访问，该存储区的地址分配表是：

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	0	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X

高 4 位地址 A_{19}~A_{16} 表明该存储区位于 C 页，地址位 A_{15}~A_{14} 的值确定了存储区的基地址是 $C8000_{(16)}$，在基地址的基础上递增，直到该存储区的最高地址。低 14 位地址 A_{13}~A_0 用于控制存储区的内部地址。

将地址分配表中的X用0代替，得到的是存储区的最低地址，将X全部用1代替，得到其最高地址：

地址分布：	1100	10XX	XXXX	XXXX	XXXX
基地址：	1100	1000	0000	0000	0000 = $C8000_{(16)}$
最高地址：	1100	1011	1111	1111	1111 = $CBFFF_{(16)}$

地址译码可以利用与非门实现，地址位 A_{19}、A_{18} 和 A_{15} 的逻辑值是1，而 A_{17}、A_{16} 和 A_{14} 的逻辑值是0，图12.39就是所设计的地址译码器。IO/$\overline{M}$ 读信号用于保证在存储器读周期时地址的可用性。

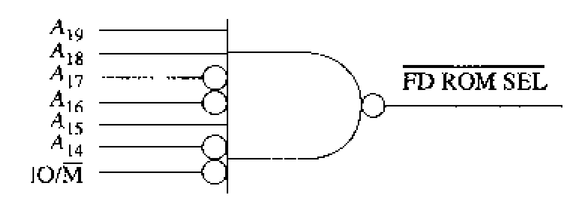


图12.39 硬盘ROM地址译码器（$C8000$~$CBFFF_{(16)}$）

12.4 节复习题

A. 为什么存储器地址用十六进制数表示？

B. 什么是存储器的地址范围？

C. 对存储容量为 8 K × 8 的 ROM 芯片编址，其地址共有多少位？

D. 如果复习题C中 8 K × 8 的 ROM 芯片的基地址是 $FA000_{(16)}$，那么它的最高地址是多少？

E. 如果某一RAM存储系统的存储容量是 1 M，它的起始地址是 $00000_{(16)}$，由存储容量为 128 K × 8的RAM芯片组成，画出该存储系统的地址分配图，标出各芯片的最低和最高地址。

F. 根据某一存储容量为 32 K × 1 的 RAM 的地址分配表，设计一与非门地址译码器。

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
0	0	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

阶段性小结（12.3节~12.4节）

随机存取存储器是易失性存储器，只要断开电源电压，其内部存储的信息就会丢失。

静态RAM利用触发器构成存储单元，每一存储单元内有6个晶体管。这种RAM的存取速度快，但集成度不高。

动态RAM使用一个晶体管和一个电容构成存储单元，这样就使得它的集成度很高。为了保持存储器中的存储内容，需要定期对其中的电容充电，这个过程就是存储器的刷新。对存储矩阵中的行线进行访问就可以完成刷新，通常采用DRAM控制器来控制DRAM芯片的刷新操作。

为了减少芯片的外部引脚，DRAM的地址输入利用多路转换技术实现分时共享。行地址通过数据选择器送入行地址锁存器中，列地址也相应地送入列地址锁存器。一旦锁存的地址实现译码，DRAM内的对应字单元就被选中。

伪静态RAM是具有内部刷新控制电路的DRAM。和DRAM一样，它也具有集成度高的特点，但不需要外部刷新电路。

存储器的地址用十六进制数表示。存储器的地址范围是指从地址的最低值到最高值之间的变化范围。存储器芯片的内部地址范围是指从0开始，加1递增，一直到芯片的最后一个字单元。其最高地址可以这样来计算：设地址的位数为X，将 X^2-1 转换成十六进制数后，得到的数据就是所求最高地址。

存储器地址分配图用来确定存储系统或存储器芯片的地址范围。根据存储区或存储器芯片的地址分配表，可以计算出它们的最低地址和最高地址，画出其地址分配图。高位地址用来选中指定的存储器芯片，而低位地址实现芯片的片内寻址。将地址分配表中的X用0代替，得到的是芯片的最低地址，而用1代替得到的就是芯片的最高地址。

译码电路根据高位地址来选中存储器芯片。如果某一芯片的地址分配表如下所示：

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	0	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X

该芯片的基地址和最高地址可计算如下：

1010　11XX　XXXX　XXXX　$XXXX_{(2)}$

1010　1100　0000　0000　$0000_{(2)}=AC000_{(16)}$（基地址）

1010　1111　1111　1111　$1111_{(2)}=AFFFF_{(16)}$（最高地址）

该例中的高位地址用于译码，A_{19}，A_{17}，A_{15} 和 A_{14} 的值为1，直接和与非门的输入端相连；而 A_{18} 和 A_{16} 的值为0，所以经非门再和与非门相连。

阶段性练习（12.3节～12.4节）

1. 随机存取存储器是________。
   a. 易失性的　　b. 非易失性的
2. 哪种类型的RAM使用触发器技术存储数据？
   a. DRAM　　b. SRAM　　c. PSRAM
3. 哪种类型的存储器使用晶体管和电容存储数据？
   a. DRAM　　b. SRAM
4. 图12.40所示的存储器的存储容量是________。
   a. 128 K × 1　　b. 128 K × 8　　c. 256 K × 1　　d. 256 K × 8
5. 图12.40所示的是哪种类型的存储器？
   a. ROM　　b. SRAM　　c. DRAM　　d. PSRAM
6. 图12.40中，当 $D_{IN}=1$，$\overline{CS}=1$，$\overline{WE}=0$ 时，存储器的输出 D_{OUT} 是________。
   a. 逻辑值0　　b. 逻辑值1　　c. 高阻态　　d. 存储器中存储的值
7. 图12.40中，当 $D_{IN}=1$，$\overline{CS}=0$，$\overline{WE}=0$ 时，存储器的输出 D_{OUT} 是________。
   a. 逻辑值0　　b. 逻辑值1　　c. 高阻态　　d. 存储器中存储的值
8. 图12.40中，当 $D_{IN}=1$，$\overline{CS}=0$，$\overline{WE}=1$ 时，存储器的输出 D_{OUT} 是________。
   a. 逻辑值0　　b. 逻辑值1　　c. 高阻态　　d. 存储器中存储的值
9. 图12.41所示的时序图表示SRAM的________周期。
   a. 读　　b. 写　　c. 擦除　　d. 刷新

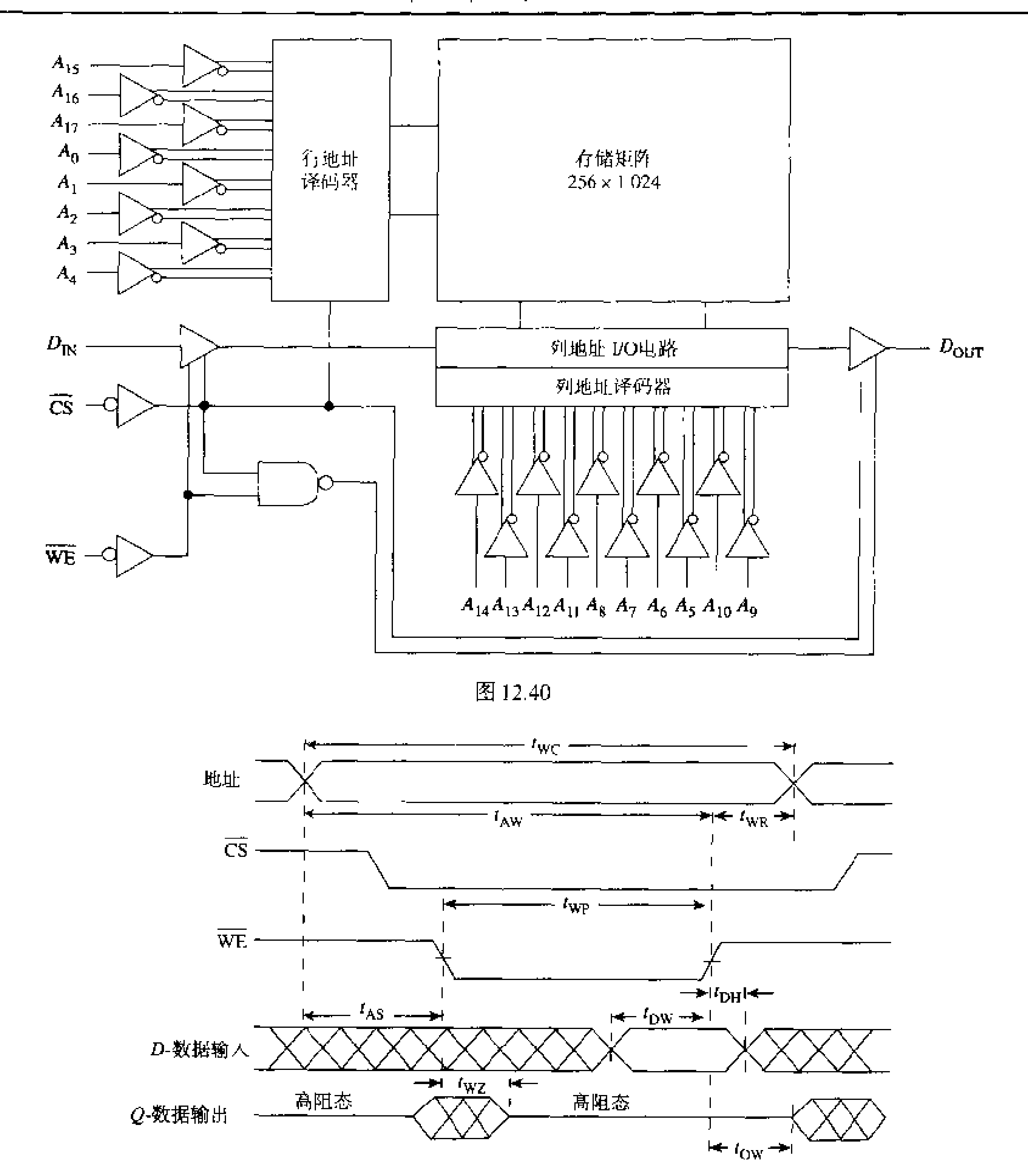


图 12.40

图 12.41

10. 下列哪种类型的存储器需要刷新？

a. DRAM　b. SRAM　c. EPROM　d. E^2PROM

11. 下列哪种类型的存储器需要使用地址多路转换技术？

a. DRAM　b. SRAM　c. EPROM　d. E^2PROM

12. 图 12.42 所示的是哪种类型的存储器？

a. DRAM　b. SRAM　c. EPROM　d. E^2PROM

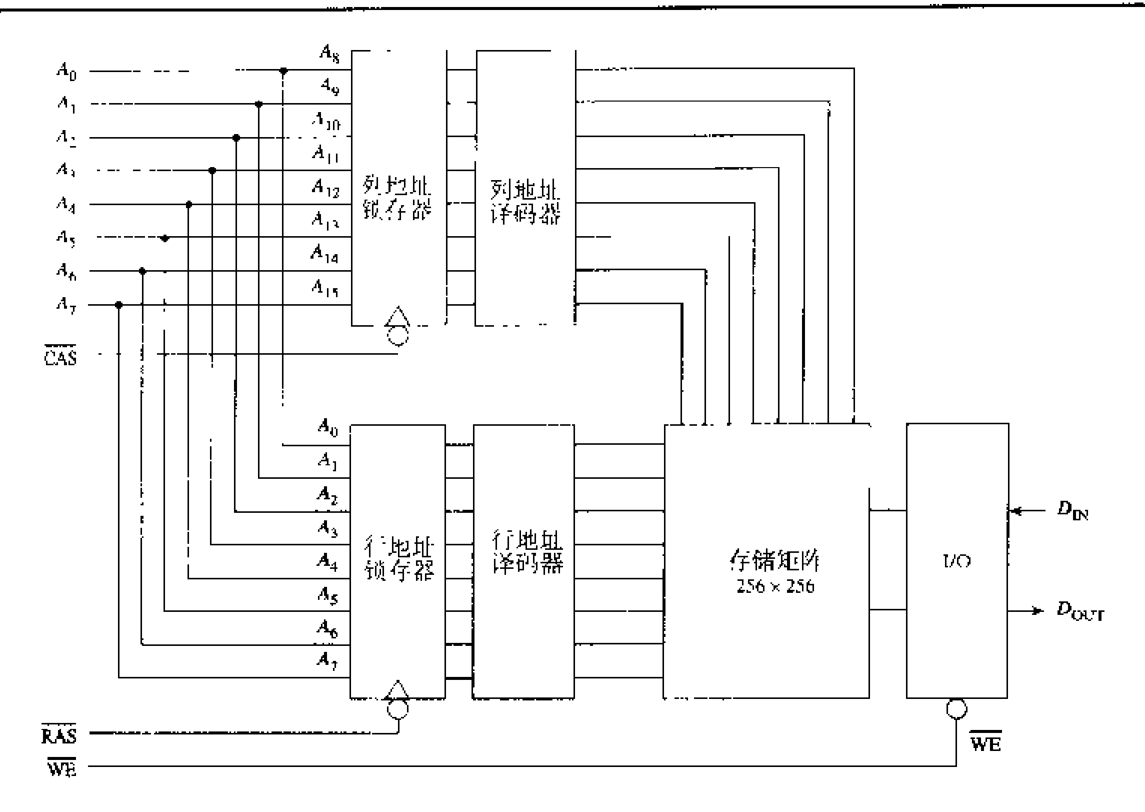


图 12.42

13. 图 12.42 所示存储器的存储容量是________。

a. 256 × 1　　b. 512 × 1　　c. 32 K × 1　　d. 64 K × 1

14. 图 12.42 中存储器的 $\overline{RAS}$ 输入端的作用是________。

a. 禁止 I/O 端口工作　　c. 输入列地址

b. 允许 I/O 端口工作　　d. 输入行地址

15. 使 $\overline{RAS}$ 有效锁存行地址的同时令 CAS 无效，就可以完成惟 $\overline{RAS}$ 有效刷新方式。

a. 对　　b. 错

16. 伪静态 RAM 需要使用 DRAM 控制器完成刷新。

a. 对　　b. 错

17. 存储容量为 4 K × 8 存储器的地址范围是________。

a. $000\sim7FF_{(16)}$　　c. $0000\sim1FFF_{(16)}$

b. $000\sim FFF_{(16)}$　　d. $0000\sim FFFF_{(16)}$

18. 在存储容量为 4 K × 8 的存储器中可以存储________字节的数据。

a. 4 096　　b. 8 192　　c. 16 384　　d. 32 768

19. 存储容量为 256 K × 1 SRAM 的地址范围是________。

a. $000\sim FFF_{(16)}$　　c. $00000\sim7FFFF_{(16)}$

b. $00000\sim3FFFF_{(16)}$　　d. $00000\sim FFFFF_{(16)}$

20. 如果某一存储器的存储容量是32 K × 1，它的基地址是$D0000_{(16)}$，那么它的最高地址是______。

a. $32\ 768_{(16)}$　　c. $D8000_{(16)}$

b. $D9000_{(16)}$　　d. $D7FFF_{(16)}$

本章小结

所有的计算机都需要存储器，为了便于计算机快速访问，所有的数据都必须保存在存储器中。本章主要介绍了主存储器，即ROM和RAM。

只读存储器（ROM）是非易失性（永久性）存储器，去掉电源电压或关闭系统都不会影响其中保存的数据。

ROM主要包括下列几种类型：掩膜ROM（MROM）、可编程ROM（PROM）、可擦除可编程ROM（EPROM）和电可擦除可编程ROM（EEPROM/E²PROM）。

掩膜ROM是不可编程存储器，它的初始建立成本很高，所以只适用于大批量生产。

可编程ROM可由用户编程，但需要专门的PROM编程人员来完成编程操作。通过有选择地熔断熔丝连接，实现对PROM的编程。但熔丝一旦熔断就不可恢复，所以PROM只能实现一次编程。

可擦除可编程ROM也可由用户编程。与PROM相比较，EPROM可实现多次编程。用紫外线照射EPROM芯片背面的石英窗口约20分钟后，就可擦除芯片内的全部数据。但EPROM也存在缺陷。首先，擦除时间长且芯片内所有内容都被擦掉；其次，执行擦除和再编程操作时，必须将芯片从电路中取出。

电可擦除可编程ROM可由用户编程，并且可以有选择地在电路擦除片内数据。EEPROM支持读、写和擦除3种操作。

存储器存取时间是指从有效地址输入到有效数据输出之间的时间间隔。闪速存储器具有3个主要特性：集成度高、存取速度快和在电路可编程性。如果设备需要高密数据存储器，又不能支持磁盘驱动器，可采用闪速存储器。闪速存储器支持块擦除，但不能实现对位或字节擦除。

随机存取存储器（RAM）是易失性的读/写存储器。利用RAM只能完成对数据的暂时存储，一旦去掉外部电源电压，数据就会全部丢失。一个存储单元存储1位数据。

如果某存储器芯片内有X个字单元，实现对所有字单元访问所需的地址线数（n）可由下式计算：$n = \log X \div \log 2$。存储器的存储容量是指存储器中所包含的存储单元的数量。一个存储容量为$64\text{ K} \times 8$的存储器芯片，其内部的字单元数是65 536，每个字单元由8个存储单元构成。要访问芯片内的所有字单元，需要16根地址线。

静态RAM（SRAM）使用触发器技术存储数据，不需要刷新，也不使用数据选择器技术寻址。SRAM的存储单元面积比较大，所以与DRAM相比，它的集成度较低。SRAM的存储单元通常由4个晶体管和2个电阻或6个晶体管组成。

动态RAM（DRAM）存储器的存储单元由一个晶体管和一个电容构成。电容是存储单元的存储装置，这种简单的存储单元结构使得DRAM的集成度非常高。但电容存在漏电现象，所以必须定期对DRAM充电（刷新）。刷新是通过对行的访问而逐行实现的。

DRAM的缺点主要有三点：(1) 必须使用刷新电路来监控刷新操作；(2) 刷新操作减少了存储器读和写操作的可用时间，从而降低了系统速度；(3) 存储器寻址必须采用多路转换技术。为了简化外部刷新电路，通常可以使用DRAM控制器。刷新是DRAM完整功能的一个必不可少的组成部分，制造商通过增加刷新时间和合并某些刷新电路来简化这个必需的过程。

伪静态RAM（RSRAM）实质上是带有内部刷新控制电路的高集成度DRAM。

表12.8中对上述三种RAM进行了比较。

表 12.8 SRAM，DRAM 和 PSRAM 的对比

	SRAM	DRAM	PSRAM
集成度	1 M位	4 M位	4 M位
电流消耗	1 μA	150 μA	70 μA
刷新	不需要	需要（外部控制）	需要（内部控制）
数据保持电压	2~5.5 V	4.5~5.5 V	3~5.5 V
存储单元构成	6个晶体管	1个晶体管 1个电容	1个晶体管 1个电容
地址技术	不使用数据选择器	使用数据选择器	不使用数据选择器

存储器地址用于选中指定存储设备及其中的某一字单元，通常是用十六进制数表示的。

存储器芯片的地址范围是指从地址最低值到最高值之间的变化范围。存储器地址分配图用来确定存储系统中各存储区的地址范围，是在系统设计时建立的。选中存储设备的地址范围可以通过地址分配表确定，其中的X表示设备的内部地址，将所有X用0代替即可得到该设备的基地址，所有X用1代替即可得到该设备的最高地址。

习题

12.1 节

1. 解释名词：主存储器。
2. 请举出主存储器的一个例子。
3. 如果某计算机使用20位的地址总线和8位的数据总线，那么它的字长是多少？
4. 当 $IO/\overline{M} = 0$ 时出现的是什么类型的总线周期？
5. 计算机初始化时执行的引导程序通常存储在哪种类型的存储器中？
6. 哪种类型的存储器是易失性的？
7. 存储容量为 8 K × 1 的 RAM 芯片内包含多少个字单元？
8. 存储容量为 8 K × 1 的存储器芯片需要多少根地址线？
9. 存储容量为 64 K × 8 的存储器芯片内包含多少个字单元？
10. 存储容量为 64 K × 8 的存储器芯片内可以存储多少字节的数据？
11. 解释名词：存储单元。
12. 解释名词：非易失性存储器。
13. 给出非易失性存储器的一个例子。
14. 对容量为 2 M × 1 的存储器芯片编址需要多少根地址线？

12.2 节

15. 图 12.43 所示的 ROM 芯片的容量是多少？
16. 计算机的引导程序通常存放在哪种类型的存储器中？
17. 可编程 ROM（PROM）可以实现再编程。

    a. 对　　b. 错
18. 可擦除可编程 ROM（EPROM）允许对位、字节和所有数据的擦除。

    a. 对　　b. 错
19. 哪种类型的 ROM 使用紫外线擦除内部数据？

20. 解释名词：ROM的读取时间（t_{ACC}）。

21. 图12.44中，当 CS = 0，OE = 0 且 A_1A_0 = 10时，存储电路输出的数据是多少？

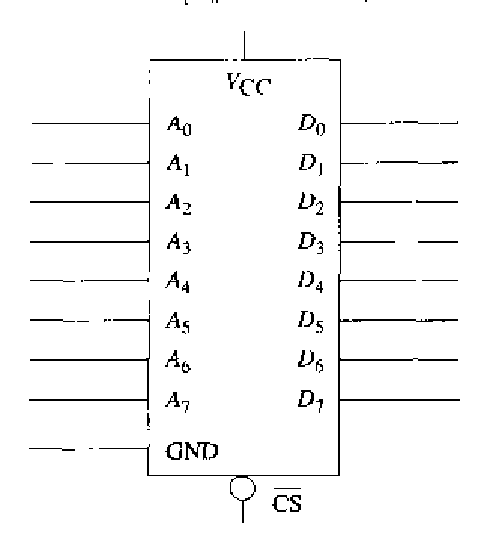


图12.43

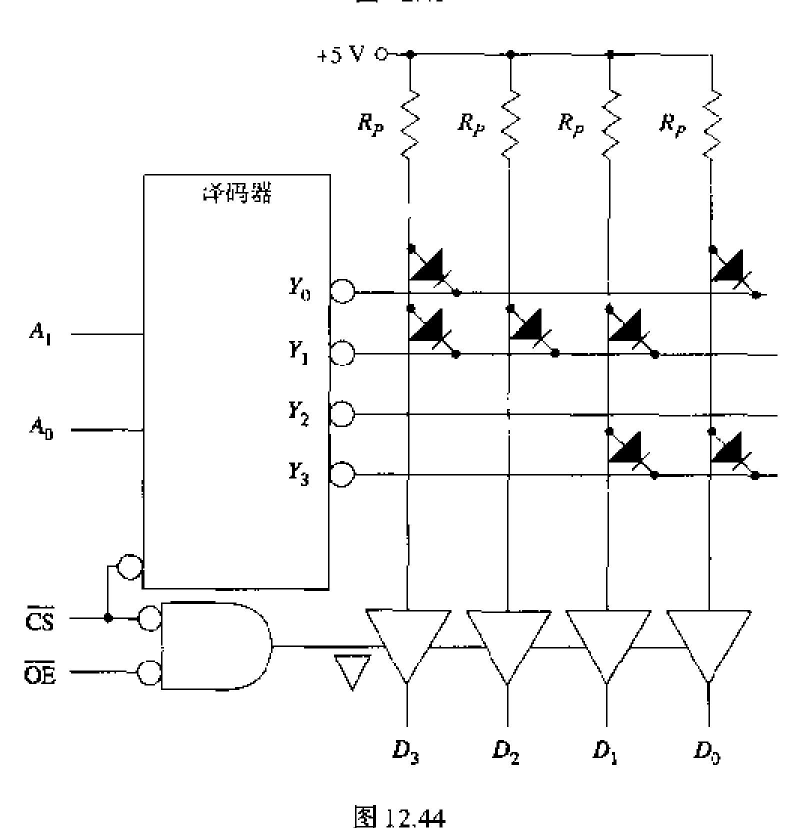


图12.44

22. 图12.44中，当 CS = 0，$\overline{OE}$ = 1 且 A_1A_0 = 11时，存储电路输出的数据是多少？

23. 图12.44中，当 $\overline{CS}$ = 0，$\overline{OE}$ = 0 且 A_1A_0 = 01时，存储电路输出的数据是多少？

24. 图12.44中，当 $\overline{CS}$ = 1，$\overline{OE}$ = 0 且 A_1A_0 = 00时，存储电路输出的数据是多少？

CT 25. 怎样设计存储容量为512 × 8（4 096位）的PROM的内部译码器和多路转换器？画出电路的方框图（提示：利用存储矩阵可参考图12.7的有关讨论）。

CT 26. 存储容量为2 K × 4（8 192位）的PROM，存储矩阵是64 × 128，若要访问该存储器，需采用哪种类型的内部译码器和数据选择器？

12.3 节

27. 名词解释：静态 RAM（SRAM）。
28. 图 12.45 所示的是哪种类型的 RAM?
29. 图 12.45 所示存储器芯片的存储容量是多少?
30. 在图 12.45 中，当 CS = 1 且 $\overline{WE}$ = 0 时，存储器执行哪种类型的操作?
31. 在图 12.45 中，当 $\overline{CS}$ = 0 且 $\overline{WE}$ = 1 时，存储器执行哪种类型的操作?
32. 在图 12.45 中，当 $\overline{CS}$ = 0 且 $\overline{WE}$ = 0 时，存储器执行哪种类型的操作?

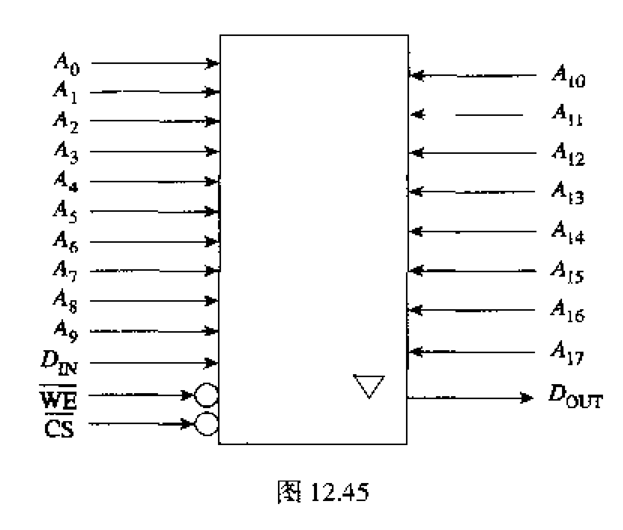


图 12.45

33. 图 12.46 所示的是哪种类型的存储器?

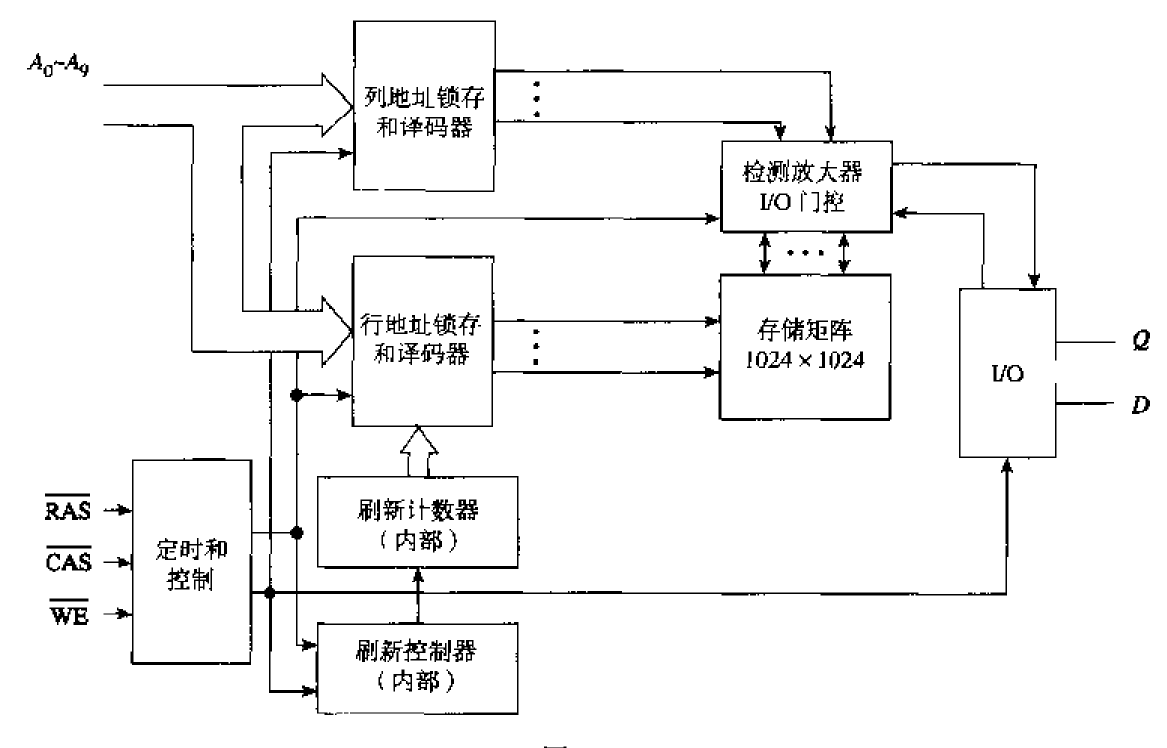


图 12.46

34. 图 12.47 所示 SRAM 芯片的存储容量是多少?
35. 图 12.48 所示 DRAM 芯片的存储容量是多少?

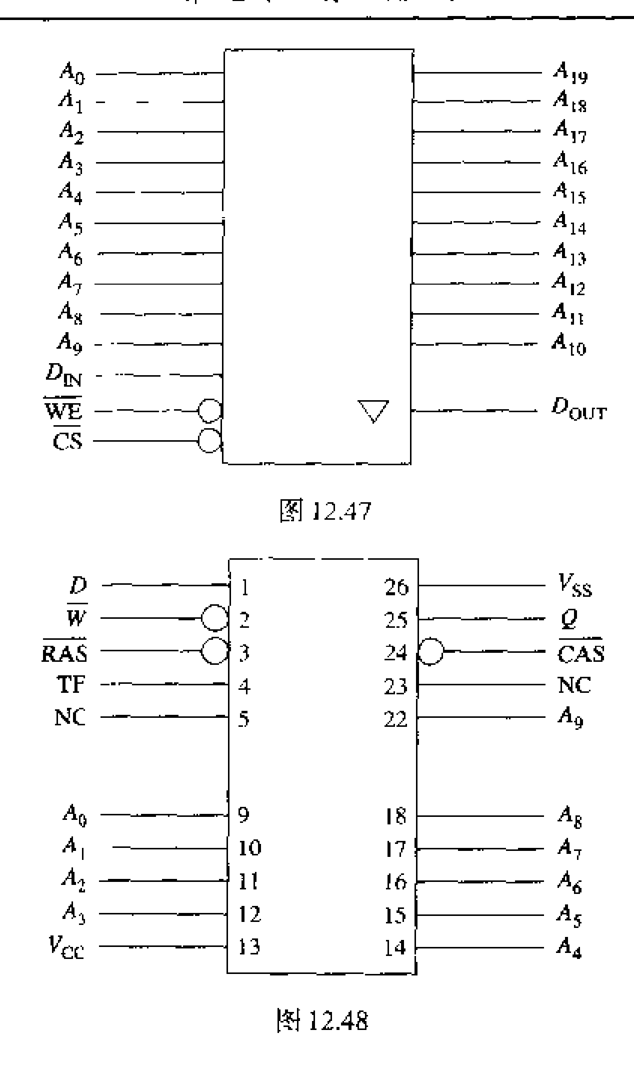


图 12.47

图 12.48

12.4节

36. 存储容量为 132 K × 8 的存储器的基地址是 $10000_{(16)}$，试计算其最高地址。
37. 存储容量为 1 M 的 DRAM 芯片的基地址是 $00000_{(16)}$，试求其地址范围。
38. 图12.49所示是某存储系统B页的地址分配图，基地址是 $B0000_{(16)}$，且每一部分的容量是 16 K，试求出各部分的最低地址和最高地址。

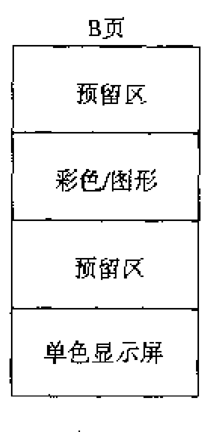


图 12.49

39. 根据存储容量为 64 K × 1 的 RAM 的地址分配表，列出其地址范围。



A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_9	A_5	A_4	A_3	A_2	A_1	A_0
0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

CT 40. 图 12.50 所示是某 RAM 存储系统的地址分配图，存储系统的页存储容量为 64 K。该存储系统被分为两组（0 组和 1 组），每组的容量是 256 K，2 组和 3 组未使用。试求 0 组和 1 组的最低和最高地址（设该页的基地址是 $00000_{(16)}$）

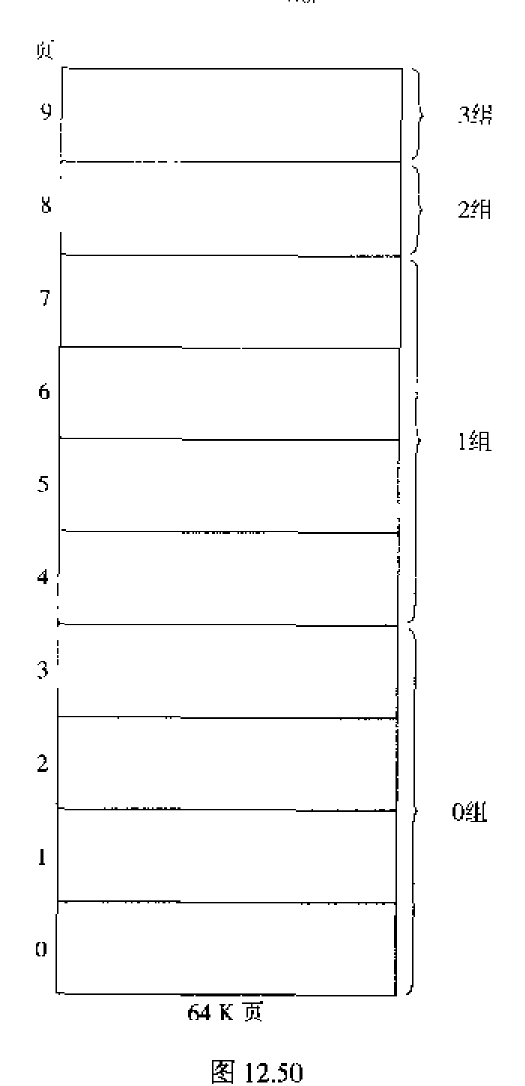
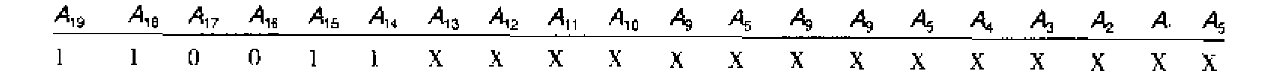


图 12.50

41. 图 12.50 所示存储器每页的最低和最高地址分别是多少？

42. 根据下面的 RAM 地址分配表，确定其基地址和最高地址。



A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_5	A_9	A_9	A_5	A_4	A_3	A_2	A	A_5
1	1	0	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X

CT 43. 为习题 42 中的 RAM 设计一个与非门地址译码器。

CT 44. 习题 42 中 RAM 的存储容量是多少？

CT 45. 写出图 12.51 中地址译码器的译码地址范围。

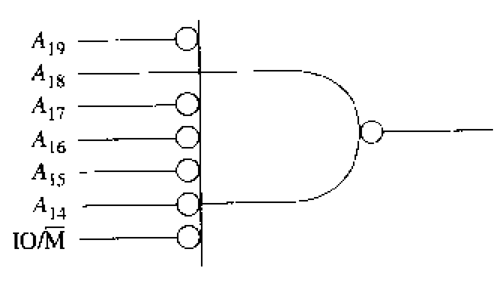


图12.51

第13章　可编程逻辑器件/阵列

重要术语

Antifuse　抗熔丝
Application-Specific Integrated Circuit(ASIC)　专用集成电路
Field-Programmable Gate Array(FPGA)　现场可编程门阵列
Generic Array Logic(GAL)　通用阵列逻辑
Programmable Array Logic(PAL)　可编程阵列逻辑
Programmable Logic Array(PLA)　可编程逻辑阵列
Programmable Logic Device(PLD)　可编程逻辑器件
Programmable Logic Element(PLE)　可编程逻辑单元

本章要点

1. 解释与可编程逻辑相关的术语
2. 识别可编程逻辑符号体系内的各种标准符号。
3. 介绍几类可编程逻辑器件，如 PLE、PLA 和 PAL 等。
4. 根据给定的 PLD 逻辑块或宏单元图，确定输出和反馈的类型。
5. 使用带有抗熔丝技术 FPGA 的主要优势。

概述

可编程逻辑器件（PLD）是带有未开发逻辑阵列集成电路的统称。它是一种数字电路，可由用户编程，利用它可以解决不同的逻辑设计问题。PLD由基本逻辑门电路、触发器以及内部连接电路构成，可利用软件和硬件（编程器）对其编程，从而实现特定的逻辑功能。

对PLD进行编程需要不同的软件和编程器，编程器通常与微机相连，而设计软件装入微机中。将空白PLD插入编程器的插槽内，通过熔断内部的熔丝或规划设计器件内的抗熔丝，即可完成编程过程。用户可以根据布尔逻辑表达式、真值表、硬件说明、状态图、波形图或原理图来完成对PLD的逻辑设计。

使用PLD可以代替标准的SSI逻辑门电路，一片PLD可以实现许多逻辑功能。事实上，某些PLD内部等效为几千个逻辑门，因此许多SSI/MSI功能可由一片PLD实现，这样就减少了电路板上的集成电路，从而节省了空间。

在微机的发展过程中，使系统微型化与提高执行速度以及存储容量之间曾经是一对矛盾。过去的计算机系统使用了大量的逻辑门电路和触发器来连接系统，因此此类集成电路被称为“胶水芯

片"，占用了系统板上的大量空间，而使用PLD可以节省空间，从而减少了能量消耗，提高了系统工作的可靠性及执行速度。

最初的PLD是通过熔断内部熔丝进行编程的，而熔丝连接一旦熔断就不可恢复，所以此类器件只能实现一次编程。

可擦除PLD（EPLD）使用紫外线（UV）擦除内部程序，可以实现重复编程。此类器件与EPROM类似，利用存储电荷而不是熔丝连接来控制内部联系。在EPLD封装芯片的背面开有一个小窗口，UV通过该窗口擦除PLD内部存放的程序。在不进行擦除操作时，应该用不透明标签覆盖该窗口，以免引起误操作。

电可擦除PLD（EEPLD或E²PLD）也可实现重复编程，只要在芯片的外引脚上施加一定的电压即可完成编程和擦除操作。与E²PROM类似，它也采用了浮置栅技术。

早期PLD的功能与编程和可编程只读存储器（PROM）类似，此类PLD有时也称为可编程逻辑单元（PLE），用于设计逻辑功能。

本章中主要介绍两种类型的PLD：可编程逻辑阵列（PLA）/可编程阵列逻辑（PAL®）器件和现场可编程门阵列（FPGA）器件。

可编程逻辑阵列（PLA，由Signetics开发）和可编程阵列逻辑（PAL®）适合于可编程逻辑应用，而PROM用于存储器技术中。PAL是Advanced Micro Devices有限公司的注册商标。PLE，PLA和PAL器件的输出为"积之和"的表达形式，有关这些器件的不同体系结构不久会讨论到。PLD可使用TTL和CMOS技术。

现场可编程门阵列（FPGA）是高集成度、多级逻辑的用户可编程器件，在数字电路中的应用日益广泛，某些FPGA器件内的电路甚至可完成十几万个门电路的功能。

13.1 可编程逻辑符号体系

要点

1. 定义可编程逻辑器件，介绍组成PLD电路的基本逻辑电路。
2. 识别不同的PLD逻辑符号，如完整的熔丝、已熔断熔丝和固定连接的表示方法。

标准可编程逻辑器件通过熔断熔丝连接或保持熔丝连接的完整来进行编程，熔丝的熔断需要利用编程器才能完成。PLD是带有未开发逻辑阵列的器件。

图13.1所示是熔丝连接的标准表示方法。图13.1(a)中，三条熔丝连接都保持完整，所以该图中门电路实现的逻辑功能是$A \cdot B \cdot C$；而图13.1(b)中，输入端C上的熔丝已被熔断，所以该端悬空，电路实现的逻辑功能是$A \cdot B \cdot 1$，即$A \cdot B$。

图13.2实现的是"积之和"（SOP）的功能，通过熔断选定的熔丝连接，可以对两个与门电路进行编程，该电路的输出表达式是$AB + BC$。

如果输入缓冲器既可以向熔丝输入原变量（A），也可以送入反变量（$\bar{A}$），那么图13.2中的电路具有更大的灵活性，如图13.3所示。上面与门的输出是乘积项$A\overline{B}\overline{C}$，下面与门的输出是$\bar{A}BC$，所以图示电路的输出是$A\overline{B}\overline{C} + \bar{A}BC$。基本PLD结构就是这种SOP配置。

图13.4中，将图13.3内的熔丝连接放置于行线和列线之间。如果熔丝连接保持完整，列线上的输入数据就传递到与门的输入端；而如果熔丝被熔断，列和行之间就失去了连接，对应该列的数据就不能到达逻辑门。

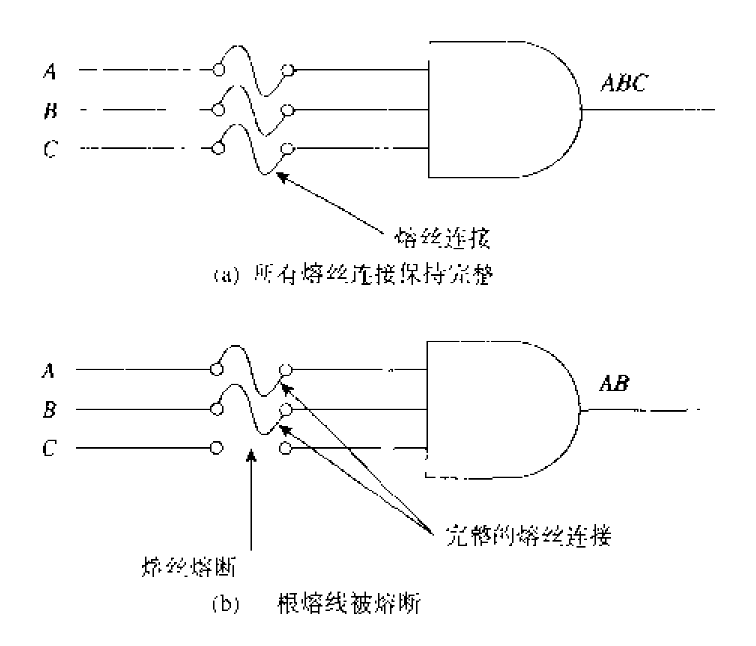


图 13.1 PLD 熔丝连接

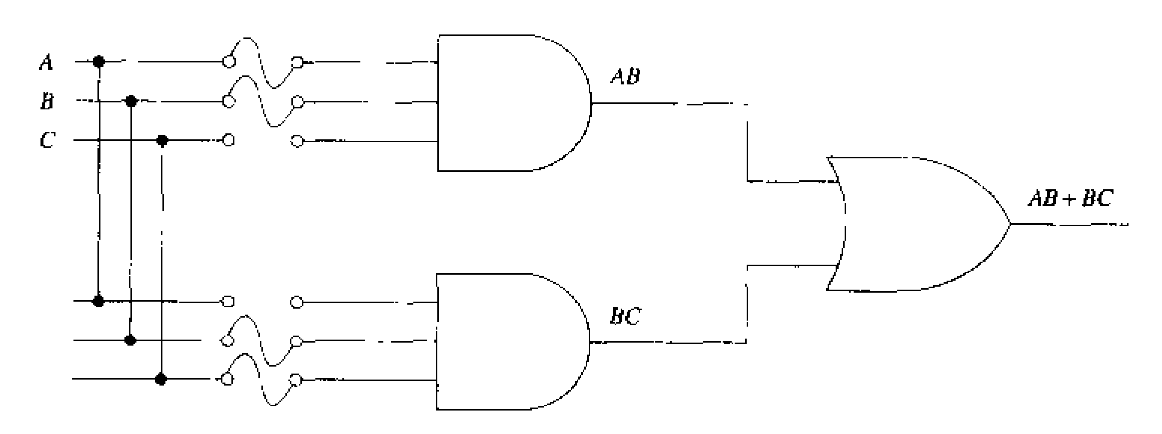


图 13.2 对“积之和”电路进行编程

有些PLD有20个或更多个输入引脚。如果按图13.3的方法绘出20个输入引脚的PLD，因为线和熔丝过多，会给作图带来困难。为了简化作图，有必要采用新的绘图约定。如图13.5所示是按照新的约定绘制的三输入与门，在与门的输入端只有一根线输入，这根线称为乘积线。输入项（A，B和C）分别由3根与乘积线垂直的竖线送入，可编程熔丝（熔丝连接）就位于乘积线与垂直线的交叉点上。

垂直线与乘积线的交叉点有三种情况，参看图13.5。“×”表示该点为可编程点，芯片出厂时该点熔丝连接完整，对应的输入项和与门接通。用户可根据需要断开熔丝，此时需将“×”擦去；黑点“·”表示该交叉点为固定连接点，变量C是与门的输入量，不可由用户编程；既无“·”又无“×”时，表示该交叉点是断开的，熔丝已熔断，其对应的输入项B不是与门的输入量。因此，图示与门的输出是AC。图13.6再次强调了PLD的基本符号表示，图示符号是工业标准。需要注意的是图13.6(a)中输入缓冲器的两种不同画法。

图13.7所示是利用图13.5和图13.6符号体系绘制的电路图，其中的可编程与门阵列为4 × 3型，根据图中所示，上面两个与门的输出分别为AB和$\overline{AB}$。注意最下部的与门符号内有一个“×”号，这表示该与门所有输入点处的熔丝连接都保持完整，即电路的所有输入项都是该与门的输入变量，所以在与门符号内标“×”和在乘积线上的每一个交叉点处标“×”是等效的，如图13.8

所示，图13.7中最下部与门的4个输入分别为两个0和两个1，所以输出为0，对整个电路的输出没有影响。0输入使与门关闭，从而使输出恒为0，而0输入使或门（A + 0 = A）打开。因此，图13.7中电路的输出为 $AB + A\overline{B} + 0$，等同于 $AB + AB$，完成同或逻辑功能。

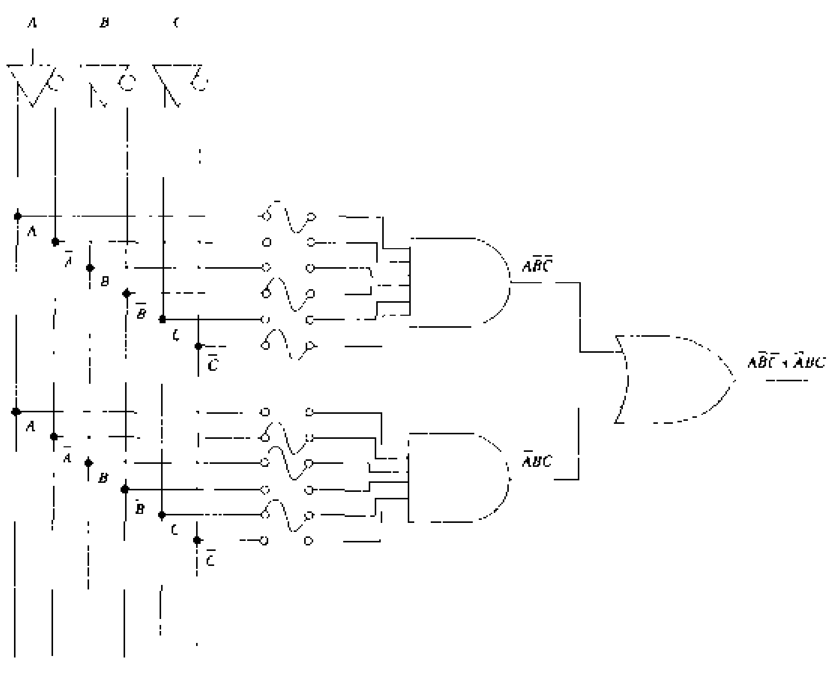


图13.3　对带有输入缓冲器的“积之和”电路进行编程

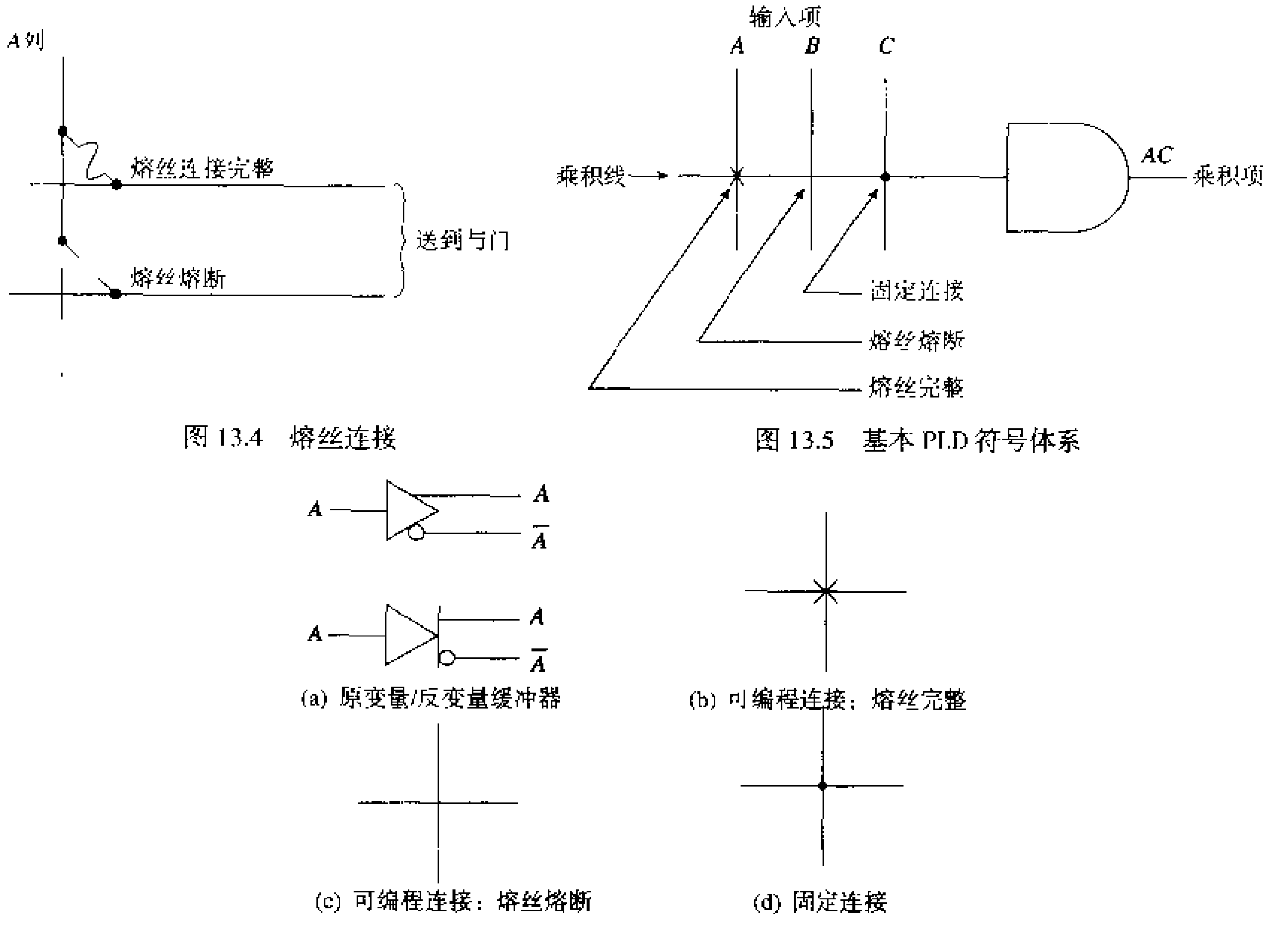


图13.4　熔丝连接

图13.5　基本PLD符号体系

(a) 原变量/反变量缓冲器

(b) 可编程连接：熔丝完整

(c) 可编程连接：熔丝熔断

(d) 固定连接

图13.6　PLD符号

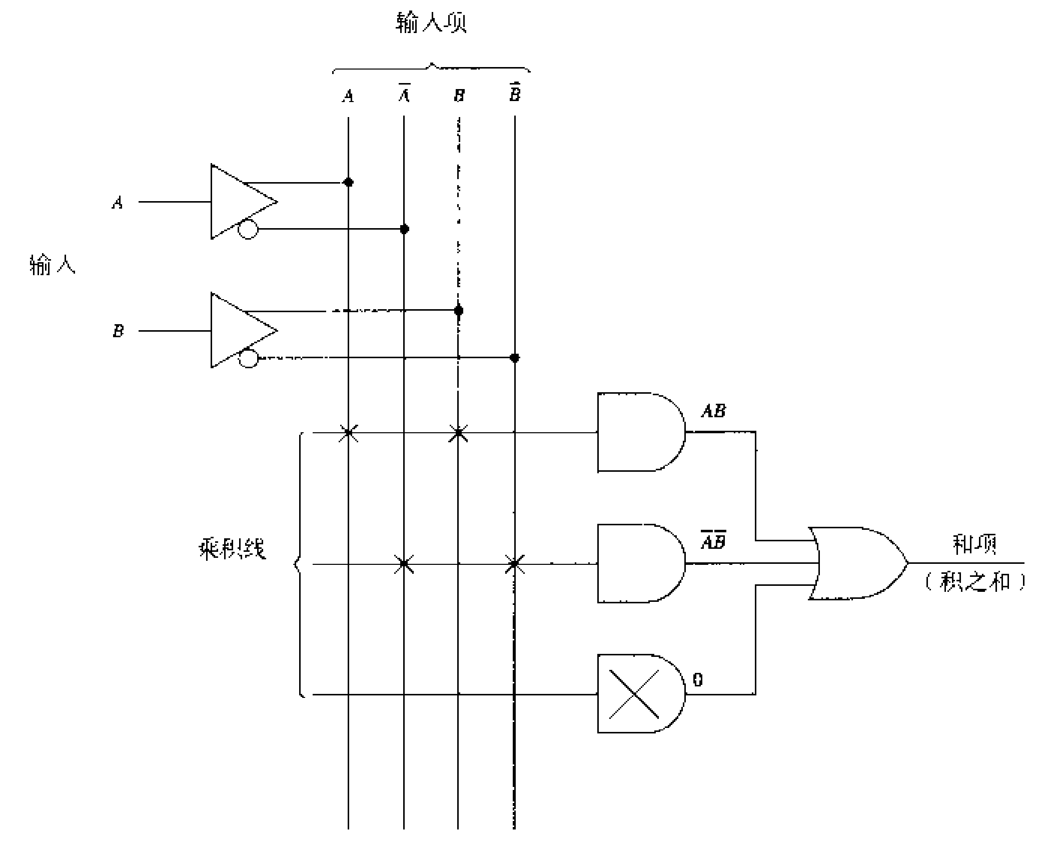


图 13.7 PLD 基本体系结构

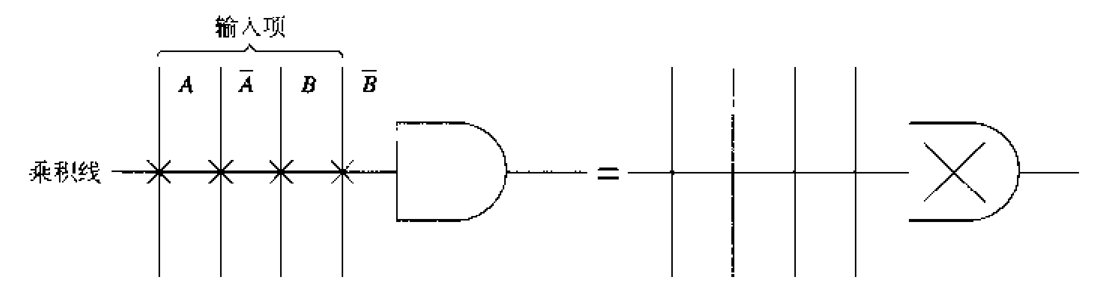


图 13.8 乘积线：所有熔丝都保持完整

在图 13.7 中，如果最下部与门输入点处的熔丝都被熔断，电路的输出表达式是什么？熔丝都被熔断相当于与门的输入端悬空，即输入全为 1，输出为 1，或门关闭，电路的输出是 $AB+\overline{A}\overline{B}+1=1$，被锁定为逻辑 1。

13.1 节复习题

A. 解释名词：PLD

B. PLD 的基本逻辑电路配置是什么？

C. PLD 图中，乘积线上的“×”表示什么？

D. PLD 图中，乘积线上的“·”表示什么？

E. PLD 图中，乘积线上交叉点处既无“×”又无“·”，表示什么？

13.2　体系结构 / 软件

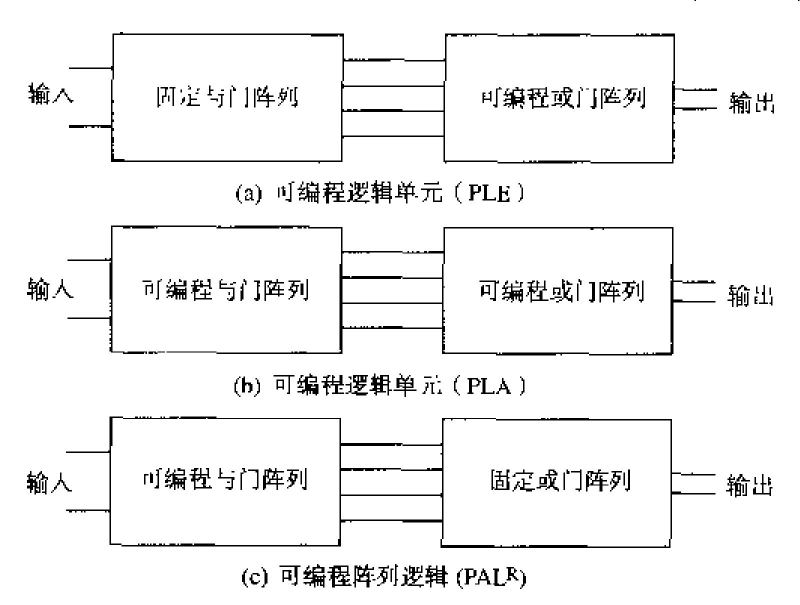
要点

1. PLD 的三种分类。
2. 每类 PLD 中哪个阵列是可编程阵列。
3. 如何向 PLD 中输入数据。
4. 给出 PLD 的零件号，确定它的类型、输入 / 输出数目和配置。
5. ASIC 的含义及优缺点。

目前使用的可编程逻辑器件有几种不同的体系结构，最基本的结构是与 / 或（SOP）阵列。根据与 / 或阵列可否编程，即可划分 PLD 的类型。

13.2.1　体系结构

如图 13.9(a)所示是可编程逻辑单元（PLE）的基本体系结构，它与可编程只读存储器的结构类似。PLE 由两部分组成，输入译码器（由固定与门阵列组成）和输出端的可编程或门阵列。



(a) 可编程逻辑单元（PLE）

(b) 可编程逻辑单元（PLA）

(c) 可编程阵列逻辑 (PAL[R])

图 13.9　可编程器件的体系结构方框图

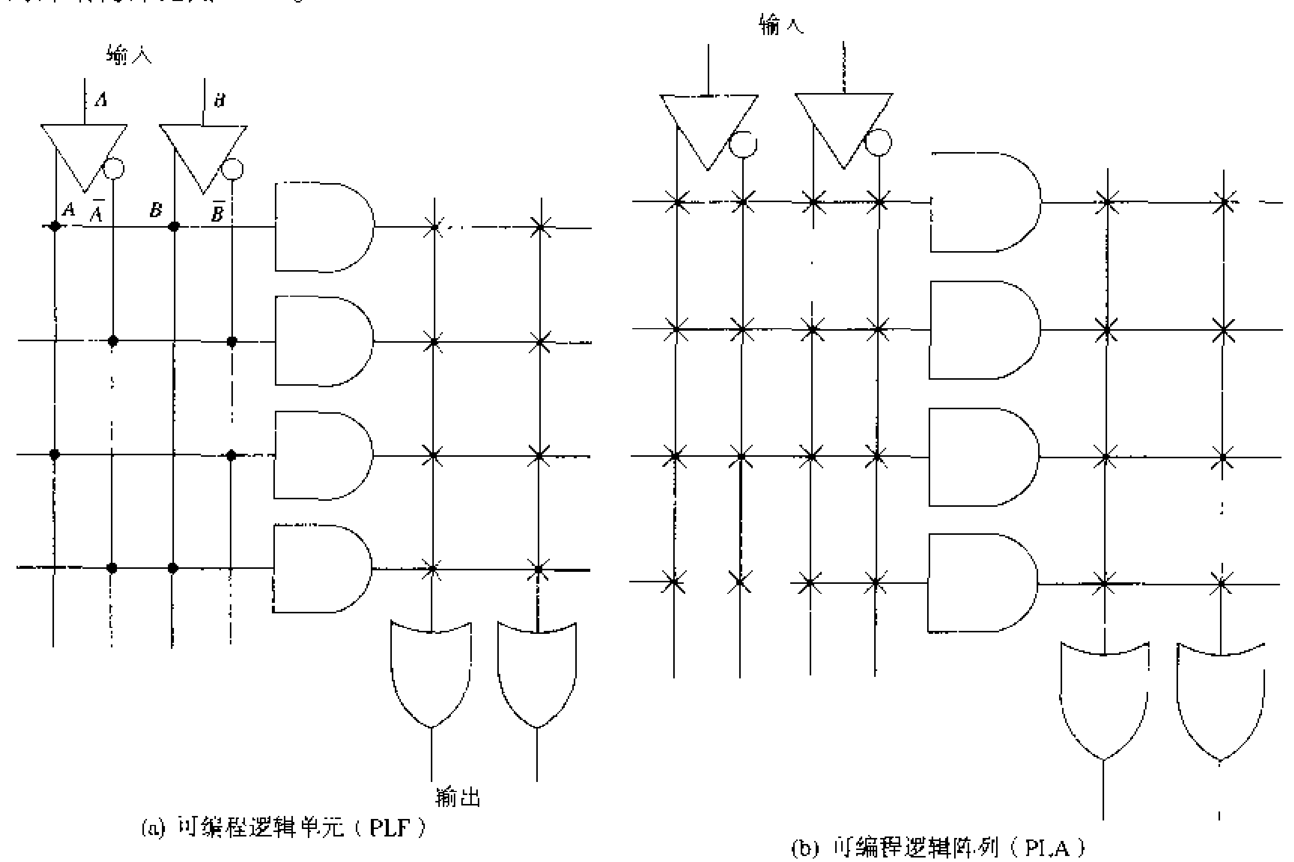
可编程逻辑阵列（PLA）的体系结构如图 13.9(b)所示，它的与阵列和或阵列都可由用户编程。

图 13.9(c)是可编程阵列逻辑（PAL）的基本体系结构，也由与 / 或阵列组成。与 PLE 不同的是，PAL 的与阵列可由用户编程，而或阵列是固定的。PAL 的某些输出可作为 I/O 端口，从而可将 PAL 的输出反馈到与阵列。此外，PAL 系列中某些器件的输出端还装有触发器，可将这些器件配置为计数器或寄存器。

通过以上分析可以得出结论，根据阵列的可编程性，可以将 PLD 分为下列几类：

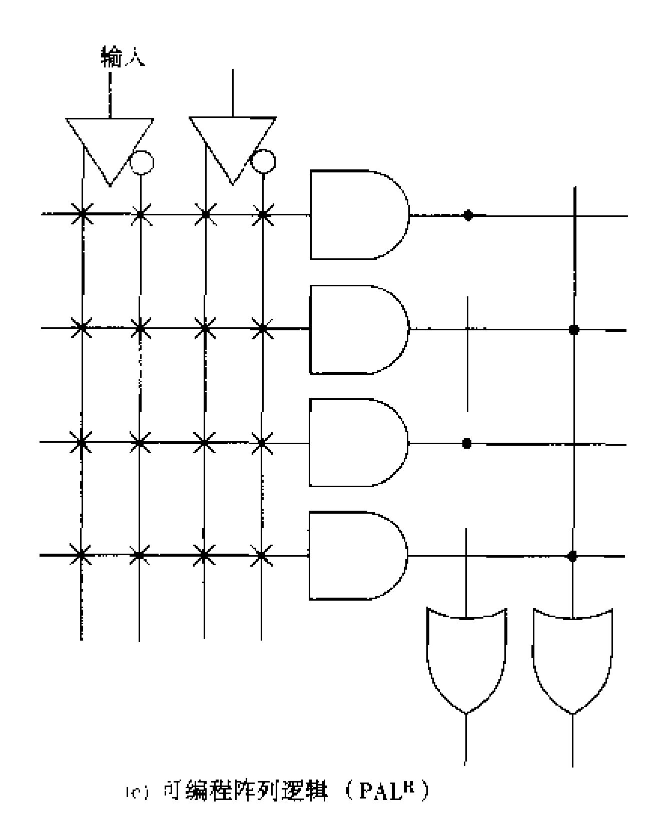
1. PLE：或阵列可编程，与阵列固定；
2. PLA：与阵列和或阵列都可由用户编程；
3. PAL：与阵列可编程，或阵列固定。

图 13.9 所示是 PLE、PLA 和 PAL 的方框图，根据基本 PLD 符号体系绘制的 PLE、PLA 和 PAL 内部结构详见图 13.10。



(a) 可编程逻辑单元（PLF）

(b) 可编程逻辑阵列（PLA）



(c) 可编程阵列逻辑（PAL®）

图 13.10　可编程逻辑器件的逻辑图

不同厂家对PLD的命名方法不同，但大多数制造商都使用下面这种格式的零件号：

NN_ixNN_o–S

其中　NN_i是输入端的数目

　　　x是配置类型

　　　NN_o是输出端的数目

　　　S是操作速度

例：下面是由Texas Instruments（TI）公司生产的某种型号的PAL

TI	B	PAL	20	R	8	–10	C	N
1	2	3	4	5	6	7	8	9

各部分的含义是：

1. 生产厂家（Texas Instruments）
2. B：双极型；C：CMOS
3. 器件类型
4. 阵列的输入数
5. 输出配置
   R：寄存器输出（触发器）
   RP：寄存器输出（极性可编程）
   L：低电平有效（没有触发器）
   V：通用型输出（触发器可旁路）
   X：异或输出
   RX：寄存器输出（异或）
6. 输出数
7. 速度（ns）
8. 温度范围
   C：民用（0℃~75℃）
9. 封装类型

其中，4，5，6和7是大多数制造商都使用的基本格式。

13.2.2　软件

PLD编程软件使用联合电子器件工程协会（JEDEC）文件，JEDEC文件中给出了器件的内部熔丝连接图，编程器可以根据该文件施加信号，熔断相应位置上的熔丝连接。

软件的设计分为几个层次。低级软件要求用户确定内部连接中哪些熔丝需熔断，哪些熔丝需保持完整，这种编程方法非常耗时且易于出错。不过，现在可以利用计算机软件，从而大大简化了编程过程。

更高级一些的PLD软件允许用户借助布尔表达式或真值表输入数据，可以完成与、或、非及异或操作。某些程序会根据输入的表达式选择不同的器件，而有些程序则不能。对于低电平输出有效的器件，相应布尔表达式中的输出变量也应以反变量形式出现。

设计软件的输入表达式部分也允许时钟控制操作，即允许带有寄存器配置的PLD实现寄存器输出。

原理图编辑软件允许在监控器上利用标准逻辑符号绘制逻辑电路。高集成度的PLD和FPGA需要使用计算机辅助设计（CAD）工具编程，目前市场上有许多这样的软件产品出售。

图13.11所示为CAD系统设计入口流程图。设计入口可以是原理图编辑、波形编辑器、硬件说明或是这几类内容的结合。设计入口被编辑成布尔表达式，然后对逻辑式进行优化处理，优化的过程就是简化逻辑式；简化后的逻辑式经过变换，与PLD的逻辑类型匹配；根据逻辑式分配内部连接；该设计经过仿真和纠错，最后形成一个配置文件并送到编辑器，从而完成对设备的编程。

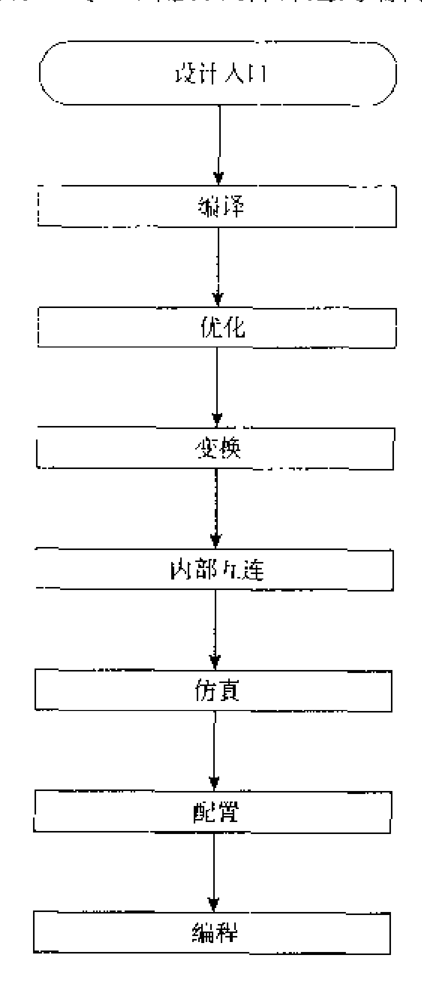


图13.11 CAD系统设计入口流程图

最高级的软件通常包括优化和对电路设计的最终验证。PLD软件将布尔表达式、真值表或原理图编译为JEDEC文件，供硬件编程器使用。

13.2.3 专用集成电路

本书在前面章节中已经详细介绍了SSI和MSI电路，利用标准SSI和MSI可以实现大规模集成电路的设计。但要完成超大规模集成电路的设计却要占用很大的电路板面积，功耗也会随之增加。

某些设计者利用半导体制造工艺将专用高集成度电路制作成一块集成电路，通常将这种电路称为专用集成电路（ASIC）。

ASIC与MROM芯片（见12.2节）类似，价格昂贵且设计和生产时间长，只适于大批量生产。但是它不是存储器，而是专用的组合逻辑电路和时序逻辑电路。

与标准SSI和MSI集成电路相比，ASIC的优越性非常明显：占用的印刷版面积和能量消耗大大

减小；由于减少了连接线的数目，工作可靠性显著提高等。而 PLD 和 FPGA 的出现又克服了 ASIC 的缺点，用户可以设计自己的专用集成电路。

13.2 节复习题

A. 列出三种类型的 PLD。

B. 在 PLA 中，哪种类型的阵列可由用户编程？

C. 在 PAL 中，哪种类型的阵列可由用户编程？

D. 列举出对 PLD 编程时的四种数据输入方法。

E. 确定下列器件的输入/输出数目及输出配置

(1) PAL16R8

(2) PAL20L8

(3) PAL22V10

F. 解释名词：ASIC

G. 列举 ASIC 的优缺点。

阶段性小结（13.1 节 ~ 13.2 节）

可编程逻辑器件（PLD）的出现是数字电路设计的一次革命，使用 SSI“胶水芯片”的日子一去不复返了。技术的发展克服了早期 PLD 的缺点，使得 PLD 成为大多数设计者的首选产品。

PLD 技术与 ROM 技术类似，可实现一次编程或重复编程。EPLD 和 E^2PLD 分别与 EPROM 及 E^2PROM 的擦除技术相同。PLD 集成度高，且使用灵活，这是它应用广泛的主要原因。

图 13.6 所示是 PLD 的工业标准符号体系，根据阵列的可编程性可将 PLD 分为三类：(1) PLE，与阵列固定而或阵列可由用户编程；(2) PLA，与阵列和或阵列都具可编程性；(3) PAL，或阵列固定而与阵列可由用户编程。

目前，市场上有许多软件都可实现对 PLD 的编程。一旦设计入口完成，编程过程的其他部分对用户就是透明的。

阶段性练习（13.1 节 ~ 13.2 节）

1. PLD 的基本体系结构是__________。
   a. 和之和　　c. 和之积
   b. 积之和　　d. 积之积
2. 图 13.12 中乘积线与 A 输入项线交叉点处的“×”表示什么？
   a. 熔丝已熔断　　c. 输入悬空
   b. 熔丝完整　　d. 固定连接
3. 图 13.12 中乘积线与 C 输入项线交叉点处的“·”表示什么？
   a. 熔丝已熔断　　c. 输入悬空
   b. 熔丝完整　　d. 固定连接
4. 可编程阵列逻辑（PAL）包含__________。
   a. 固定与门阵列和可编程或门阵列
   b. 固定或门阵列和可编程与门阵列
   c. 可编程与门阵列和可编程或门阵列

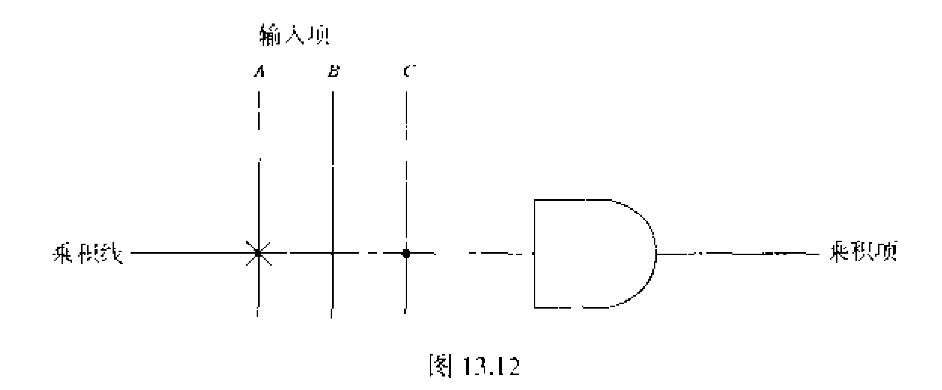


图 13.12

5. 可编程逻辑阵列（PLA）包含________。
   a. 固定与门阵列和可编程或门阵列
   b. 固定或门阵列和可编程与门阵列
   c. 可编程与门阵列和可编程或门阵列
6. 图 13.13 所示的 PLD 是________。
   a. PAL　　b. PLA　　c. PLE

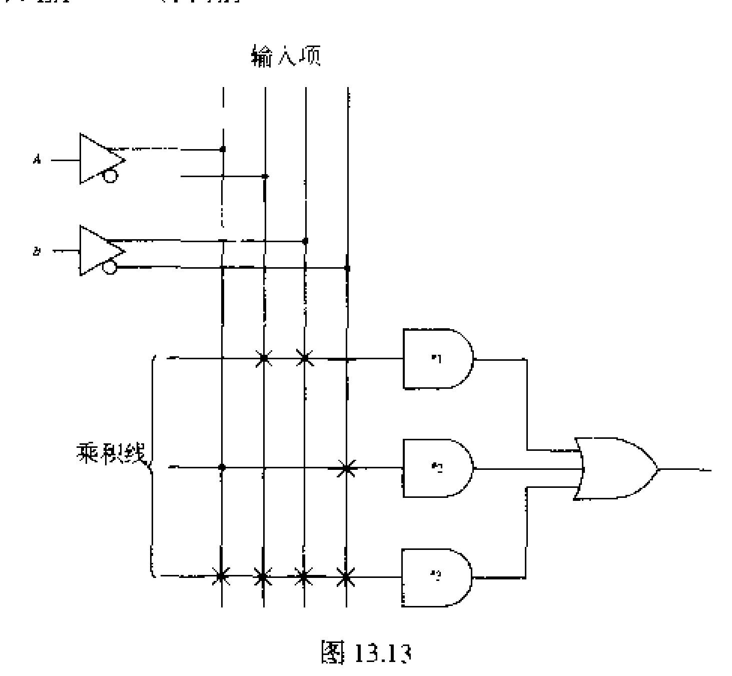


图 13.13

7. 图 13.13 中，#3 与门的输出是什么？
   a. 0　　b. 1　　c. $\bar{A}B$　　d. $\bar{A}\bar{B}$
8. 图 13.13 中，#1 与门的输出何时为 1？
   a. AB　　b. AB　　c. $\bar{A}\bar{B}$　　d. $\bar{A}B$
9. 图 13.13 中，PLD 的输出是什么？
   a. 0　　b.1　　c. $\bar{A}B + A\bar{B}$　　d. $\bar{A}\bar{B} + AB$
10. 图 13.13 中，如果 #3 与门乘积线上的所有熔丝都熔断，则 PLD 的输出是________。
   a. 0　　b.1　　c. $\bar{A}B + A\bar{B}$　　d. $\bar{A}\bar{B} + AB$
11. 图 13.14 中，PAL 器件的输出是________。
   a. 0　　b.1　　c. $\bar{A}\bar{B}\bar{C} + \bar{A}BC + ABC$　　d. $\bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + ABC$

12. 图13.15中，PAL器件的输出表达式是________

a. $AB + AB$　　b. $ABC + ABC + ABC$　　c. $ABC + ABC + ABC$　　d. $ABC + ABC + ABC$

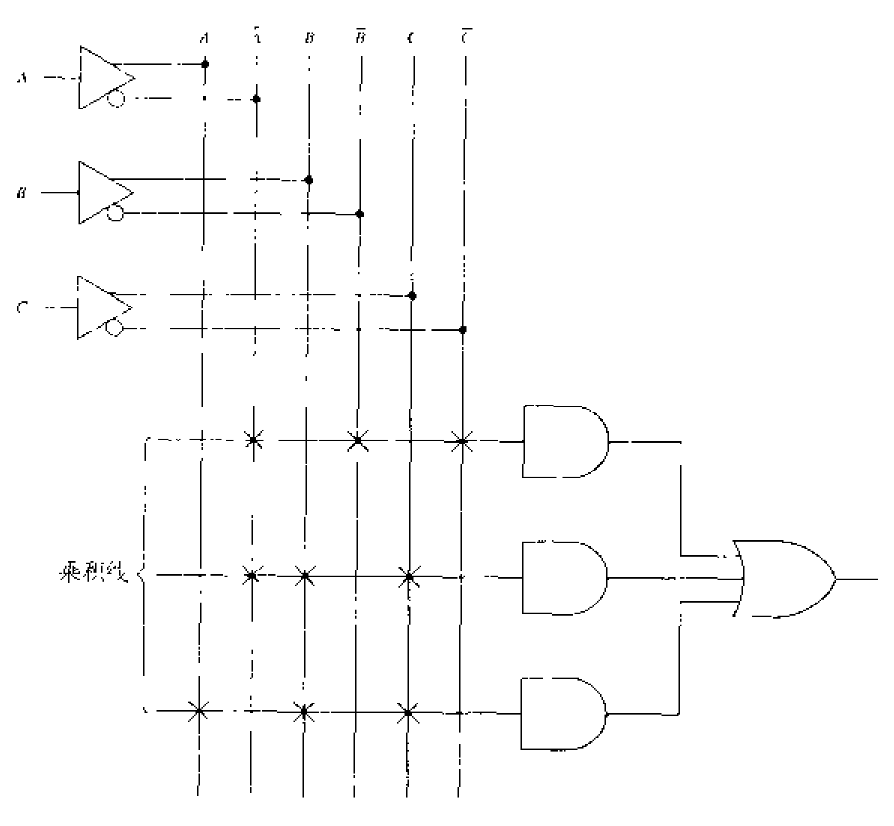


图13.14

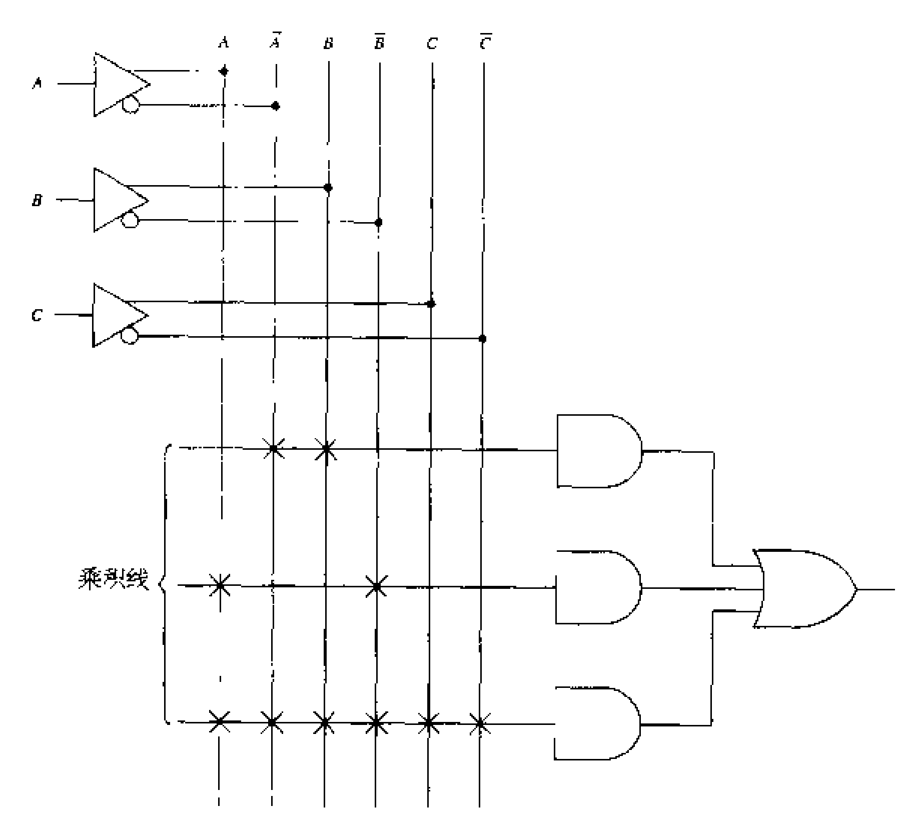


图13.15

13.3 可编程逻辑器件

要点

1. 根据给定的 PLD 方框图，确定器件的输入、输出数目及其配置。
2. 根据给定的输出逻辑宏单元或I/O体系结构控制单元的简化逻辑图，确定反馈和输出的类型。
3. 确定 Lattice 公司生产的 PLD 中各主要部分的作用。
4. 根据 Lattice 1000 系列 PLD 的逻辑方框图，确定不同输入组合时得到的输出 Q。

13.3.1 可编程逻辑阵列

可编程逻辑阵列（PLA）器件内的与阵列和或阵列都可由用户编程。PLA实现的是线逻辑关系。关于"线与"的概念在第11章中已介绍过，这个概念也可扩展到或阵列中。根据 $A+B=\overline{\overline{A}\overline{B}}$ 可知，完成同样的逻辑功能可以采用不同的阵列结构。例如，可以利用与非门阵列，将阵列的输出再反馈到阵列的输入端来实现 SOP 表达式功能。这种类型器件实现的是合并逻辑关系。如图 13.16 所示，这是 PLA 的逻辑图，图中没有画出所有的输入和乘积线。

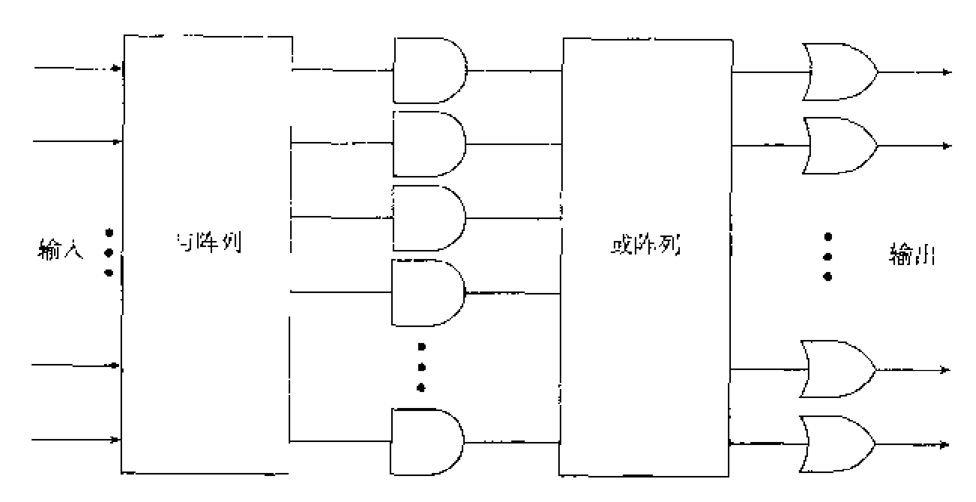


图 13.16 可编程逻辑阵列（PLA）逻辑图

早期的 PLA 因为存在显著的传输延迟现象，所以操作速度很慢，再加上生产成本高，因而生产商开发和设计了新一代的可编程阵列逻辑（PAL）器件。PAL 价格相对便宜，且输入到输出的传输延时很短，只有5 ns。不过，目前随着技术的发展提高，尤其是对多输入或门的需求，使得对PLA的应用又逐渐广泛起来。

本节介绍了如何利用不同的器件实现不同的逻辑关系；如何在基本 SOP 可编程器件中添加触发器，从而使其具有时序逻辑功能。通过本节的学习可以帮助设计者顺利完成利用PLD实现某些复杂电路的设计。

这一节介绍有关PLD的内容主要是为了帮助读者更好地理解设备的操作，如阵列熔丝的熔断、控制位的置位、利用硬件编程器对抗熔丝编程等等，这些都需要软件的控制才能实现。电路的实现对设计者/用户是透明的。

13.3.2 可编程阵列逻辑

图13.17所示是PAL的逻辑图。多输入与门阵列可由用户编程，与门阵列的输出端送到或门阵列的输入端，或门阵列是固定的，不具有可编程性。图13.18所示是寄存器输出的PAL。大多数PAL器件的输出端还带有三态门，这种PLD结构又称为"逻辑型"，内部逻辑门的比例远高于触发器

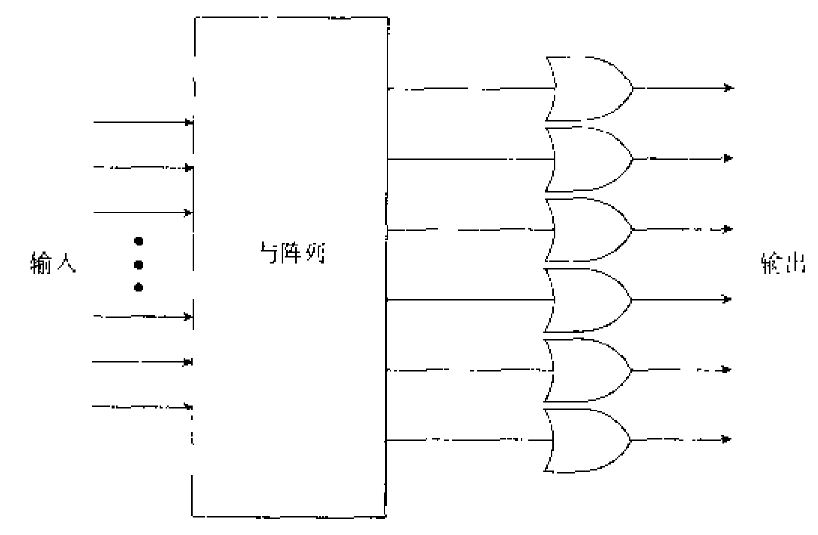


图13.17 可编程阵列逻辑（PAL）逻辑图

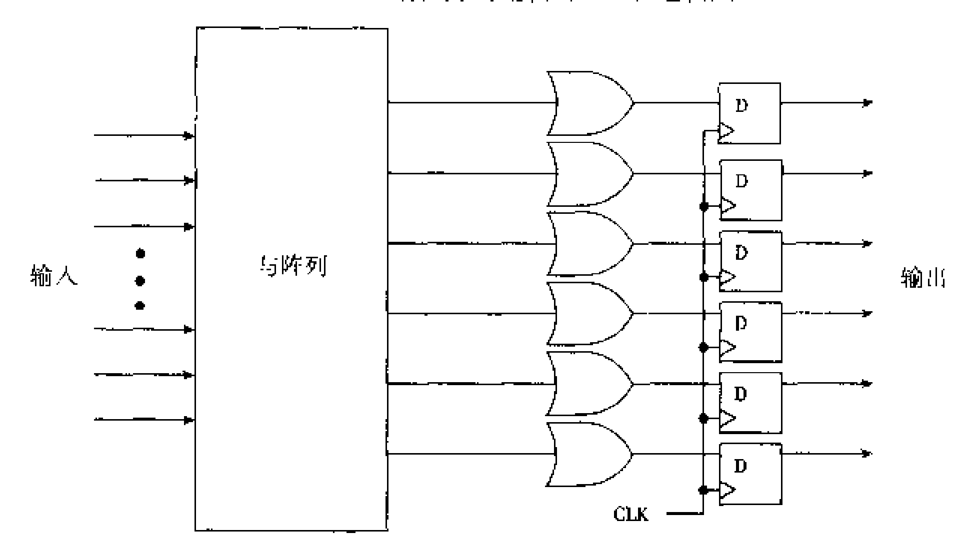


图13.18 寄存器输出可编程阵列逻辑（PAL）逻辑图

TIBPAL16L8

图13.19是Texas Instrument公司生产的TIBPAL16L8型PAL的方框图。TIBPAL16L8是双极型、16个输入、8个输出的PAL器件。PAL的输出端接有三态反相器，所以输出低电平有效。PAL16L8的整体布局是"与－或－非"。有关PAL的可编程性和三态输出，详见图13.20的逻辑图。

PAL16L8有10根专用输入线和6个I/O端，I/O端可作为输入引脚，也可作为反馈端，将输出信号反馈回与门阵列。输入信号经过输入缓冲器送到与门阵列的输入端，如图13.19中符号"▷"所示。从图中还可看出，与门阵列（32 × 64）有32根输入线（16根为原变量输入，16根为反变量输入，由互补输入缓冲器生成）和64根乘积线，这说明每个与门有32个输入。乘积项是通过熔断熔丝连接或使用某些类似技术实现的。图中每个或门块的顶端有一根输入线（EN），绕过或门，用于控制PLD的三态输出。如果EN输入为高电平，输出缓冲器才可以工作。或门的其余7根输入线是乘积项输入。

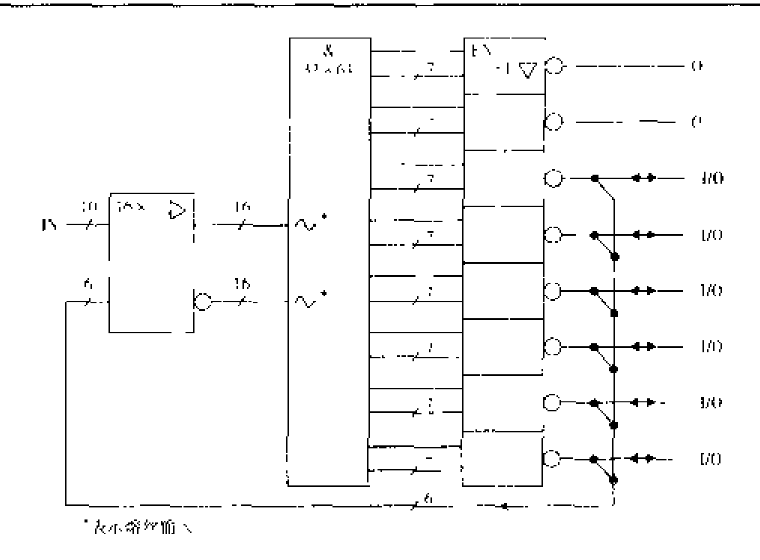


图 13.19 TIBPAL16L8 方框图

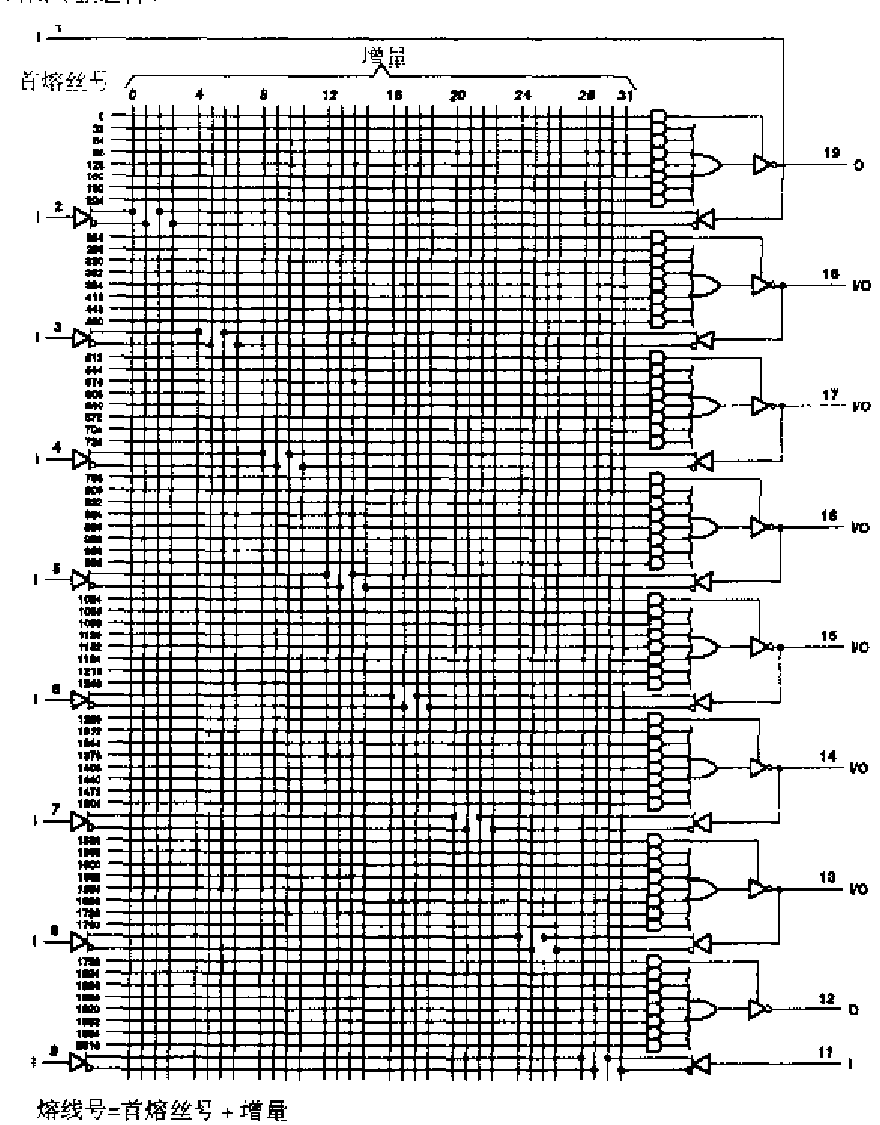


图 13.20 TIBPAL16L8 逻辑图

在PAL的逻辑图（图13.20）中，对熔断或完整熔丝的画法与前面所介绍的有所不同，没有用“×”表示完整的熔丝，这样便于设计者在图上标注需熔断或需保持完整的熔丝。

如果乘积线0上的所有熔丝都保持完整，则该与门输出为0，使三态反相器处于禁止态，引脚19的输出呈高阻态。同理，如果乘积线8，16，24，32，40，48和56上的熔丝都保持完整，则其他PAL的输出也为高阻态。因为会使缓冲器输出保持为高阻态，所以所有这些熔丝保持完整是不希望出现的状态，但是有种情况例外。如果I/O引脚13～18作为输入引脚，则三态缓冲器的输出必须为高阻态。即使把I/O端作为输出引脚，输出信号也要反馈送回到与门阵列中。如果通过编程使输出反馈回电路，这种用法称为合并逻辑。

深入分析操作过程

下面以PAL16L8为例说明PLD的设计过程，以布尔表达式为输入工具。软件安装完成后设计数据通过微机键盘输入。典型的设计入口由下列几部分组成：

1. **文本部分**：包含标题、设计者姓名及日期等。
2. **说明部分**：该部分以关键字“chip”（芯片）开始，包含芯片的名字及PLD的类型。芯片的名字中应说明电路或设计的类型，或提供指定PLD应用的信息；PLD的类型是指PLD的标志号或零件号，如，

   chip EXP 1 PAL16L8

   说明部分的最后一项要包含引脚列表。有关TIBPAL16L8的引脚号如图13.21所示。

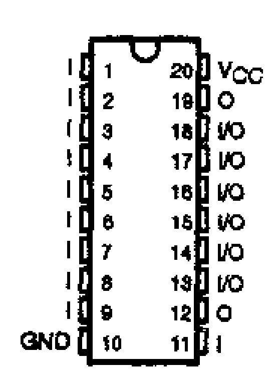


图13.21 TIBPAL16L8外引脚图

PLD要实现的逻辑功能见图13.22，其中输出变量使用反变量形式

引脚必须按引脚号排列，即，第一项是引脚1，第二项是引脚2，以此类推。在引脚列表中说明了实际的PLD引脚数目，通常称其为注释。注释以分号开始，一直到物理行的末尾，可以用在输入文件的任何地方。其中的字母Ai，Bo，Ci等都是任意的，“i”表示输入，而“o”表示输出，如：

```
; 1    2    3    4    5    6    7    8    9    10
  Ai   Ci   Di   Fi   Gi   Ii   Ji   Ki   Mi   GND
; 11   12   13   14   15   16   17   18   19   20
  Ni   Ro   Pi   Qi   Oo   Lo   Ho   Eo   Bo   VCC
```

如果在PLD的设计过程中有些子表达式经常出现，可采用一种简化方式，格式如下：

```
@define LABEL "子表达式"
```

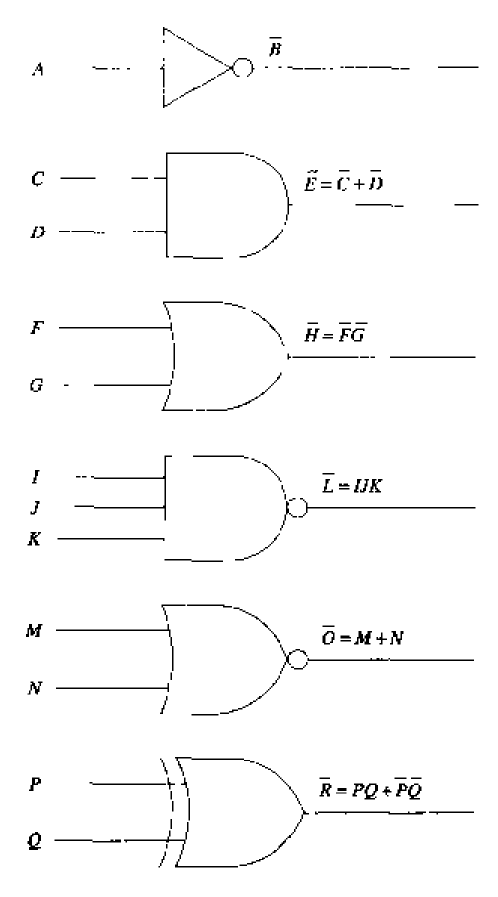


图 13.22 逻辑功能，反变量输出表达式

下面举一个例子：

```
@define T1 "AB + C"
```

利用标志“T1”来表示引号内的表达式“AB + C”。

3. **表达式部分**：该部分由关键字“equation”（表达式）开始，PLD 电路中需要的布尔表达式在这里输入。采用表 13.1 中的逻辑符号来表示各种逻辑关系。

布尔表达式的格式如下所示。注意，如果使用 PAL16L8，输出变量要采用反变量形式。

信号名称　分配算子　逻辑表达式

其中的信号名称就是引脚列表中的标识符（如 Ai 和 Bo 等），分配算子必须是“=”或“:=”。“=”表示无时钟操作，主要用于组合逻辑电路，而“:=”表示时钟操作，主要用于寄存器输出。逻辑表达式是标识符和逻辑算子的 SOP 结合式。

表 13.1 设计软件的逻辑算子

符号	运算	应用例子	优先级
/	非	/A	4（最高）
*	与	A*B	3
+	或	A+B	2
:+:	异或	A:+:B	1（最低）

下面利用 PAL16L8 实现图 13.22 中的逻辑功能，用于编程的输入文件如下所示。

```
TITLE        PLD Experiment 1
AUTHOR       B.Thompson
DATE         1/1 /96
chip         EXP 1     PAL16L8

; 1     2     3     4     5     6     7     8     9     10
  Ai    Ci    Di    Fi    Gi    Ii    Ji    Ki    Mi    GND

; 11    12    13    14    15    16    17    18    19    20
  Ni    Ro    Pi    Qi    Oo    Lo    Ho    Eo    Bo    VCC

@define  T1   "Pi * Qi"      ; PRODUCT TERM
@define  T2   "/Pi * /Qi"    ; PRODUCT TERM

equations

/Bo = Ai            ; INVERTER
/Eo = /Ci + /Di     ; AND GATE
/Ho = /Fi */Gi      ; OR GATE
/Lo = Ii * Ji * Ki  ; NAND GATE PRODUCT TERM
/Oo = Mi + Ni       ; NOR GATE(SUM OF INPUTS)
/Ro = T1 + T2       ; X-OR(SUM-OF-PRODUCTS)
;    END OF INPUT FILE EXP 1
```

设计软件应该生成两个输出文件：XXXX.DOC和XXXX.JED。DOC文件用于说明器件的输出引脚及每个引脚的指定名称，而JED文件用于硬件编程器"熔固"芯片。

控制PAL16L8的三态输出必须使用功能表达式，输入功能表达式的格式如下：

信号名称.功能 = 逻辑表达式

其中，信号名称就是名称列表中的标识符；逻辑表达式同前；".功能"有几种不同的使用方式，以三态控制为例，该功能的关键字是"trst"。例如，

```
OUT1.trst = Pin1 * /Pin2
```

下面是PLD输入文件的又一个例子，该例子与前面的类似，不同的是输出为三态输出。$\overline{\text{Eo}}$，$\overline{\text{Ho}}$，$\overline{\text{Lo}}$和$\overline{\text{Oo}}$由功能表达式定义和控制。

```
TITLE        PLD Experiment 2
AUTHOR       B.Thompson
DATE         1/11/96
chip         EXP 2     PAL16L8

; 1     2     3     4     5     6     7     8     9     10
  OE    Ci    Di    Fi    Gi    Ii    Ji    Ki    Mi    GND

; 11    12    13    14    15    16    17    18    19    20
  Ni    Ro    Pi    Qi    Oo    Lo    Ho    Eo    Bo    VCC

@define  T1   "Pi * Qi"      ; PRODUCT TERM
@define  T2   "/Pi * /Qi"    ; PRODUCT TERM

equations

/Bo = OE            ; OE IS OUTPUT ENABLE
                      Bo IS ALWAYS ACTIVE(HI or LO)
```

```
/Eo = /Ci * /Di        ; AND GATE
Eo.trst = /OE          ; OUTPUT ENABLE(ACTIVE LOW)
/Ho = /Fi * /Gi        ; OR GATE
Ho.trst = /OE          ; OUTPUT ENABLE(ACTIVE LOW)
/Lo = Ii * Ji * Ki     ; NAND GATE(PRODUCT TERM)
Lo.trst = /OE          ; OUTPUT ENABLE(ACTIVE LOW)
/Oo = Mi + Ni          ; NOR GATE(SUM OF INPUTS)
Oo.trst = /OE          ; OUTPUT ENABLE(ACTIVE LOW)
/Ro = T1 + T2          ; X-OR(SUM-OF-PRODUCTS)
                       ; Ro IS ALWAYS ACTIVE(HI or LO)
;       END OF INPUT FILE EXP 2
```

TIBPAL16R4

因为PAL16L8内不含触发器，所以它是一种组合逻辑PLD。图13.23所示的是寄存器输出PAL的方框图。因为PAL16R4内有触发器，而用于传递或存储数据的触发器集合称为寄存器，所以此类输出称为寄存器输出。TIBPAL16R4是一种双极型PAL器件，它有16根输入线，4个D触发器构成的寄存器输出端，从其零件号（16R4）中可以看出这些特点。

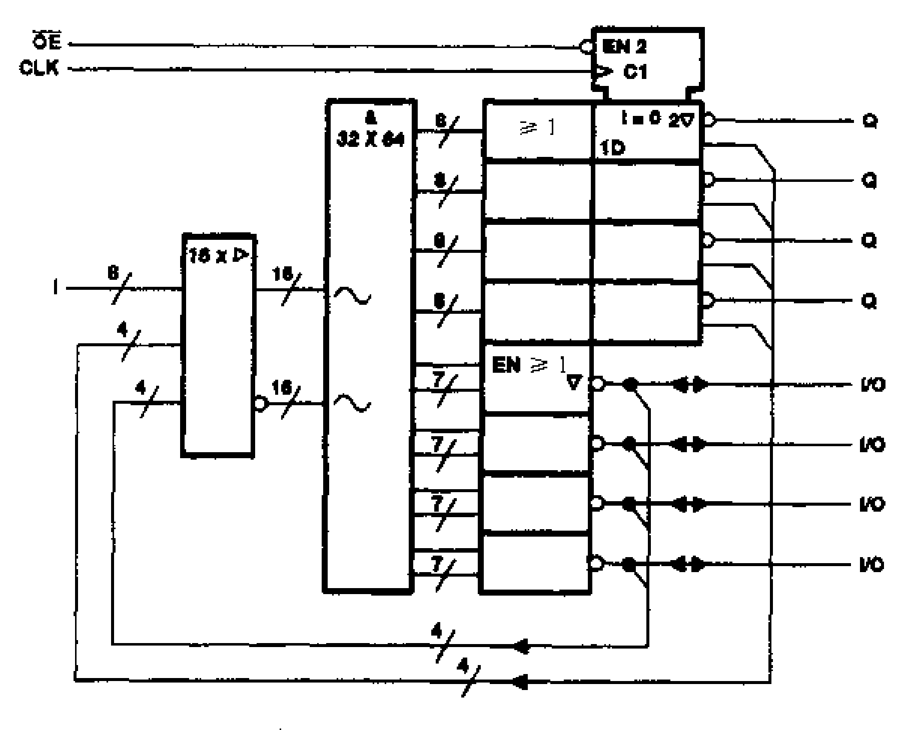


图13.23　TIBPAL16R4的方框图

TIBPAL16R4有8个专用输入口，4个I/O端，输出Q可反馈回与门阵列。与门阵列由32根输入线和64根乘积线构成。该PLD的或门阵列由4个或门块组成，每个块上有一个输入允许端，用以控制I/O端的三态输出；此外，TIBPAL16R4还有一个输出使能（$\overline{OE}$）控制输入端，只有该端输入信号有效，Q端才会有输出信号；CLK为外部时钟输入端，用于4个D触发器的时钟控制，从图中可看出$\overline{OE}$和CLK都是D触发器的控制端。图中，$I=0$是通用限定符，表示触发器加电复位。因为外部时钟控制同时加到4个触发器上，所以PLD的输出是同步的。图13.24所示的是TIBPAL16R4的逻辑图，4个触发器的D输入是由或门阵列的4个或门块提供的。

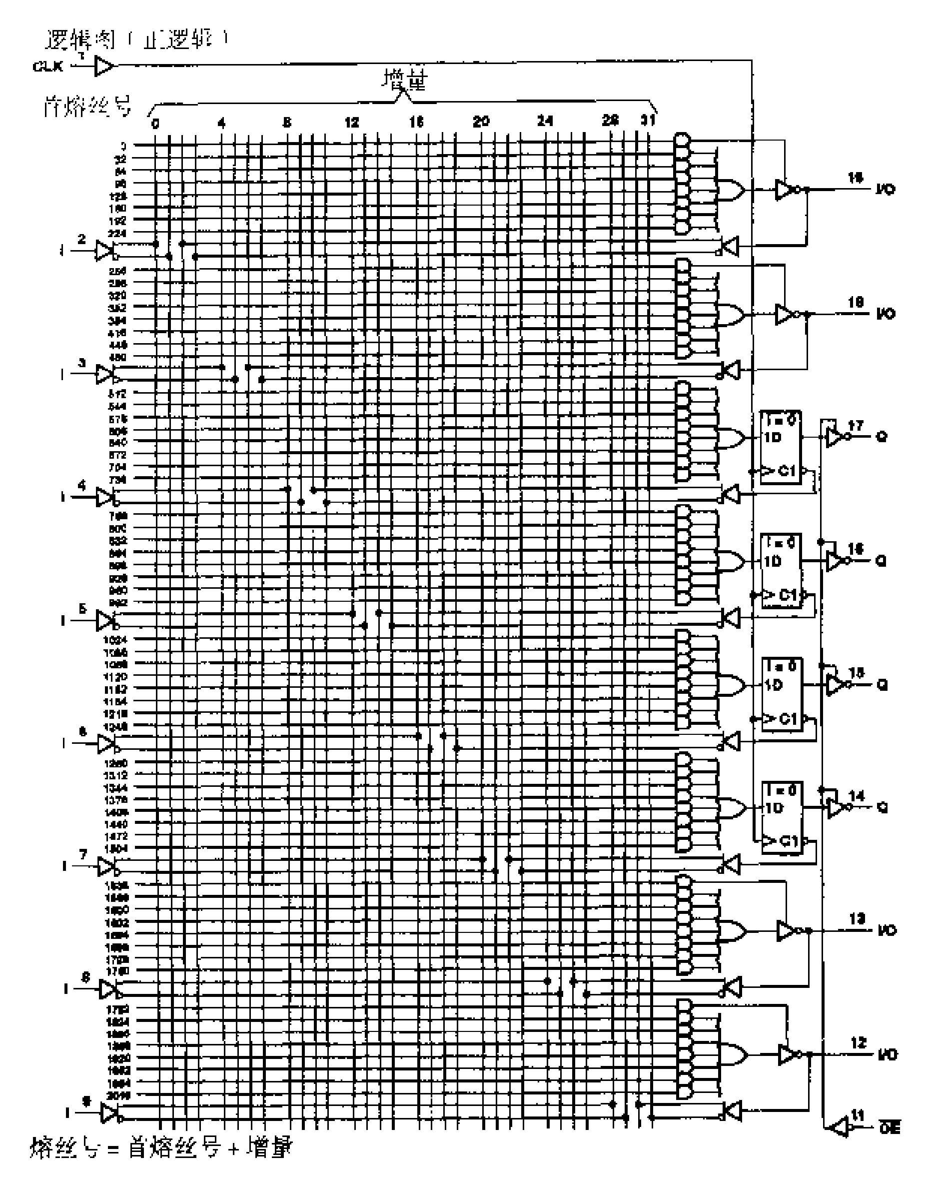


图 13.24　TIBPAL16R4 的逻辑图

图 13.25 是 PAL16R4 的一部分，其顶端的与门用以控制 Q 输出端的三态反相器。与 PAL16L8 类似，因为输出端有三态反相器，所以输出是低电平有效。触发器的输出 $\bar{Q}$ 经过互补缓冲器反馈回与阵列。利用这种合并逻辑可以实现如计数器、寄存器等时序逻辑电路功能，而对没有触发器的 PLD 来说，要想实现这种时序逻辑功能是不可能的。

由于要考虑到时序和存储问题，时序电路的编程比组合逻辑电路更复杂，常利用状态表进行设计。状态表内显示电路的原态（时钟脉冲到来前的状态，通常用 Q^n 表示）、次态（时钟脉冲到来后电路的输出状态，通常用 Q^{n+1} 表示）及各输入端（D 或 J 和 K 端）的状态（实现次态转换所需要的输入状态）。根据状态表可以确定电路的逻辑表达式。经过简化后，由简化的表达式确定构成时序电路所需要的基本门电路类型。

许多制造商还提供 16R8 型号，它与 16R4 类似，使用熔丝技术，有 8 个专用输入口和 8 个专用输出口。

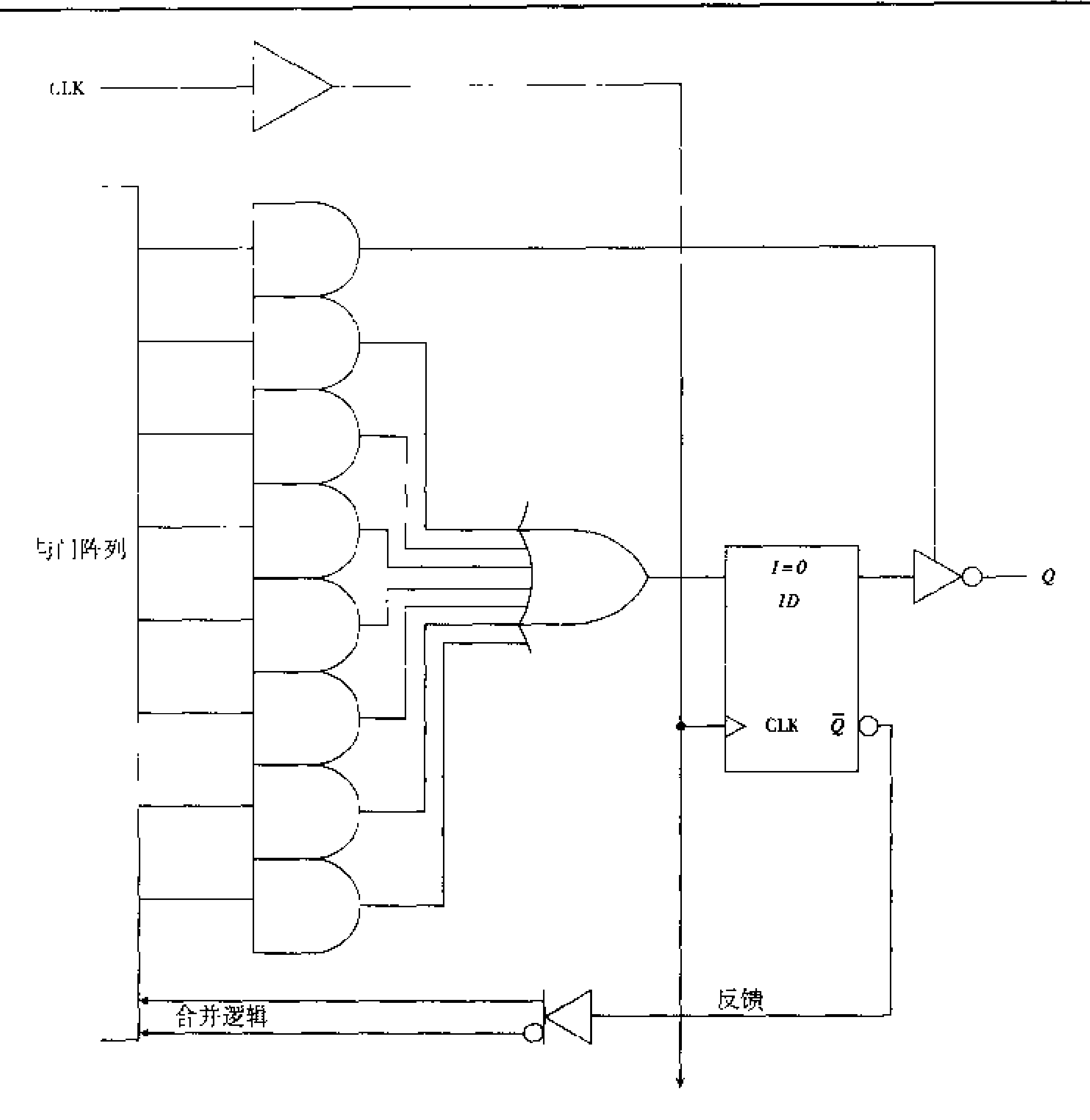


图 13.25 TIBPAL16R4 逻辑图的一部分

TIBPAL22V10

此类PLD的基本结构也是与-或阵列，有多达22个的输入口和10个输出口。此外，还包含一个可编程输出逻辑宏单元（OLM），这就使得PAL22V10具有对每一个输出结构进行独立定义和编程的能力。它的输出由独立的乘积项使能，可以实现寄存器输出或非寄存器输出；输出既可以是原变量形式，也可以是反变量形式。有关OLM的结构如图13.26所示，图中的OLM是由Texas Instrument公司设计的，不同制造商生产的OLM结构不同，但结果类似。

通过对OLM进行编程，可以实现寄存器输出或I/O反馈，也可以实现时序逻辑输出或组合逻辑输出。三态输出既可以是原变量形式（高电平有效），也可以是反变量形式（低电平有效）。借助编程可选择时钟的极性，所以可使用输入时钟信号的NGT或PGT对触发器进行时钟控制。此外，借助编程，与阵列乘积项可实现对触发器的同步置位（SS）或异步复位（AR）。

对图13.26中的OLM逻辑图进行简化，即可得到图13.27。从图中可以看出，通过S_1和S_0的不同取值（内部熔丝是否熔断）可得到4种不同的输出配置。表13.2列出了4种不同输出配置得到的反馈及输出类型。

表13.2　输出逻辑宏单元功能表

熔丝选择		数据选择		反馈	输出	
S_1	S_0	MUX #1	MUX #2	类型	类型	有效电平
0	0	0	0	寄存器反馈	寄存器输出	低
0	1	1	0	寄存器反馈	寄存器输出	高
1	0	2	1	I/O反馈	组合逻辑输出	低
1	1	3	1	I/O反馈	组合逻辑输出	高

熔丝完整＝0；熔丝熔断＝1

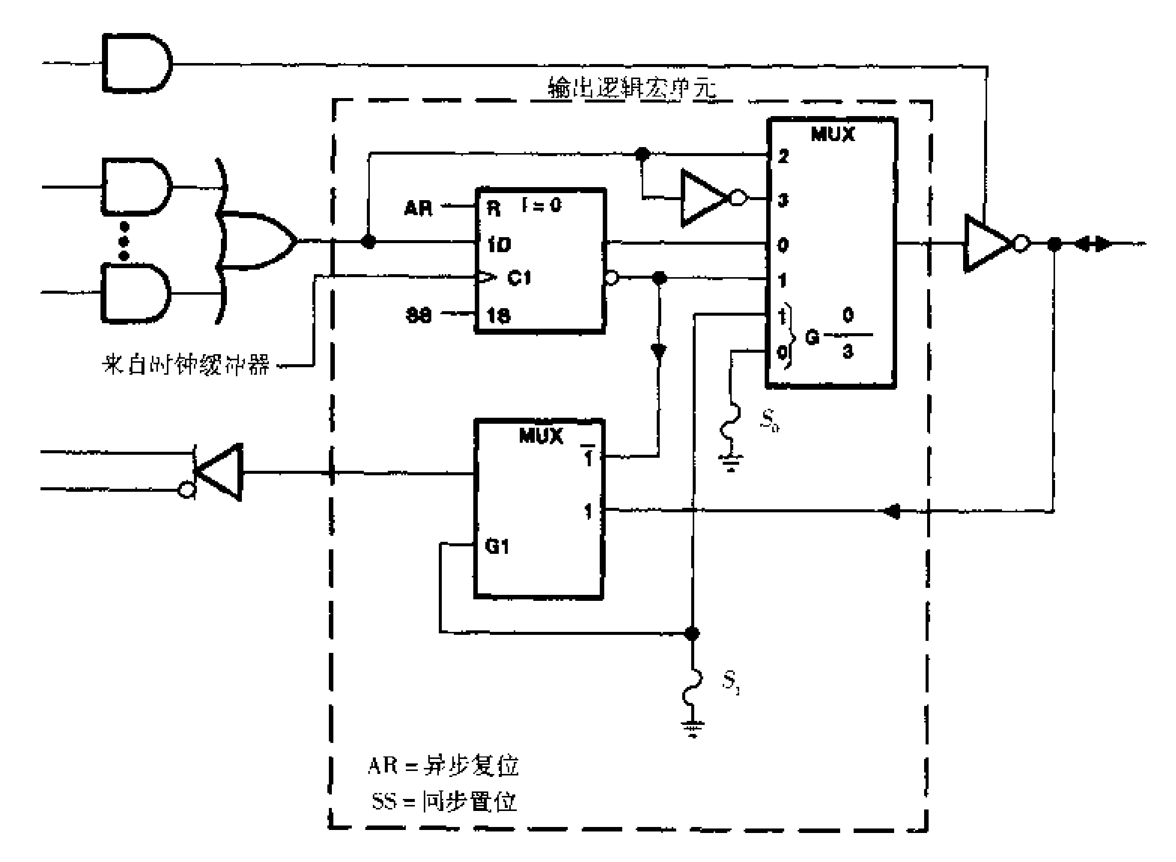


图13.26　输出逻辑宏单元（OLM）

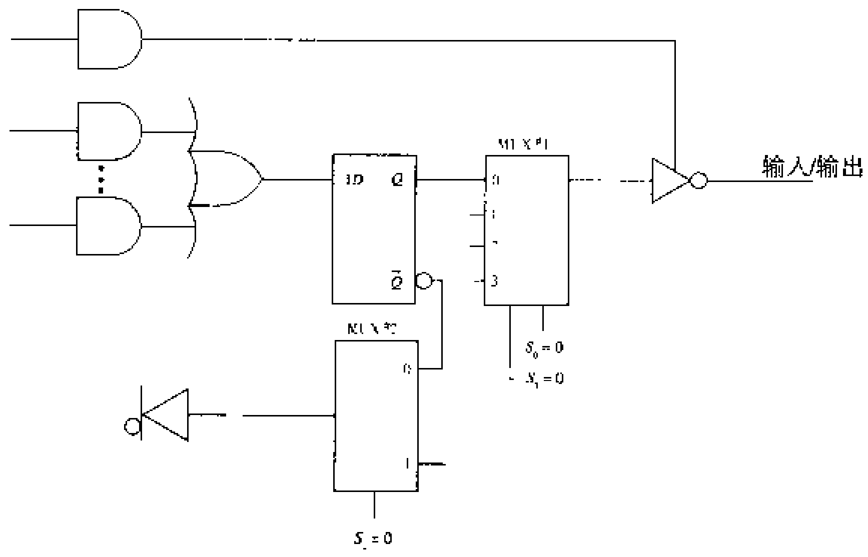
在图示的宏单元中，有两根可编程熔丝（S_0和S_1），用于控制PLD的反馈及输出类型。如果熔丝未熔断，对应的逻辑值为0，反之，熔丝熔断后的值为1。通过使用多路转换器选择不同的数据组合，可以实现4种不同配置，而OLM多路转换器的数据选择是由可编程熔丝控制的。下面详细讨论S_0和S_1的控制作用。

$S_0 = 0$，$S_1 = 0$

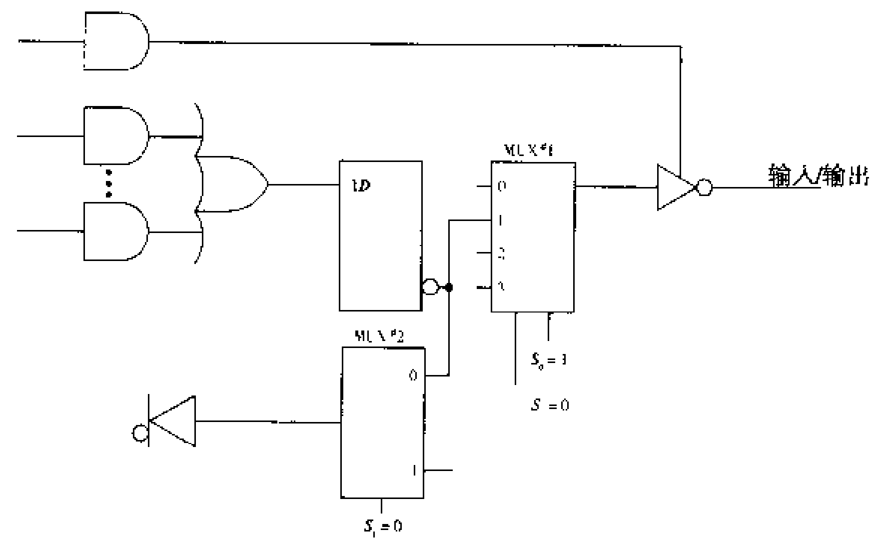
这种输入组合可以实现寄存器反馈及低电平有效的寄存器输出，如图13.27(a)所示。通过编程保持两根熔丝的完整，即可实现这种配置。

或阵列的输出直接送到触发器的数据输入端，触发器的输出Q送到MUX #1的0端（注意，MUX #1是4–1线多路转换器）。MUX #1的1，2，3端同样有数据输入，如图13.26所示。在图13.27(a)中，因为这些输入与输出配置无关，所以未画出。

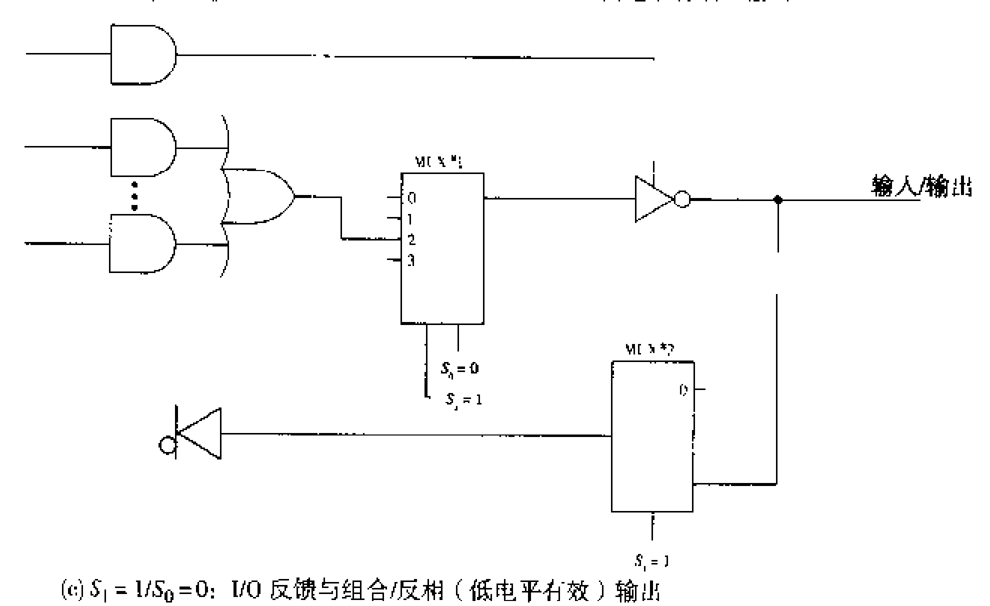
当$S_1 = 0$且$S_0 = 0$时，MUX #1的0端输入数据被送至MUX的输出端，经过三态反相器后输出。反相器的输出允许由与阵列的一个乘积项控制。由于输出端有三态反相器，所以PLD的输出低电平有效；输出取自D触发器，故为寄存器输出。



(a) $S_1=0/S_0=0$：寄存器反馈与寄存器/反相（低电平有效）输出

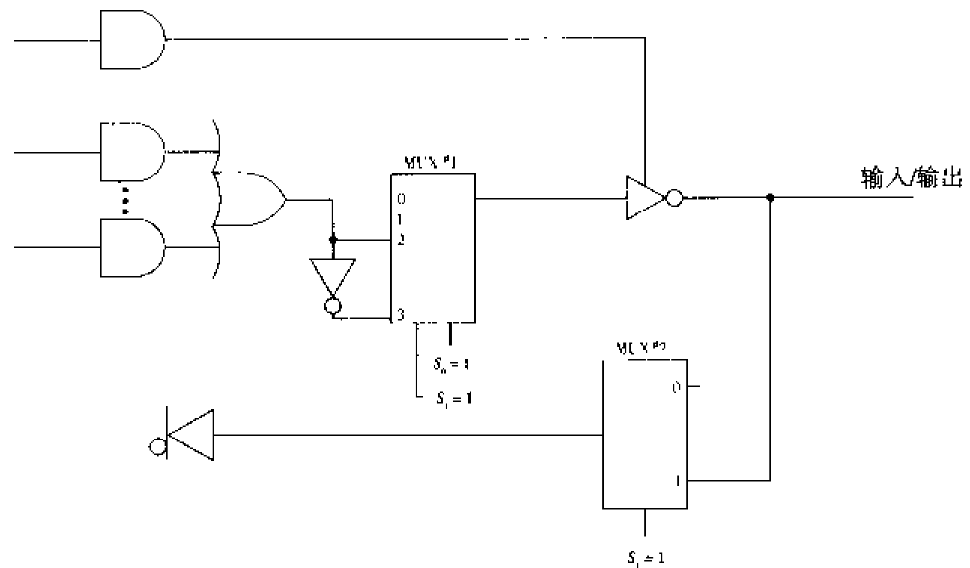


(b) $S_1=0/S_0=1$：寄存器反馈与寄存器/非反相（高电平有效）输出



(c) $S_1=1/S_0=0$：I/O 反馈与组合/反相（低电平有效）输出

图 13.27　OLM 编程的简化逻辑图



(d) $S_1 = 1/S_0 = 1$：I/O 反馈与组合/非反相（高电平有效）输出

图 13.27（续）　OLM 编程的简化逻辑图

D 触发器的反相输出端 $\bar{Q}$，接至 MUX #2 的 0 输入端。MUX #2 是 2-1 线多路转换器，因为 $S_1 = 0$，故 0 端输入数据被选中并传递到 MUX 的输出端。同样，为了简化画图，MUX #2 的 1 端输入没有画出。反馈信号取自触发器，经互补缓冲器送回与阵列，因此这种反馈属于寄存器反馈。

$S_1 = 0$，$S_0 = 1$

这种输入组合如图 13.27(b)所示，可以实现寄存器反馈及高电平有效的寄存器输出。由于在编程时令 S_0 熔断，S_1 保持完整，所以配置上的惟一不同是 MUX #1 选择 1 端输入，将触发器的输出 $\bar{Q}$ 传递至 MUX 的输出端。在上例中，触发器的输出 Q 被选中，而本例中触发器的输出 $\bar{Q}$ 被选中，经过三态反相器的反相，输出信号为原变量形式 Q（高电平有效）。反馈形式为寄存器反馈，与上例相同。

$S_1 = 0$，$S_0 = 1$

在 PLD 的编程过程中，熔断熔丝 S_1 而保持 S_0 完整，就可得到这种输入组合。电路配置如图 13.27(c)所示，可实现 I/O 反馈和低电平有效的组合逻辑输出。因为没有使用宏单元触发器，所以输出是非寄存器型的。

如图 13.27(c)所示，或阵列的输出送至 MUX #1 的引脚 2，经过反相后送至引脚 3（图中未画出，可参考图 13.26），触发器被旁路。由于三态反相器的作用，使组合逻辑输出为低电平有效。

由于 S_1 被熔断，MUX #2 的引脚 1 为指定数据输入端，这就使得 I/O 端有两种选择：当三态反相器处于工作状态时，I/O 端将输出数据反馈回与阵列，实现合并逻辑；而当三态反相器为高阻态时，I/O 端可作为输入引脚。

$S_1 = 0$，$S_0 = 1$

当 S_1 和 S_0 都被熔断后得到这种组合结果。电路配置如图 13.27(d)所示，可实现 I/O 反馈和高电平有效的组合逻辑输出。MUX #1 的 3 端为选定的数据输入端，或阵列的输出反相后送至该输入端，经 MUX 输出后由三态反相器再次反相，从而输出为原变量形式（高电平有效）。

MUX #2 的操作同上，使 I/O 端既可作为输入端，也可作为反馈端。

图 13.28 所示是 TIBPAL22V10 的方框图，其逻辑图见图 13.29。将 22V10 的方框图与 16R4（图 13.23）比较一下，可以发现这两类 PLD 很相似，主要的不同是 22V10 有输出逻辑宏单元（OLM），而 16R4 没有。不同的厂家都生产 PAL22V10，既有一次可编程类型，也有可重复编程类型。

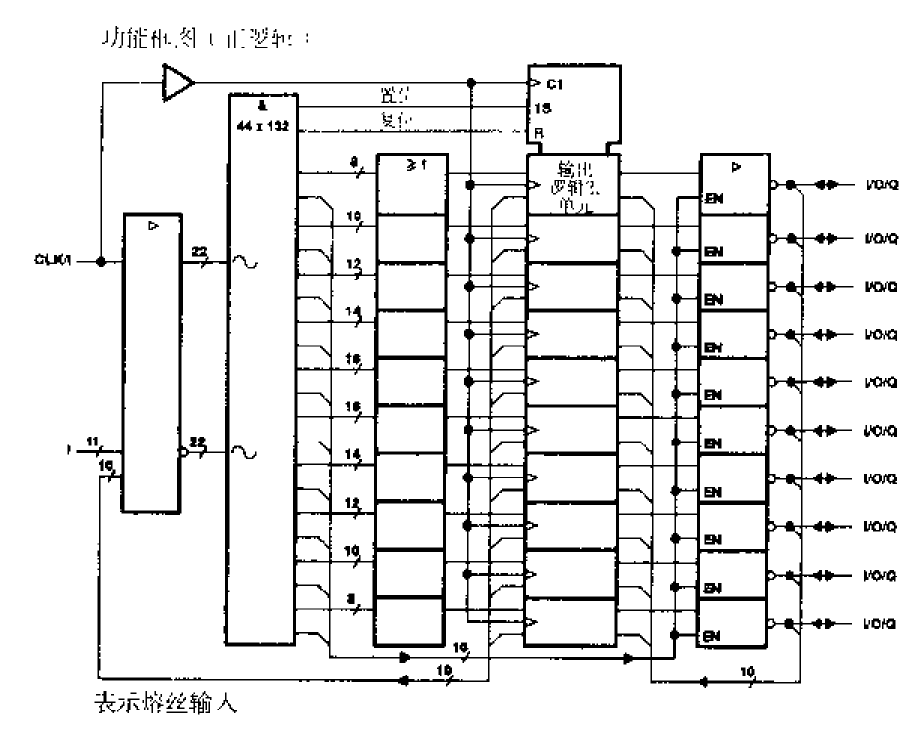


图 13.28 TIBPAL22V10 方框图

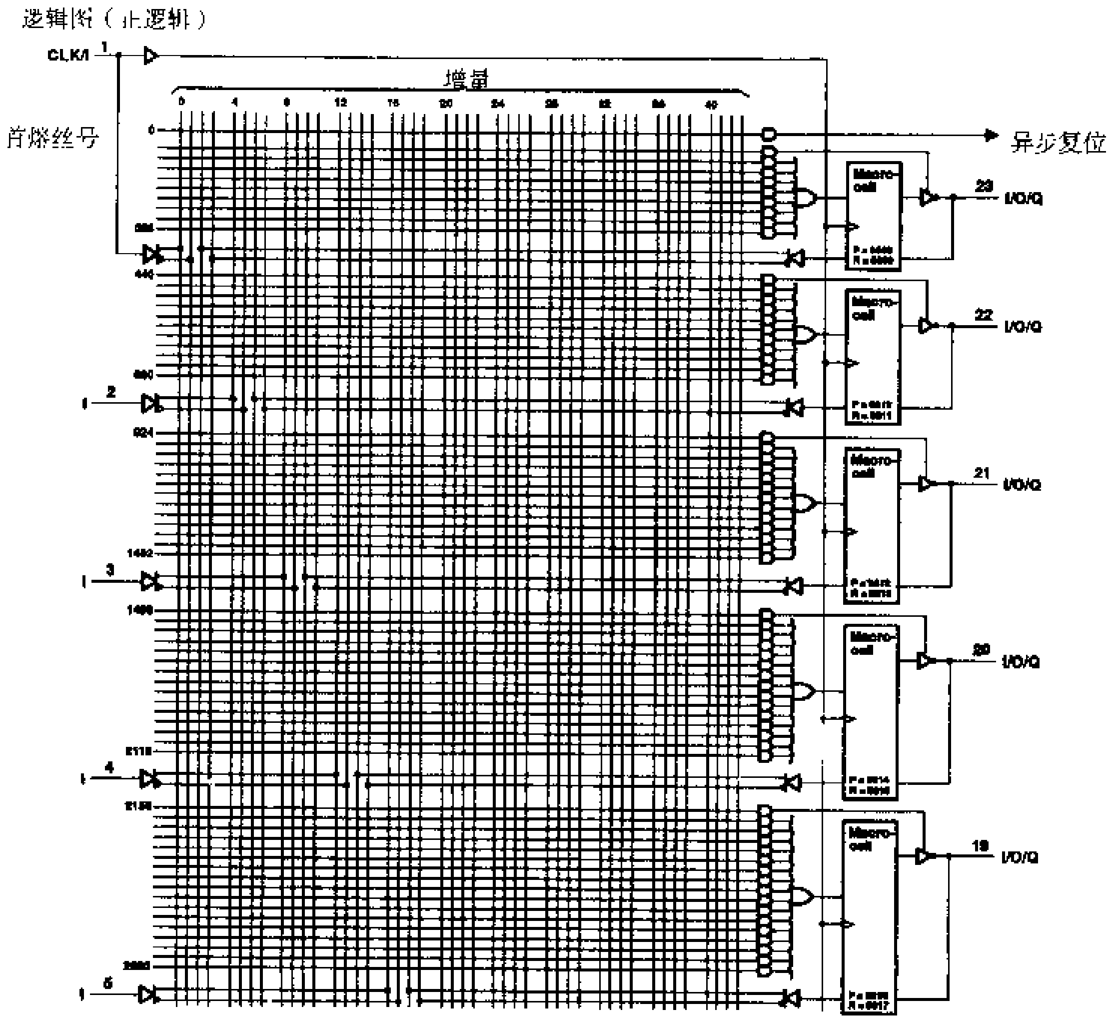


图 13.29 TIBPAL22V10 逻辑图

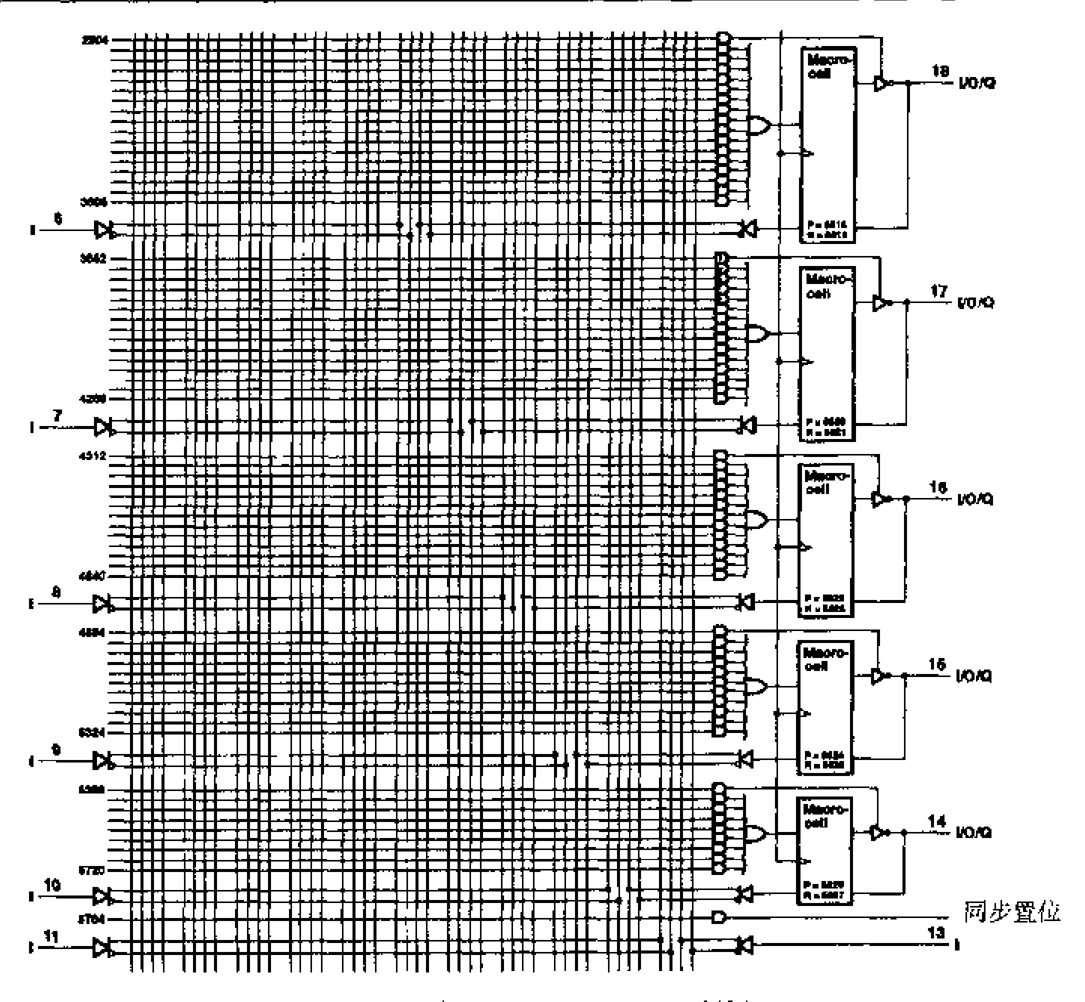


图13.29(续)　TIBPAL22V10逻辑图

某些22V10器件的宏单元如图13.30所示，其中多路转换器的画法与前面不同。这种画法一般用于PLD和FPGA MUX。由于选择输入都在程序控制下，所以在许多图中都未画出。

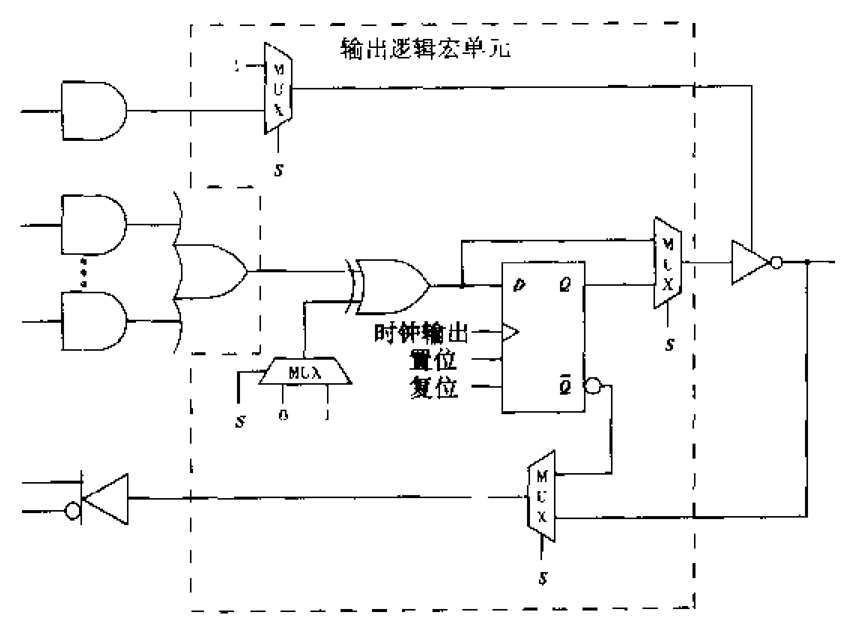


图13.30　输出逻辑宏单元

如图13.30所示，或门阵列的输出是宏单元的输入，经过异或门后既可以原变量形式存在，也可以反变量形式存在。第5章中已讨论过异或门实现的逻辑功能：只有当两个输入量不同时输出才为1，否则为0。所以，当MUX输出为高电平时，异或门的输出与另一输入反相，如图13.31(a)所示；而当MUX输出为低电平时，异或门的输出与另一输入同相，如图13.31(b)所示。

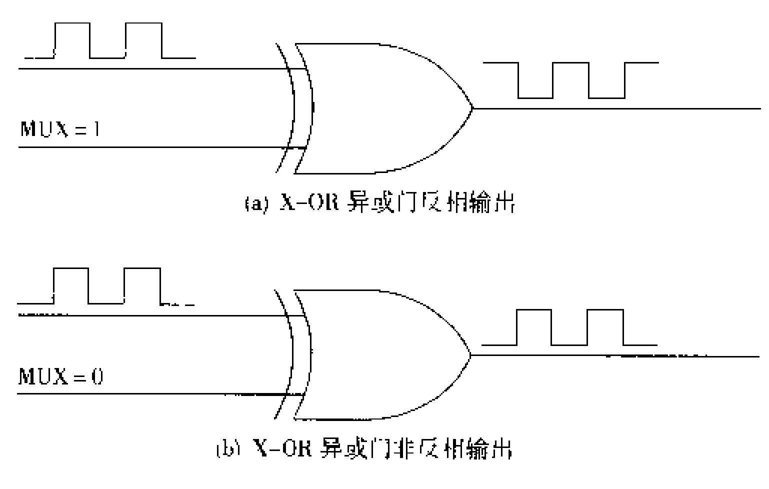


图13.31　宏单元的极性控制

安全位

通常PLD内都有可编程设计安全位，以防止随意复制或检验器件中存储的数据。当安全熔丝被熔断后，便不能再复制器件内存储的内容，同时验证线路也不能工作。

EP630系列PLD

EP630系列是Texas Instruments公司生产的一次可编程PLD，内部有16个宏单元。在SOP配置中，此类器件能够实现600多个等效逻辑门的功能，同时可实现时序操作。

此类PLD的特性是能够通过编程，使宏单元内的触发器分别实现D、J-K、S-R或T触发器功能。触发器的时钟输入可以来自与阵列中的任意输入或反馈通道。

EP630系列PLD有4个专用输入引脚和16个I/O引脚，如图13.32的方框图所示。其与门阵列最多可有40个输入。当输入量的原变量和反变量形式同时作为与阵列的输入时，与阵列的输出呈逻辑错误状态；当通过编程使乘积项的所有输入都断开时，与阵列的输出呈逻辑正确状态。

从图13.32中可以看出，该器件有两个专用时钟信号输入端，CLK1和CLK2。每个时钟输入端控制一组触发器的时钟输入，一组触发器由8个触发器组成。图13.33所示的是EP630系列PLD的OE/CLK多路转换器，转换开关的通断通过编程控制。

模式0操作　如图13.33(a)所示，这种模式下只能由指定的时钟输入（CLK1或CLK2）完成触发器的时钟控制。该指定时钟信号是一组宏单元共用的，在其控制下，8个宏单元实现同步操作。图中三态输出缓冲器的状态由与阵列的一个乘积项控制。

模式1操作　如图13.33(b)所示，触发器的时钟信号由与阵列的乘积项实现。因为与阵列既可提供原变量信号，也可提供反变量信号，所以宏单元内触发器的时钟控制可在信号的PGT或NGT完成。模式1操作下，输出缓冲器的输入使能端直接与V_{CC}相连，所以三态缓冲器总是处于工作状态。

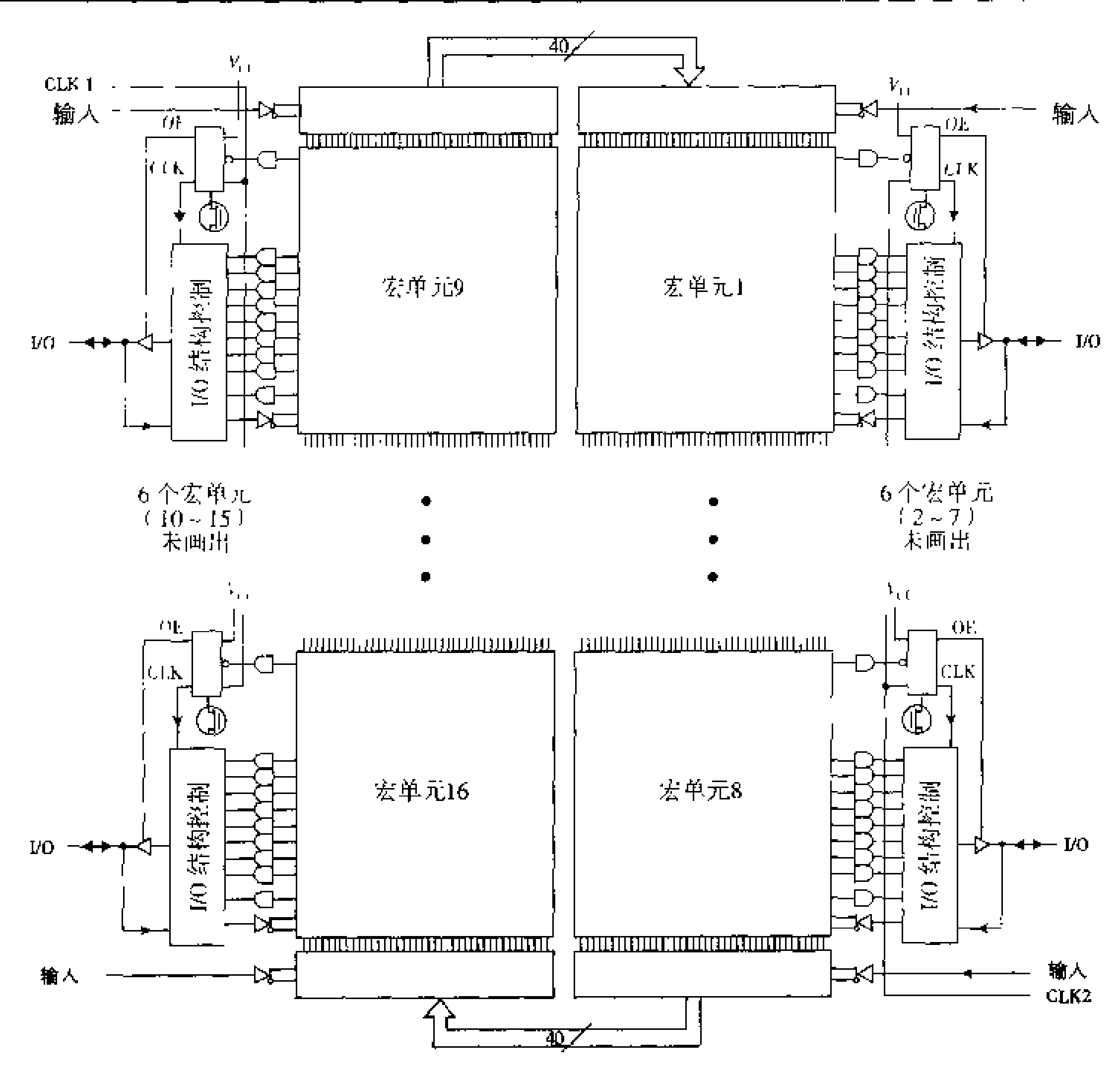


图13.32 EP630系列PLD方框图

图13.34所示的是EP630系列PLD的5种I/O配置。对器件进行编程时，可以对每一个宏单元进行独立配置。图13.34(a)是基本I/O配置，实现组合逻辑输出。因为是组合逻辑输出，所以图中未画出触发器。图中的I/O选择表说明了I/O端组合逻辑信号的极性，是原变量输出（高电平有效）还是反变量输出（低电平有效）。当OE＝0时，因为三态缓冲器的输出为不定态，所以I/O引脚可作为输入端，此时，I/O反馈选择开关必须闭合。

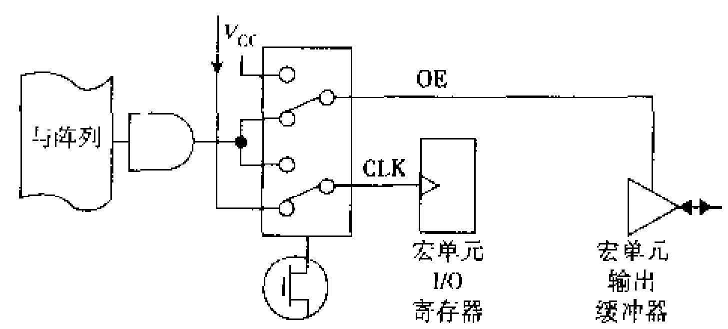
D触发器配置 如图13.34(b)所示，触发器为异步复位，复位信号来自与门阵列的指定乘积项。加电时，EP630内的所有触发器清零，异或门的输出信号送至触发器的输入端。这种方式下，既可以选择反馈，也可以不使用反馈，反馈信号可以取自触发器的Q输出端，也可以取自输出缓冲器。通过反馈选择MOSFET的控制，输出引脚可作为输入端。

T触发器配置 T触发器操作相对简单，见图13.34(c)。根据功能表，在时钟脉冲的上升沿，当输入端$T=0$时，输出Q_0保持原态，电路处于锁定模式。功能表的第3行，时钟脉冲为低电平，所以电路也处于锁定态。从功能表中也可看出，当时钟信号有效且$T=1$时，触发器的输出来回切换，即输出与原态相反。将J-K触发器的两个输入端J和K连在一起形成一个输入端，就可以构成T触发器。

模式 0

OE = 乘积项控制
CLK = 同步

同步时钟



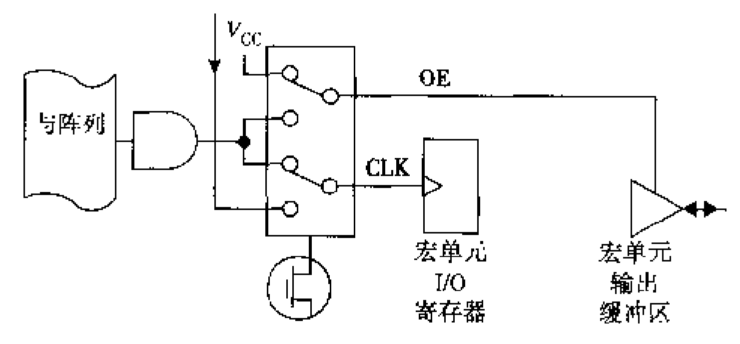
由同步时钟信号控制寄存器的时钟输入，输出是由乘积项控制的

(a) 模式0操作

模式 1

OE = 使能
CLK = 异步

同步时钟



由乘积项控制寄存器的时钟输入，输出始终是允许的

(b) 模式1 操作

图 13.33 EP630 系列 PLD 的 OE/CLK 选择转换器

J-K 触发器配置 如图 13.34(d)所示，8 个乘积项分为两个或门的输入。功能表内每行所示触发器的工作状态分别为锁定、清零、置位、翻转、锁定（时钟脉冲为低电平）和异步清零。利用反相选择 EPROM 位来设置输出的极性，利用反馈选择 MUX 来选定电路中是否有反馈。

S-R 触发器配置 如图 13.34(e)所示，电路的操作与 J-K 配置类似。但有一点主要区别（详见第 6 章），由于图中 S-R 触发器为高电平输入有效，所以当 S 和 R 两个输入同为高电平时，电路的输出不定（无效）。

通用阵列逻辑

通用阵列逻辑（GAL）器件将 E^2CMOS 技术与 PLD 技术相结合，是由 Lattice Semiconductor 公司开发的。GAL 是 Lattice Semiconductor 公司的注册商标。

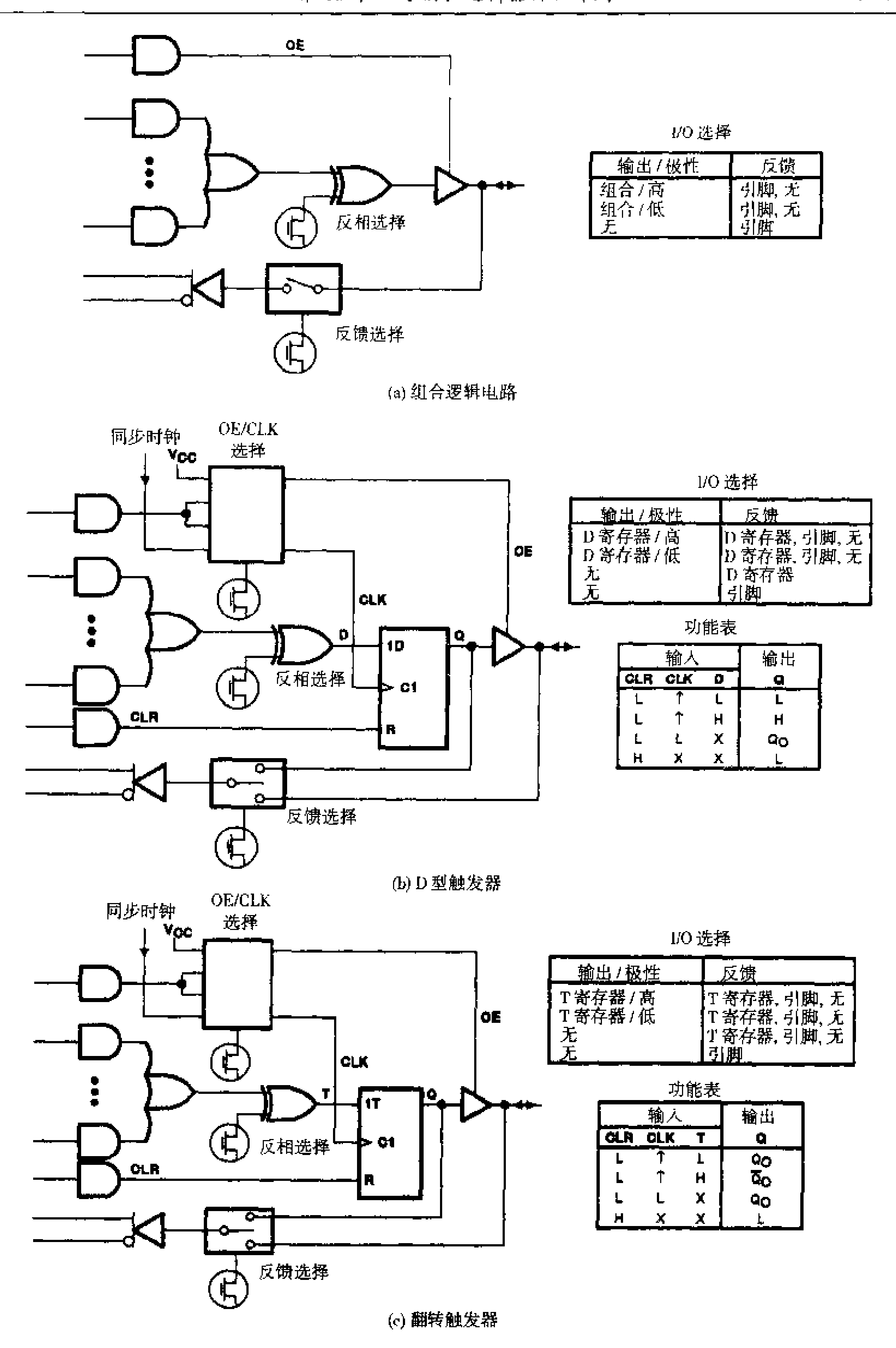


图 13.34　EP630 系列 PLD 的 I/O 配置

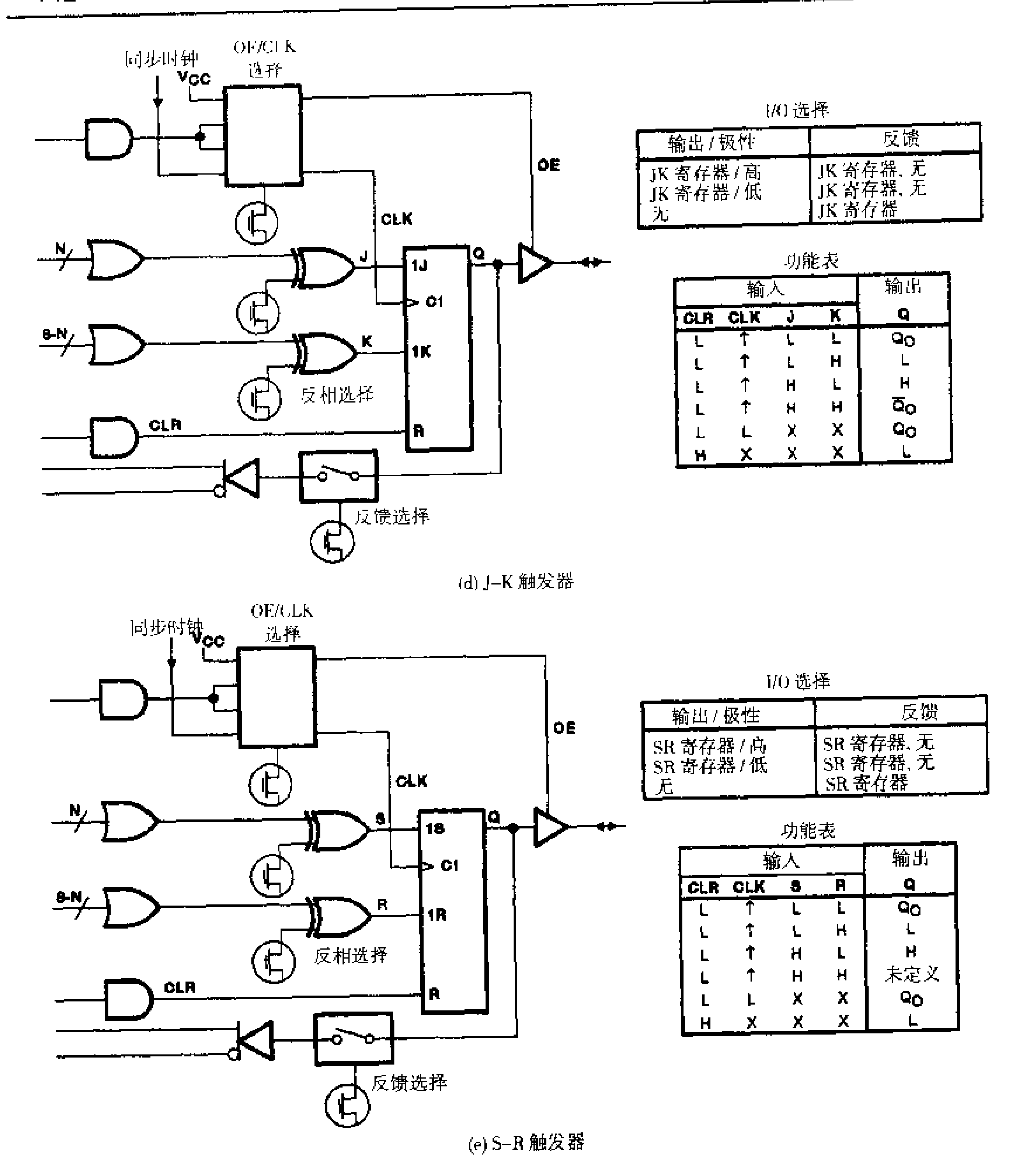


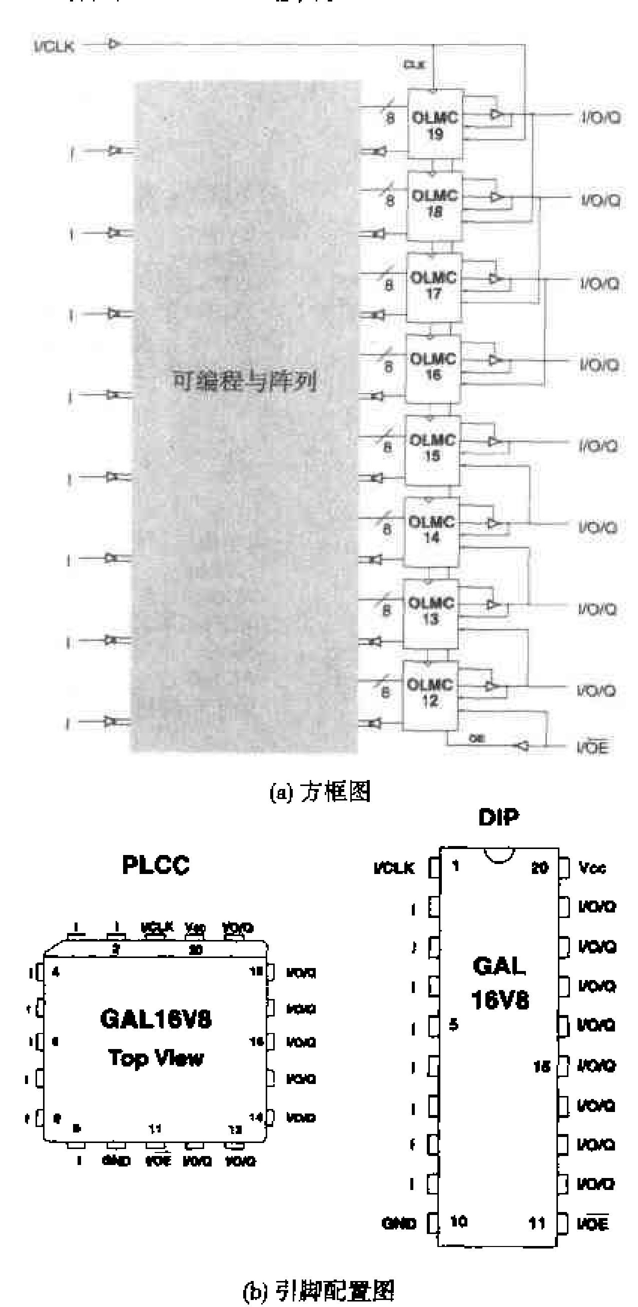
图 13.34（续） EP630 系列 PLD 的 I/O 配置

与标准 PLD 相比，GAL 器件有着显著的优越性：

1. GAL 的集成度很高，一块集成电路内可含 14 000 个门电路；
2. 存储内容不易丢失，具有系统可编程性；
3. 擦除和再编程速度快；
4. t_{pd} 只有 5 ns（200 MHz）。

GAL16V8

图 13.35 所示是 Lattice 公司生产的 GAL16V8 的方框图和外引脚排列，器件内部包含一个可编程与阵列（64 × 32），以生成标准 PLD SOP 逻辑。



(a) 方框图

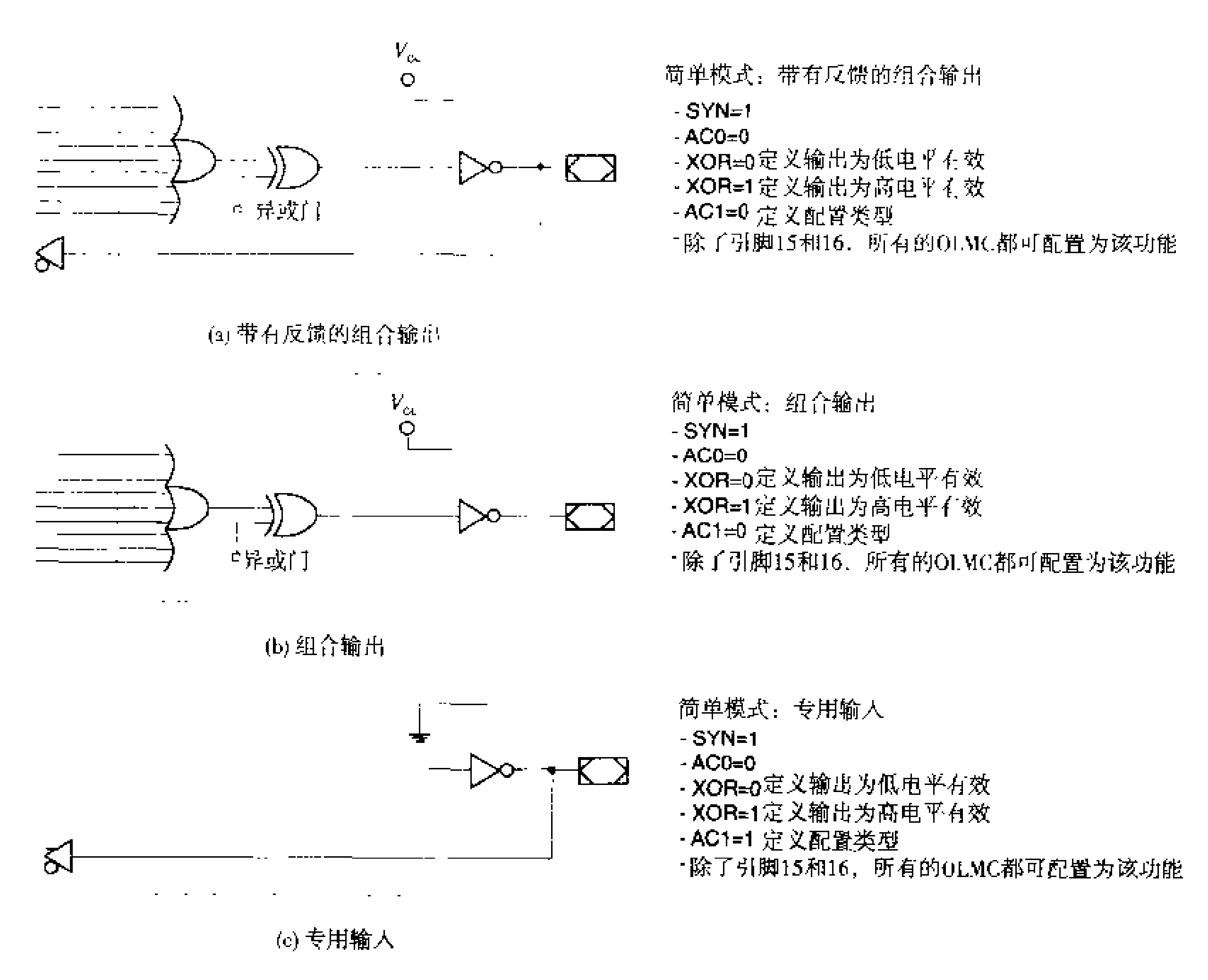
(b) 引脚配置图

图 13.35　GAL16V8 PLD

GAL16V8采用E²浮置栅单元技术，从而可以实现重复编程。擦除时间很短，典型值不超过100 ms。此类PLD有 8 个输出逻辑宏单元（OLMC），如图 13.35(a)所示。其外引脚排列和 PLCC 封装可参考图 13.35(b)。

GAL16V8 的输出逻辑宏单元可以实现 3 种模式的操作：简单模式、复杂模式和寄存器模式。操作模式是由共用位 SYN 和 AC 控制的。

简单模式操作 在这种操作模式下，利用OLMC实现组合逻辑输出，或将OLMC作为专用输入端。图13.36是3种不同的简单模式操作。图13.36(a)是带有反馈的组合逻辑输出，利用异或门的控制位决定输出的极性。简单模式的输出最多可以由8个乘积项组成。图13.36(b)是不带反馈的组合逻辑输出，图13.36(c)将I/O引脚作为专用输入端，其中的三态缓冲器处于禁止态。OLMC的模式配置由软件控制，通过软件对相应的控制位进行赋值来实现OLMC的模式选择。



(a) 带有反馈的组合输出

(b) 组合输出

(c) 专用输入

图13.36 GAL16V8 PLD OLMC的简单模式

复杂模式操作 该模式下利用OLMC实现I/O功能或惟输出功能。图13.37所示是该模式下的两种不同的操作。在这种模式下，宏单元12和19不能作为输入端，因此只可对6个I/O端进行配置。要想实现8个I/O端，必须使用寄存器模式操作。

寄存器模式操作 这种模式下，OLMC作为专用寄存器输出或实现I/O功能，详见图13.38(a)和(b)所示。所有OLMC共用时钟和输出使能（OE）信号。该模式下，最多可实现8个I/O端或8个寄存器输出。该模式下可实现D，T或J-K寄存器输出。

pLSI®和ispLSI™

Lattice Semiconductor公司生产的可编程大规模集成电路（pLSI）和在系统可编程大规模集成电路（ispLSI）系列将PLD的性能、简易性与现场可编程门阵列（FPGA）的高集成度、寄存器型的性能结合起来。

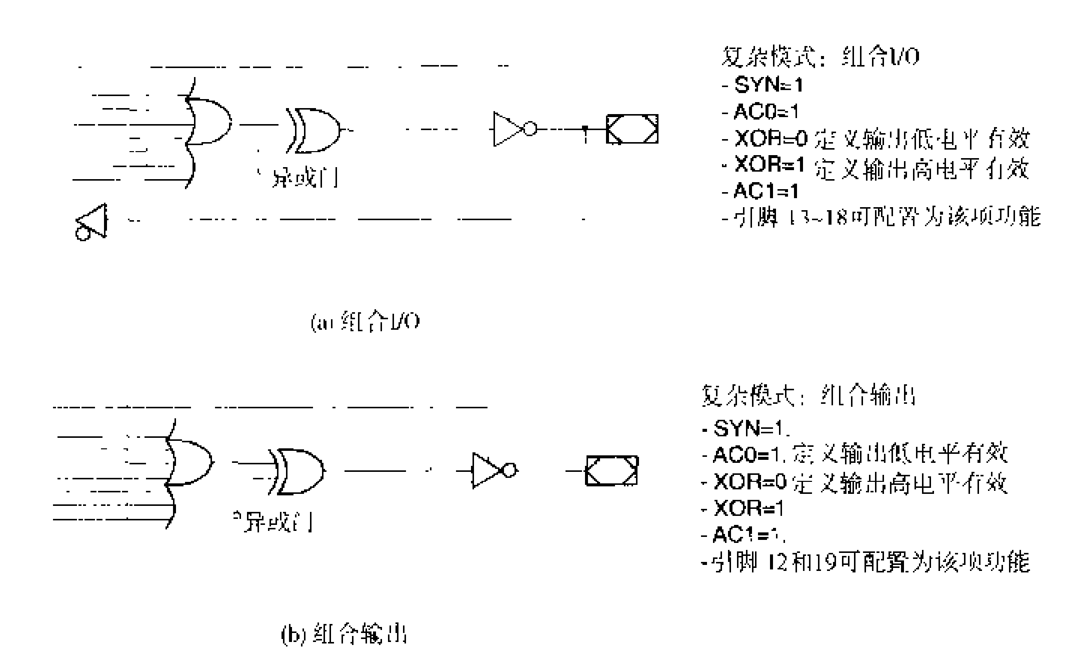


图13.37　GAL16V8 PLD OLMC的复杂模式

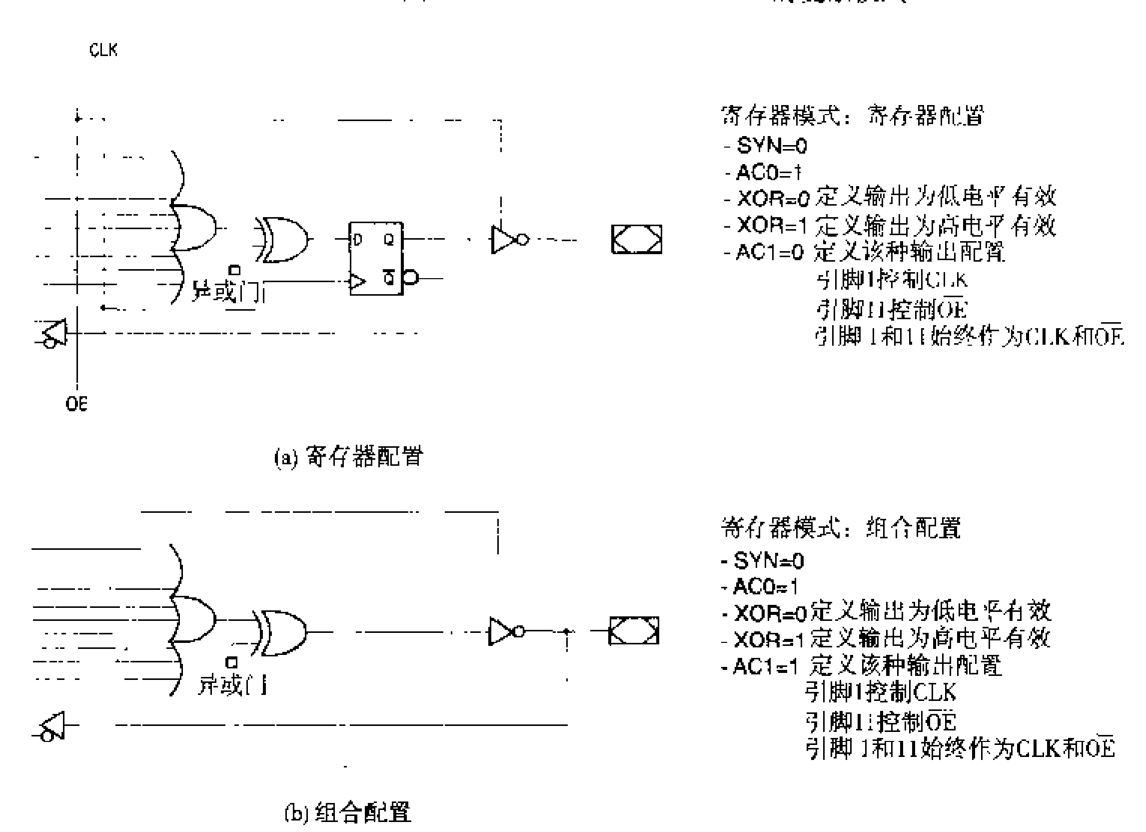


图13.38　GAL16V8 PLD OLMC的寄存器模式

Lattice公司提供了3种系列的pLSI和ispLSI器件：1000系列、2000系列和3000系列。不同系列器件的集成度（逻辑容量）和速度不同，1000系列系统执行频率为110 MHz，最多可包含8 000个PLD门电路；2000系列系统执行频率为135 MHz，可包含1 000~4 000个PLD门；3000系列系统执行频率为110 MHz，最多可包含14 000个PLD电路门。

图13.39所示是Lattice公司pLSI 1032的方框图，详细内容在下面讨论。尤其需要注意的是它具有通用逻辑块（GLB）、输出布线组合（ORP）和全局布线组合（GRP）功能。

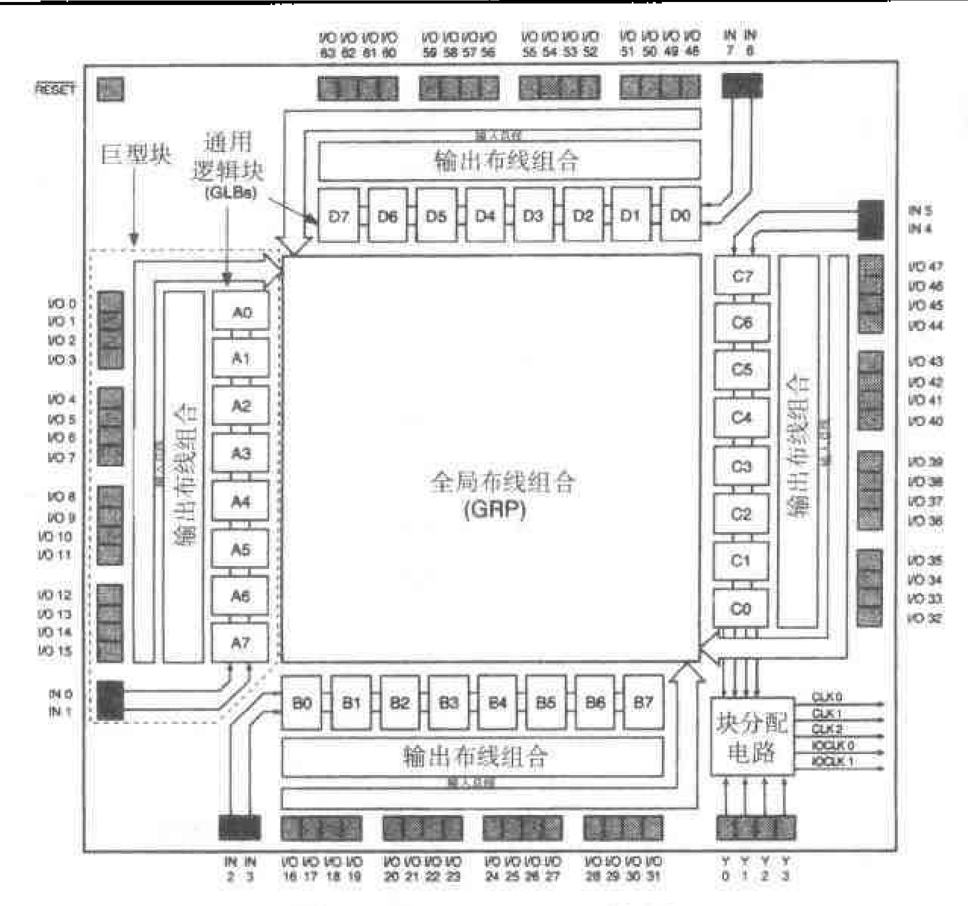


图 13.39 pLSI 1032 PLD 方框图

通用逻辑块（GLB）

如图13.40所示是1000系列PLD GLB。GLB由与门阵列组成，与门阵列包含18个输入，其中16个来自全局布线组合（GRP），可以是由GLB得到的反馈信号，也可以来自I/O单元；另外两个（16和17）是专用输入端。与门阵列可以产生20个乘积项（PT），可生成任意GLB输入的逻辑和。

GLB的乘积项共享阵列（PTSA）将20个乘积项传递到GLB的4个输出端，图13.40所示是PTSA的几种不同配置。PTSA顶端的或门阵列有三个输入，取自与阵列的乘积项；第三个或门有4个乘积项输入，这两个或门的输出送到异或门的输入端，异或门的另一个输入是乘积项0。该异或门可用于实现逻辑功能或D触发器的转换，将D触发器转换为J-K触发器或T触发器。PTSA中的第二个或门被旁路，其输出直接送至触发器和MUX的输入端，所以速度相应提高。底部的或门有7个乘积项输入，其输出与第三个或门的输出共享。

图13.40中的D触发器可以重新配置，当需要组合逻辑输出时，可通过编程将这些触发器旁路。触发器的时钟输入是由控制功能块实现的，利用MUX在4个时钟输入中选择1个来作为触发器的时钟控制信号。其中的PT Clock是由GLB中的乘积项生成的。当控制块中的PT Reset = 1或Global $\overline{\text{RESET}}$ = 0时，所有的触发器被复位。

巨型块

如图13.41所示是Lattice公司生产的器件巨型块。1000系列巨型块由全局布线组合（GRP）、8个GLB块、输出布线组合（ORP）和16个I/O单元组成。1000系列pLSI和ispLSI PLD内部最多可以包含6个此类巨型块。

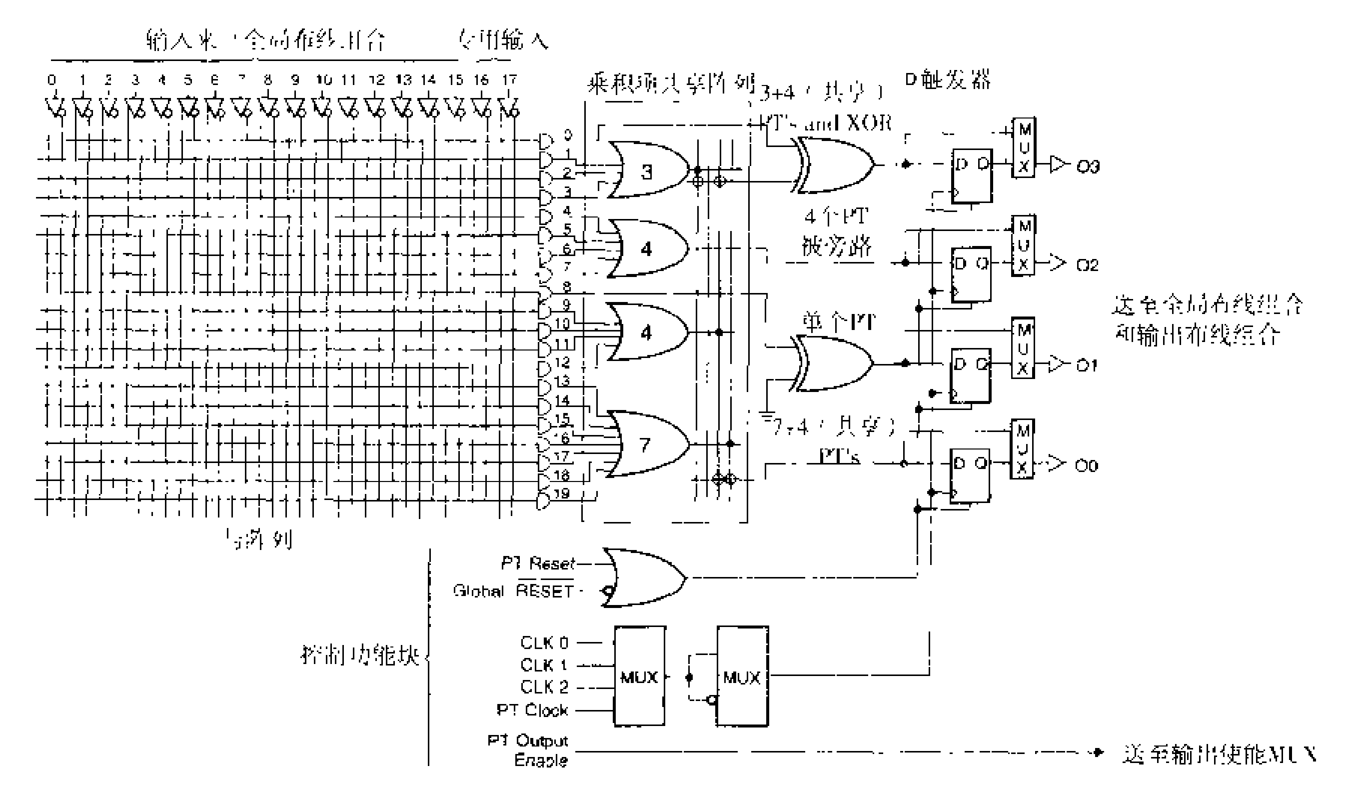


图13.40　1000系列PLD通用逻辑块方框图

I/O单元的输入信号被直接传递到GRP，如图13.41所示。这样，器件内的所有GLB都可以访问每一个I/O单元。IN0和IN1是两个专用输入端，与巨型块内的所有8个GLB都相接。

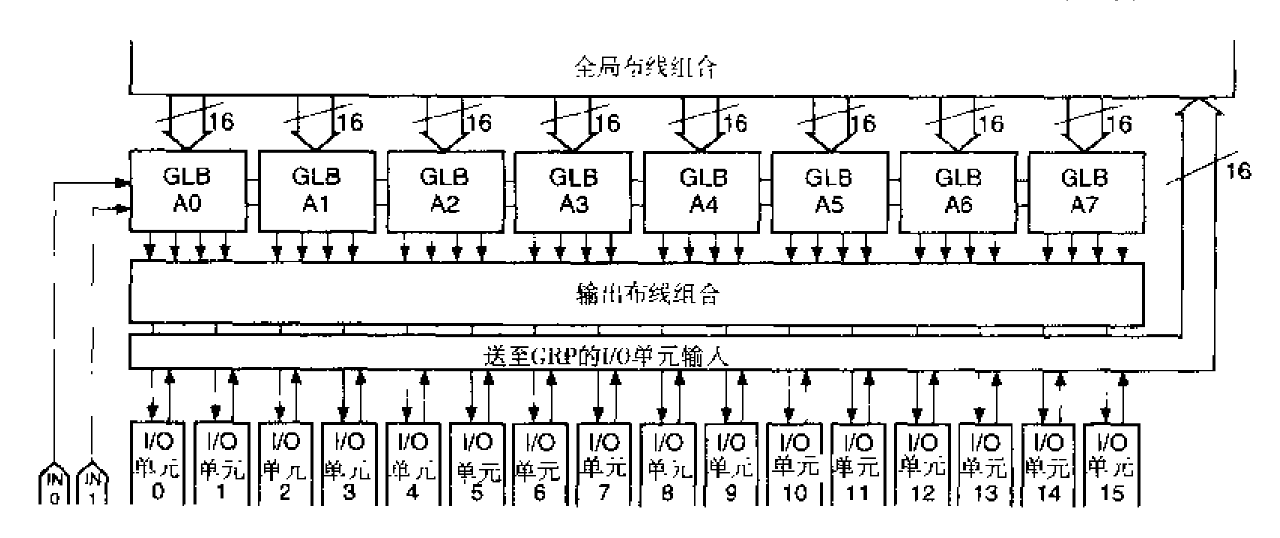


图13.41　1000系列巨型块方框图

输出布线组合（ORP）将GLB的输出信号传递到I/O单元，ORP内的信号传递是自动实现的。通过编程控制，I/O单元可以实现输入、输出、三态输出或作为双向（I/O）引脚，I/O单元内的D触发器可以配置成电平敏感锁存器或边沿触发器来存储输入数据。

全局布线组合（GRP）用于维护器件内的所有内部连接。I/O单元的输入或GLB的输出可以传递到任意GLB的输入端，同样，GLB的输出也可以调回到所有其他GLB的输入端。

交互编程

GAL16V8和GAL20V8 PLD可以取代大多数标准20引脚和24引脚的PAL器件。由于GAL和PAL器件的内部结构不同，所以两者的编程方法也不同。Lattice Semiconductor公司提供了一种软件实用程序，它可以把PAL器件的JEDEC文件转换成GAL JEDEC文件，这种软件就是PALtoGAL。

13.3 节复习题

A. PAL器件既可以实现寄存器输出，也可以实现组合逻辑输出。

(1) 对　　(2) 错

B. PAL是________型器件。

(1) 逻辑　　(2) 寄存器

C. TIBPAL22V10内的输出逻辑宏单元（OLM）可以独立编程。

(1) 对　　(2) 错

D. 在零件号TIBPAL16R4中，R的含意是什么？

E. 图13.42中的宏单元配置可以产生________。

(1) I/O反馈和组合/反相输出；

(2) I/O反馈和组合/非反相输出；

(3) 寄存器反馈和寄存器/反相输出；

(4) 寄存器反馈和寄存器/非反相输出。

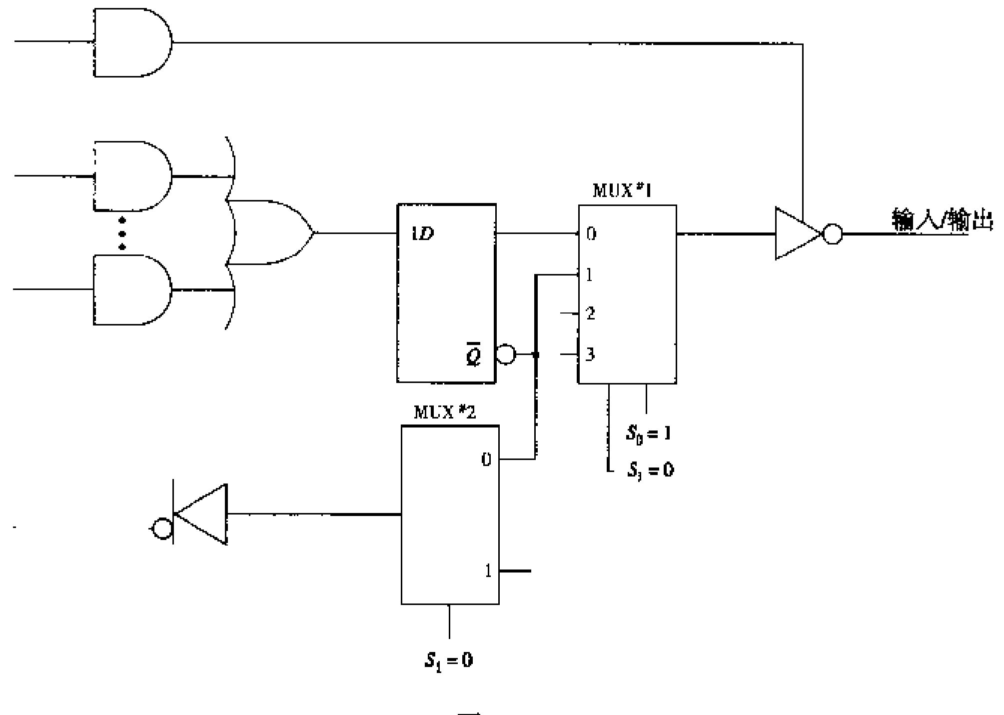


图13.42

F. 图13.43中，如果用于控制异或门的MUX的指定输入端（S）为低电平，则送入宏单元的或门输出为________。

(1) 反相输出　　(2) 非反相输出

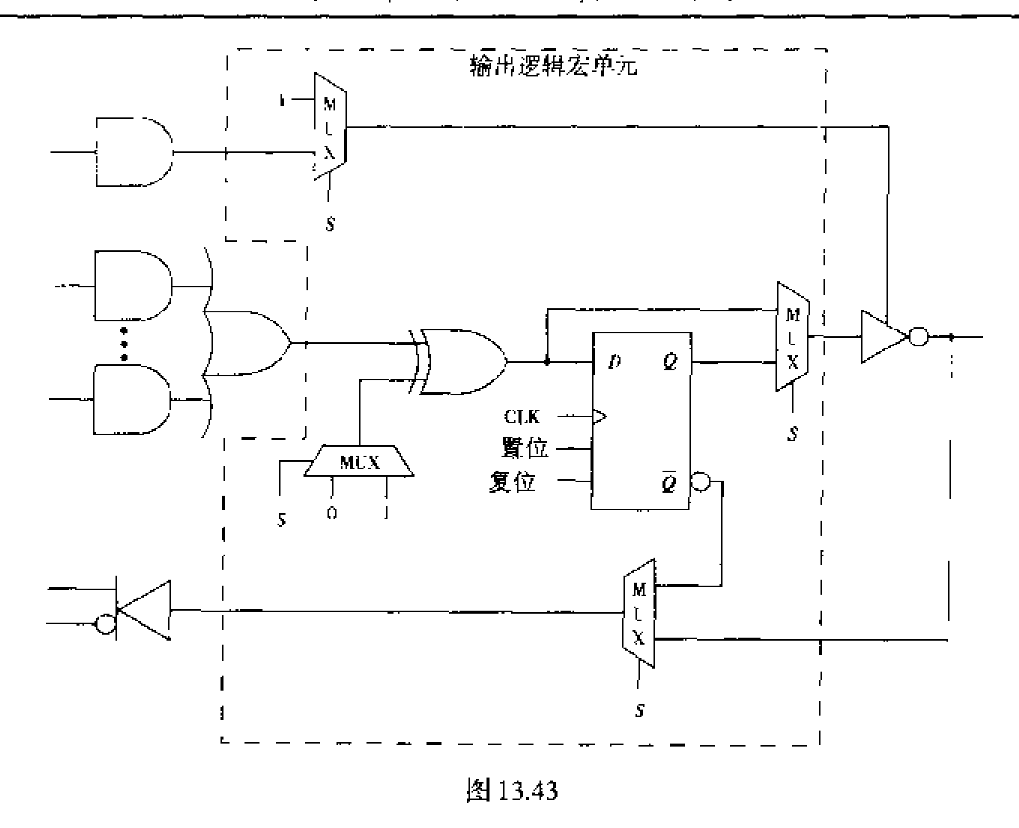


图 13.43

G. 在 PLD 中，设计可编程安全位的目的是什么？

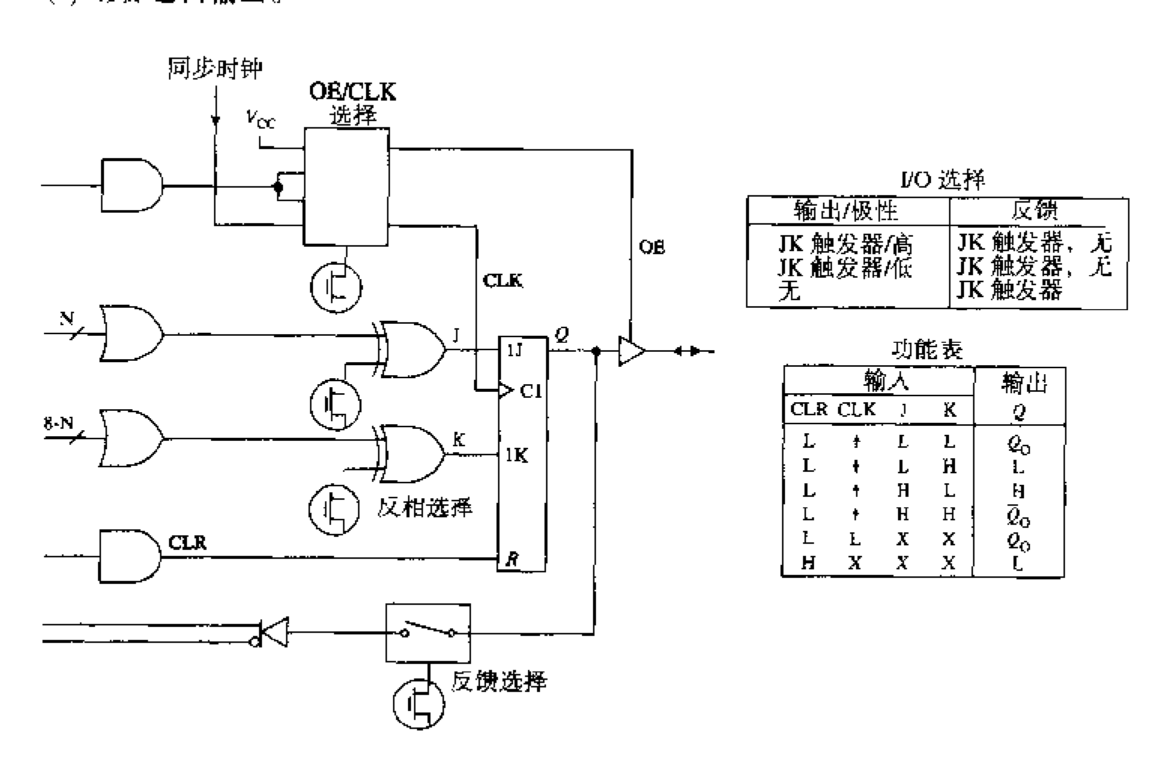
H. 图 13.44 中，EP630 系列 PLD I/O 配置允许＿＿＿＿＿。

(1) J-K 触发器操作；

(2) D 触发器操作；

(3) T 触发器操作；

(4) 组合逻辑输出。



I/O 选择

输出/极性	反馈
JK 触发器/高	JK 触发器，无
JK 触发器/低	JK 触发器，无
无	JK 触发器

功能表

输入				输出
CLR	CLK	J	K	Q
L	↑	L	L	Q_0
L	↑	L	H	L
L	↑	H	L	H
L	↑	H	H	$\overline{Q}_0$
L	L	X	X	Q_0
H	X	X	X	L

图 13.44

I. 图 13.45 所示的是 Lattice 系列 PLD 通用逻辑块（GLB）。最下方触发器的输入是______共享乘积项

(1) 3　　(2) 4　　(3) 3 + 4　　(4) 7 + 4

J. 如何对图 13.45 中的触发器清零？

输入来自全局布线组合　专用输入

乘积项共享阵列

D 触发器

AND 与阵列

控制功能块

PT 输入允许　送至输出使能Mux

送至全局布线组合和输出布线组合

图 13.45

K. 图 13.46 中的方框图表示 1000 系列 pLSI 或 ispLSI PLD 中 6 个________中之一。

L. 图 13.46 中输出布线组合（ORP）的功能是将 GLB 的生成信号传递给 I/O 单元。

(1) 对　　(2) 错

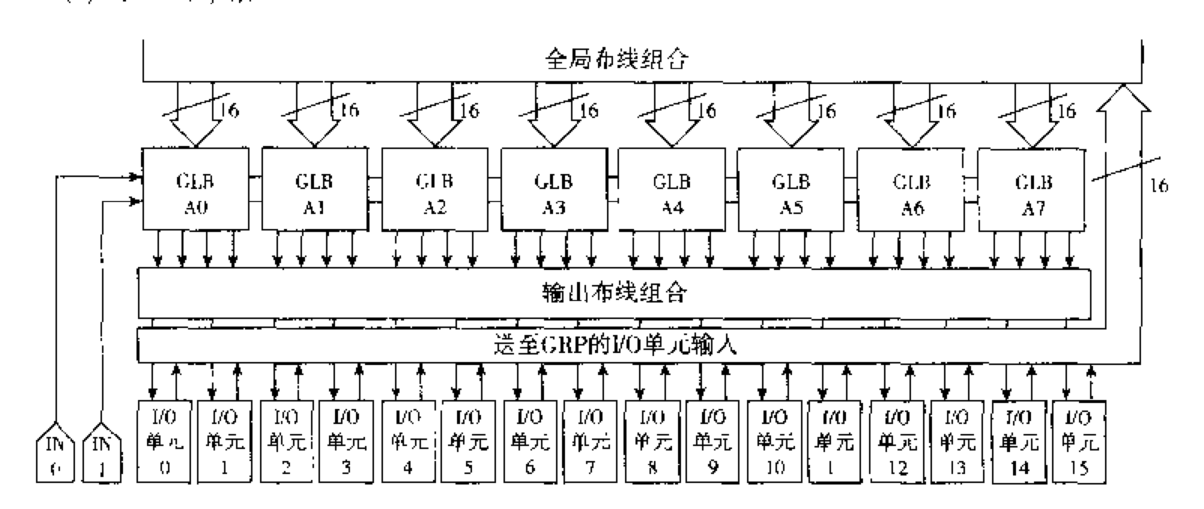


图 13.46

13.4　现场可编程门阵列

要点

1. 使用 FPGA 的主要优势。
2. 根据给定 Actel FPGA 逻辑模块的逻辑图，确定该模块实现的功能。

现场可编程门阵列（FPGA）器件可以实现多于100 000个门电路的逻辑功能。使用FPGA的主要优势是其高集成度。一片 FPGA 可以替代数以百计的 TTL 集成电路。此外，FPGA 内存储的内容不易丢失，可实现用户编程，工作速度快，并且频率可达 250 MHz ~ 350 MHz。

与前面所讨论的“逻辑型”PLD 相比，现场可编程逻辑门阵列是“寄存器型”器件，从而减小了空间需求和能量消耗。

Actel Corporation是美国生产FPGA器件的最主要厂家，其最新的FPGA系列的主要特点是高容量和高速度。

13.4.1　54SX 系列 FPGA

Actel 54SX 系列FPGA采用了新式的体系结构模块，使得其器件性能和集成化程度超过了目前其他的 FPGA 器件。54SX 系列 FPGA 的门电路容量达到了 72 000，而 SX-A 系列的门电路容量超过了 100 000。此外，它最多能提供 360 个用户可编程输入 / 输出（I/O）端，每个 I/O 可配置成输入、输出、三态输出或双向引脚。

SX 系列的互连布线源位于第 2 层金属（M2）和第 3 层金属（M3）之间，如图 13.47 所示。这种布线方法效率很高，它不使用老式FPGA技术的通道阵列结构，消除了逻辑模块间的布线通道和互连元（见图 13.48）。同时，SX 系列的逻辑模块为连续的网格结构，所以FPGA 器件的整个基底都可以跨越。

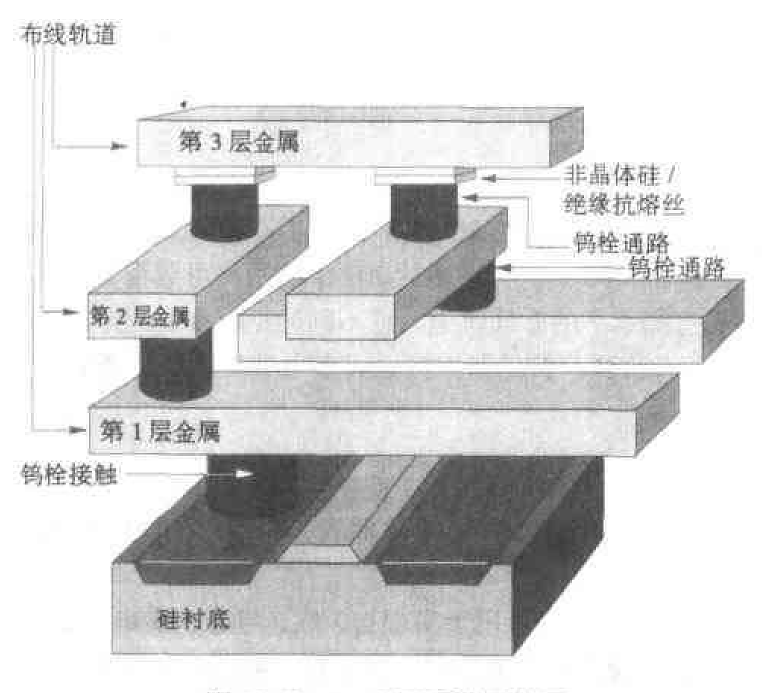


图 13.47　Actel SX 系列互连元

逻辑模块之间的连接是通过使用金属与金属间的抗熔丝连接元完成的，这是Actel公司的专利。抗熔丝是连接在M2和M3层之间的（图13.47），它具有一次可编程性、非易失性等特点。在许多FPGA内用为两个终端器件的连接开关。该连接开关通常是断开的，编程后呈现固定的低阻连接。与PROM器件使用的熔丝技术相比，这种连接有许多优点，很显著的一点是难以辨别已编程或未编程的抗熔丝，从而使逆向工程或设计偷窃行为无法实现。

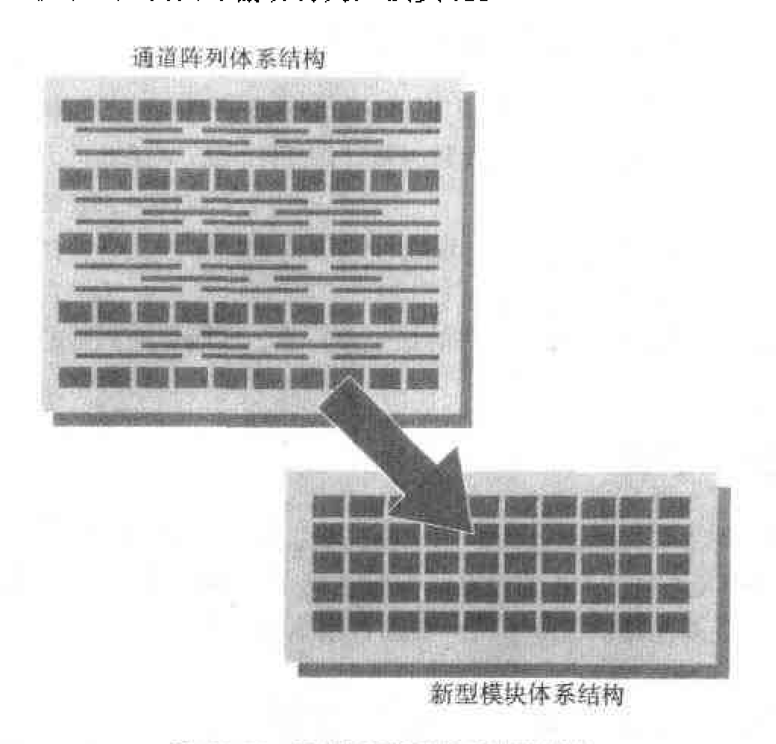


图13.48 通道阵列和新型结构模块

逻辑模块

54SX系列FPGA提供了6 036个逻辑模块，分为两类，即寄存器单元和组合单元。某些54SX系列器件内有2 000多个寄存器单元（R单元），而有的器件内有4 000多个组合单元（C单元）。FPGA逻辑设计的体系结构是由软件控制的，对用户透明。

13.4.2 MX系列FPGA

Actel公司的40MX和42MX系列FPGA为用户提供了一种高性能、划算的ASIC选择。MX系列FPGA的门电路容量可高达36 000个，且有多达202个的用户可编程I/O端。

MX体系结构使用垂直和水平的布线轨道，将不同的逻辑和I/O模块连接起来，轨道是金属互连的，称为段。不同的段长允许两个抗熔丝连接之间多于90%设计轨道的互连。有关轨道的布线结构如图13.49所示。

40MX逻辑模块

40MX逻辑模块如图13.50所示。该模块是8输入，单输出的逻辑电路，通过有效利用互连布线源可以实现很多逻辑功能。

图13.50中基于MUX的逻辑模块可用于实现与、或、与非、或非、异或及D锁存等逻辑功能。锁存器和触发器功能的实现与第6章中介绍的方法一样。42MX系列的FPGA内包含触发器，从而大大简化了时序电路的设计。

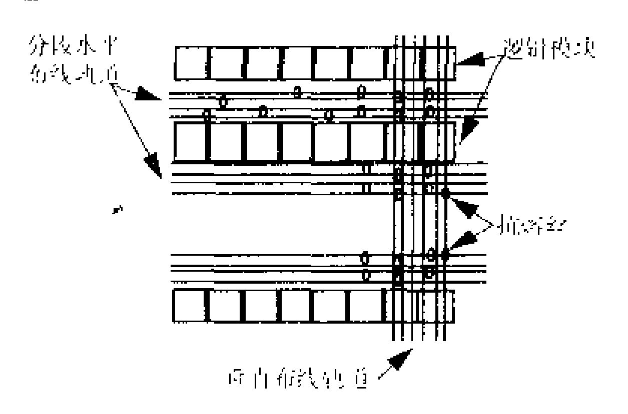


图 13.49　Actel 公司 MX 系列的布线结构

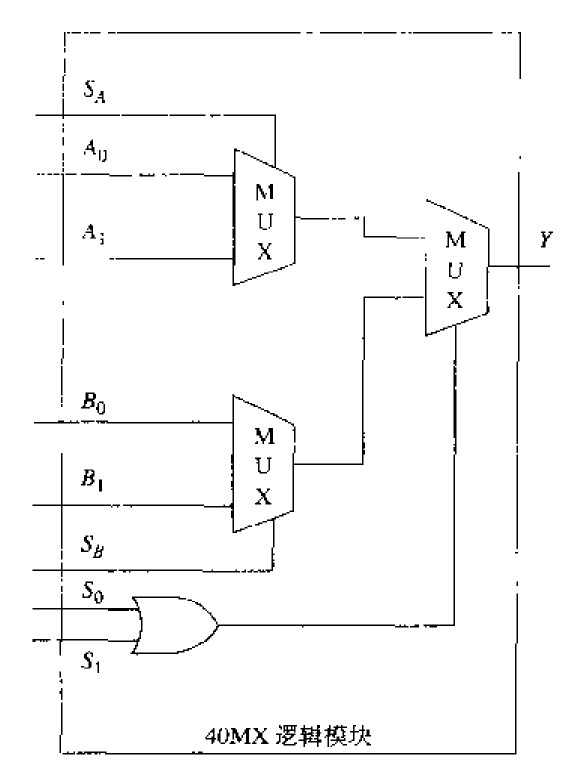


图 13.50　Actel 公司 40MX 系列逻辑模块

图 13.51 所示是利用 40MX 逻辑模块实现的三输入与门。当 $S_A=0$ 时，输入 A_0 被选中，而 $S_1=1$，相应选中 A_1；若 $S_B=0$ 则选中 B_0，若 $S_B=1$ 则选中 B_1。S_1/S_0 输入端用于控制逻辑模块输出 MUX 的数据选择。只有当输入 A，B，C 三者都为高电平时，输出 Y 的逻辑值才为 1。

图 13.52 所示是基于 MUX 的其他逻辑功能电路。或门和或非门的实现很简单，这里不再多说。注意图 13.52(c)和(d)中异或功能的实现，输入 A 是同时作用于两个输入 MUX 的选择输入端的。不同逻辑功能的实现是由软件控制的，而上述例子有助于理解 FPGA 基本功能的实现。

用户通常由根据硬件宏程序库来建立原理图入手开始 FPGA 设计，目前有商用的原理图编辑程序可以实现该功能。硬件宏功能与前面章节中介绍的基本 SSI 组件类似，将几个硬件宏功能结合起来，就可以实现软件宏功能。而软件宏功能可用于计数器、加法器和译码器的实现。所有的 Actel FPGA 都有相应的设计开发工具支持。

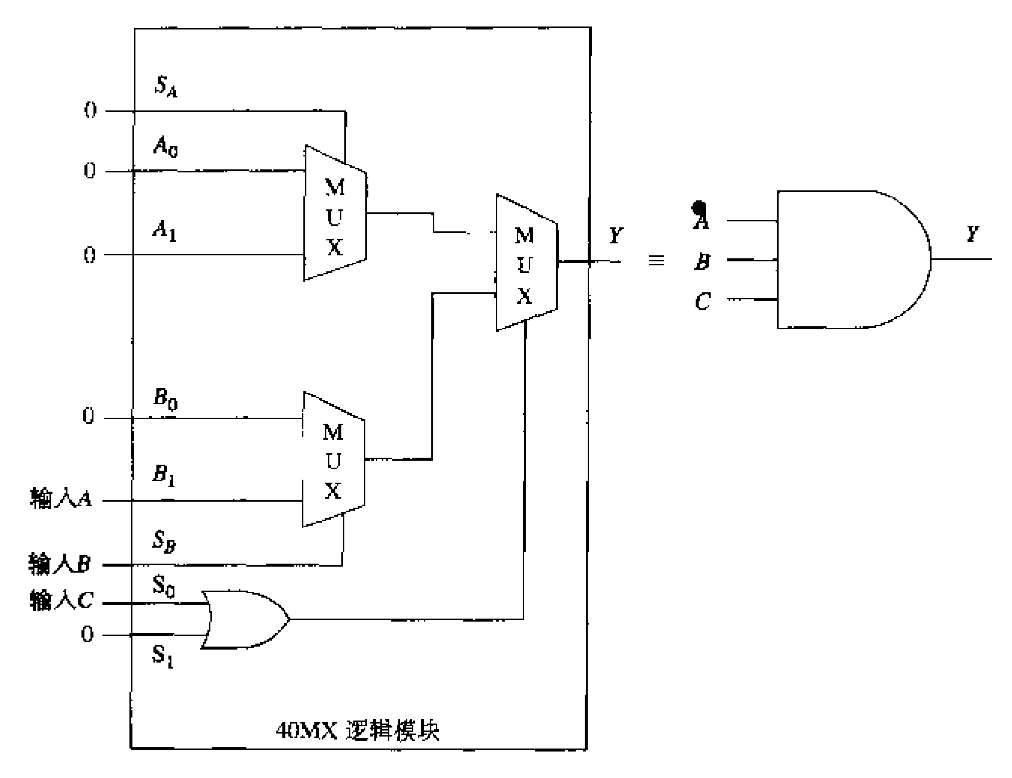
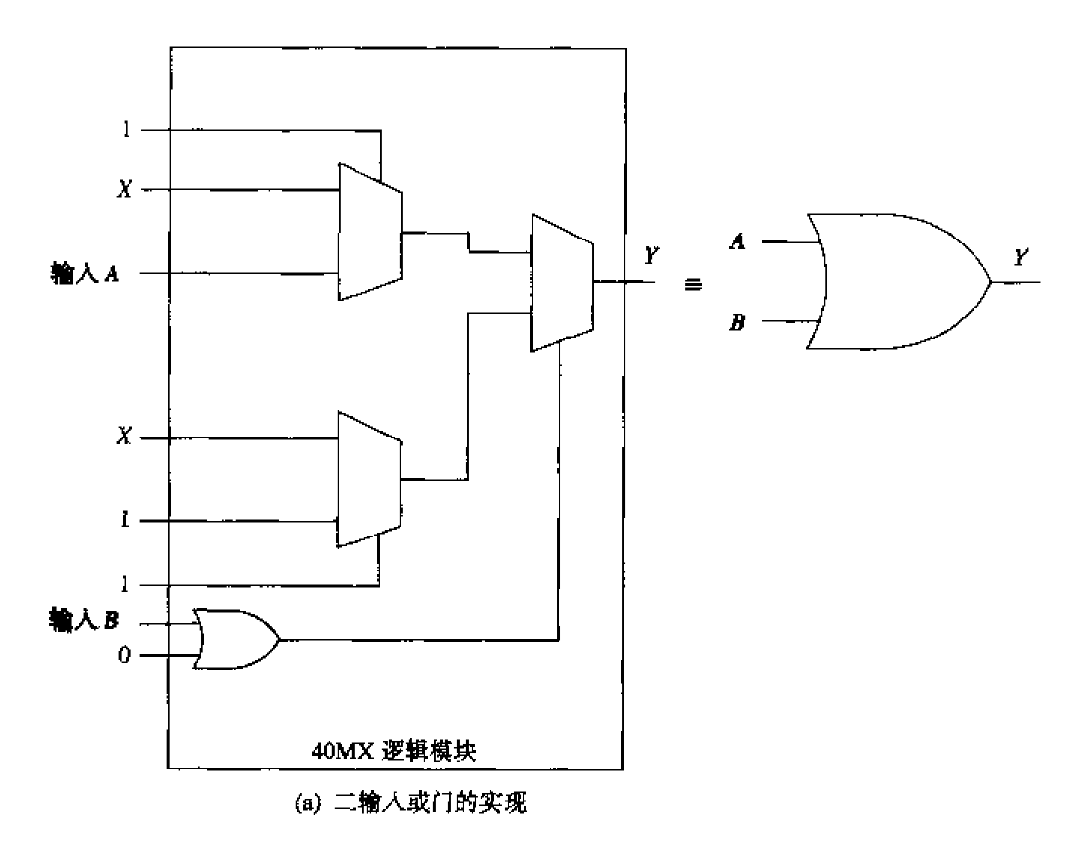
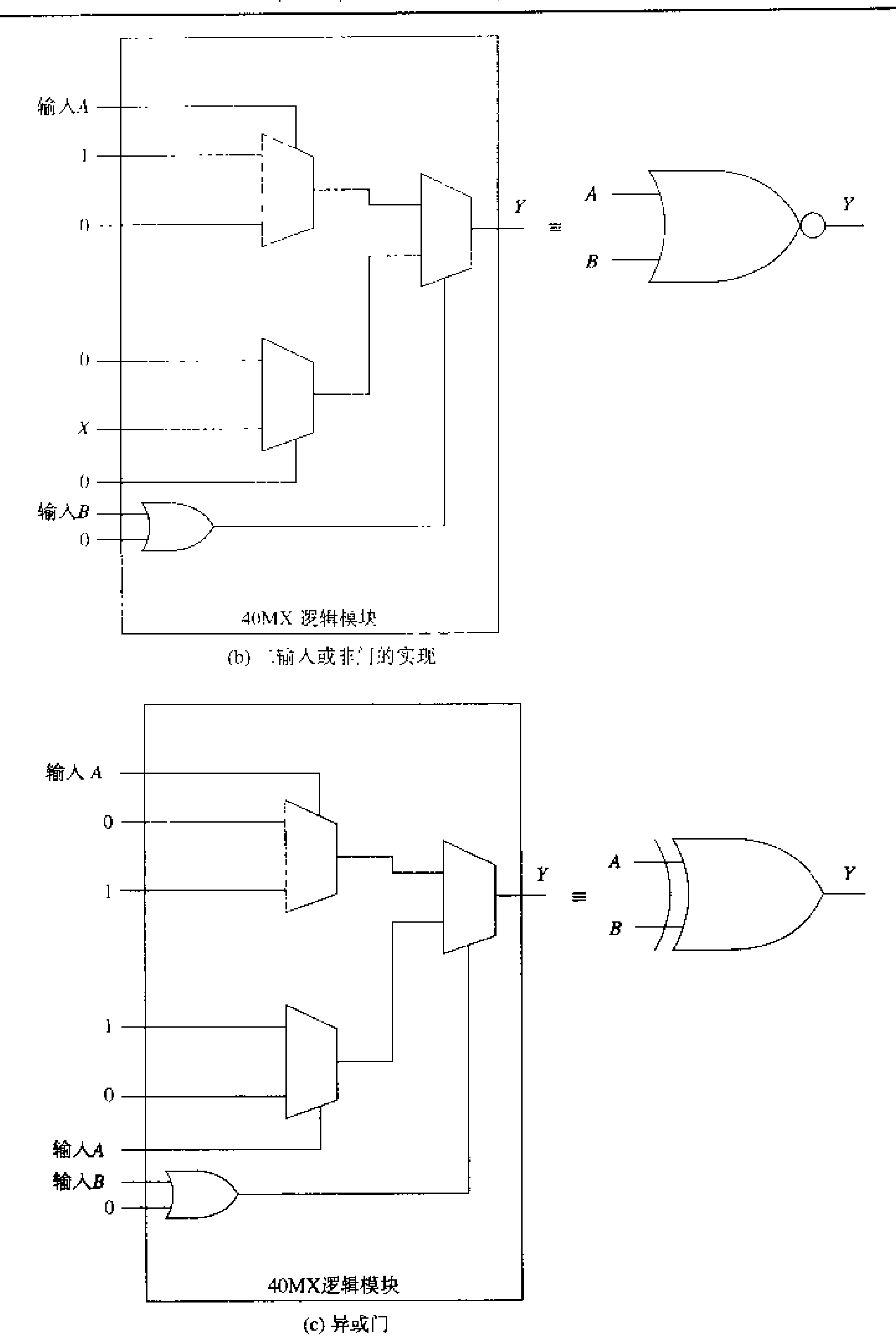


图 13.51 Actel 公司 40MX 系列逻辑模块：三输入与门的实现



(a) 二输入或门的实现

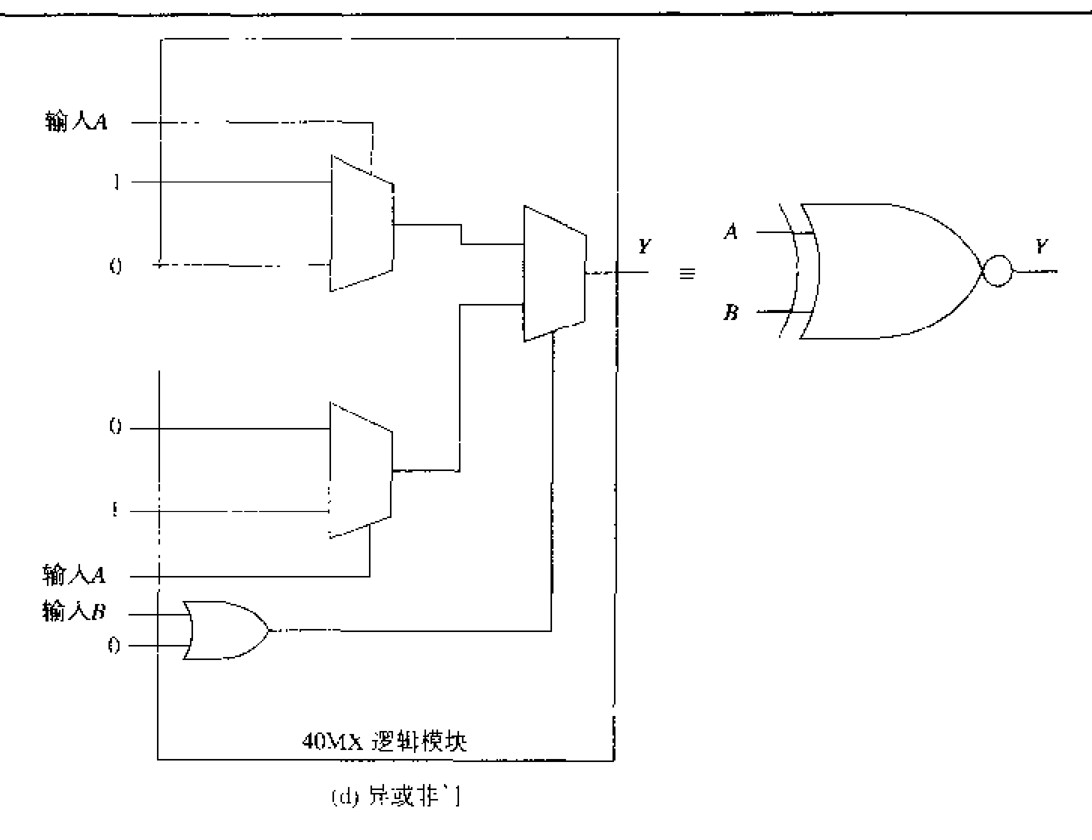
图 13.52 Actel 公司 40MX 系列逻辑模块



(b) 二输入或非门的实现

(c) 异或门

图 13.52（续）　Actel公司40MX 系列逻辑模块



(d) 异或非门

图 13.52（续）　Actel公司40MX系列逻辑模块

42MX 逻辑模块

42MX 器件内包含三类逻辑模块：组合逻辑模块、时序逻辑模块和译码逻辑模块。

图 13.53 所示是 42MX 系列的组合逻辑模块（C 模块）。某些 42MX 器件可以提供多达 1 184 个此类模块。图中的 C 模块内包括一个 4-1 线 MUX，输入端 $S_0 = A_0B_0$，$S_1 = A_1 + B_1$，而 C 模块的输出是 $Y = D_{00}\bar{S}_1\bar{S}_0 + D_{01}\bar{S}_1S_0 + D_{10}S_1\bar{S}_0 + D_{11}S_1S_0$。利用该模块至多可以实现五输入的逻辑门功能。

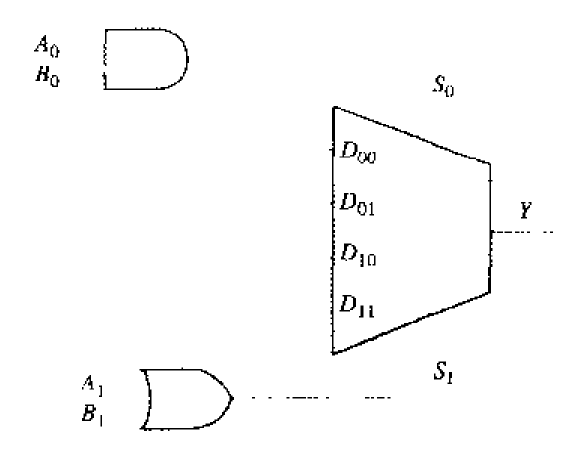


图 13.53　Actel公司 42MX 组合逻辑模块

图 13.54 是 42MX 系列时序逻辑模块（S 模块）。某些 42MX 器件内最多可包含 1 230 个此类模块。图示的S模块用于实现高速时序功能。利用一个C模块和一个时序单元（锁存器或触发器），即

可构成一个S模块，实现图13.53中C模块的功能，但有一点不同，$S_0 = A_0$，而输入端B_0专用于对触发器清零。时序模块有4种不同的配置，详见图13.54。

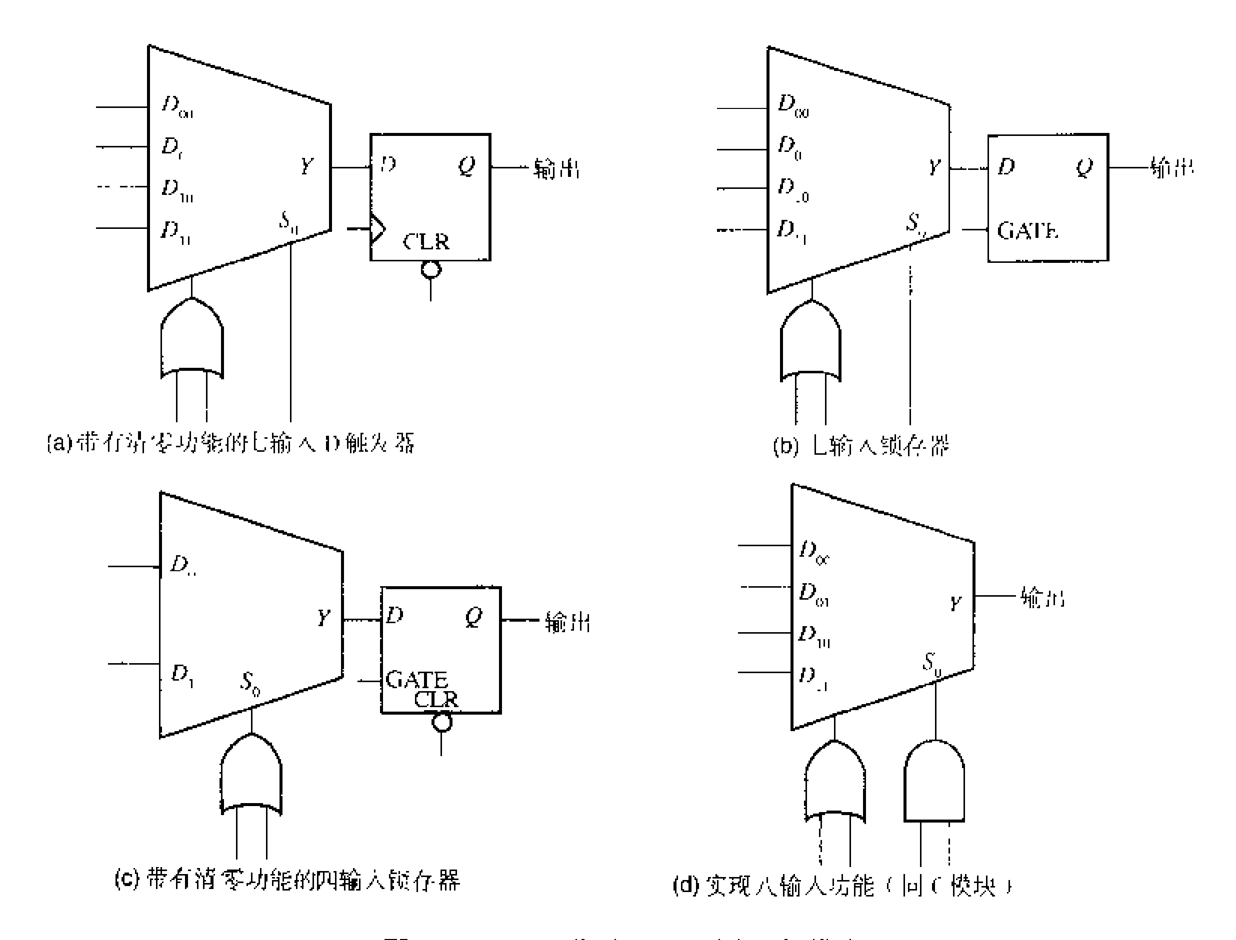


图 13.54　Actel公司42MX时序逻辑模块

某些42MX器件内还包含译码逻辑模块（D模块），如图13.55所示。此类模块内含多输入译码电路，速度快并且可以实现多输入与门功能。根据异或门可编程输入端的不同逻辑值，可以实现原变量或反变量输出。

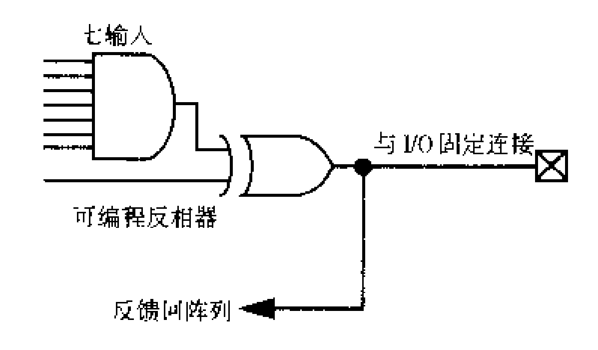


图 13.55　Actel公司的42MX译码逻辑模块

13.4 节复习题

A. 与PLD相比，FPGA是________型器件。

(1) 逻辑　(2) 寄存器

B. Actel公司的逻辑模块是基于编码器技术的.

(1) 对　　(2) 错

C. 辨别图13.55中逻辑模块的类型.

D. 图13.56所示的40MX逻辑模块可以实现________功能.

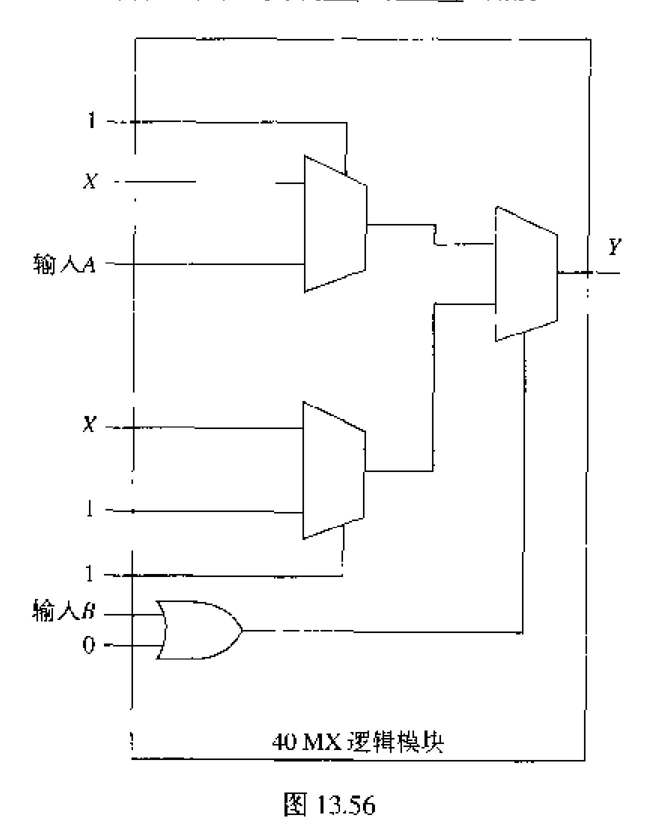


图13.56

阶段性小结（13.3节～13.4节）

可编程阵列逻辑（PAL[R]）由可编程与阵列和固定或阵列组成，由于逻辑门的数目远大于触发器，所以属于逻辑型器件.

PAL16L8器件实现组合逻辑输出。PAL16R8器件实现寄存器输出。PAL22V10内含OLM，可由用户分别控制各输出类型，既可以实现寄存器或非寄存器输出，也可以改变输出极性。这种通用器件还能实现反馈，既可以是寄存器反馈也可以是输入/输出反馈，而器件的功能配置是通过编程实现的。由于有安全位，可以防止PLD中的编程数据被破坏。Texas Instrument公司的EP630系列PLD可以很容易实现D、J–K、S–R或T触发器功能。

Lattice Semiconductor公司生产的通用阵列逻辑（GAL）器件使用了E^2CMOS技术，可以实现快速擦除。这种高集成度PLD最多可以包含14 000个门电路，通过进行不同的配置，能够实现组合或寄存器输出。pLSI[R]和ispLSI[TM]器件内含有通用逻辑块，这些逻辑块带有乘积项共享阵列，使用灵活。其中的输出和全局布线组合可以实现器件内的自动高速互连。

与逻辑型PLD相比，现场可编程门阵列（FPGA）属于寄存器型器件。Actel公司生产的FPGA系列是基于多路转换器，使用抗熔丝技术的器件。抗熔丝技术的应用使得FPGA内的布线和互连非常灵活。由真值表得到SOP逻辑表达式，利用多路转换器可以得到所需的FPGA输出逻辑表达式。

阶段性练习（13.3节～13.4节）

1. 输出端包含触发器的 PAL 器件属于________类配置。
   a. 寄存器　　b. 低电平有效　　c. 高电平有效
2. 利用输出逻辑宏单元（OLM/OLMC）可以实现寄存器输出或非寄存器输出，也可以实现原变量或反变量输出。
   a. 对　　b. 错
3. 图 13.57 中的 OLM 可以产生________。
   a. I/O 反馈和组合 / 反相输出
   b. I/O 反馈和组合 / 非反相输出
   c. 寄存器反馈和寄存器 / 反相输出
   d. 寄存器反馈和寄存器 / 非反相输出

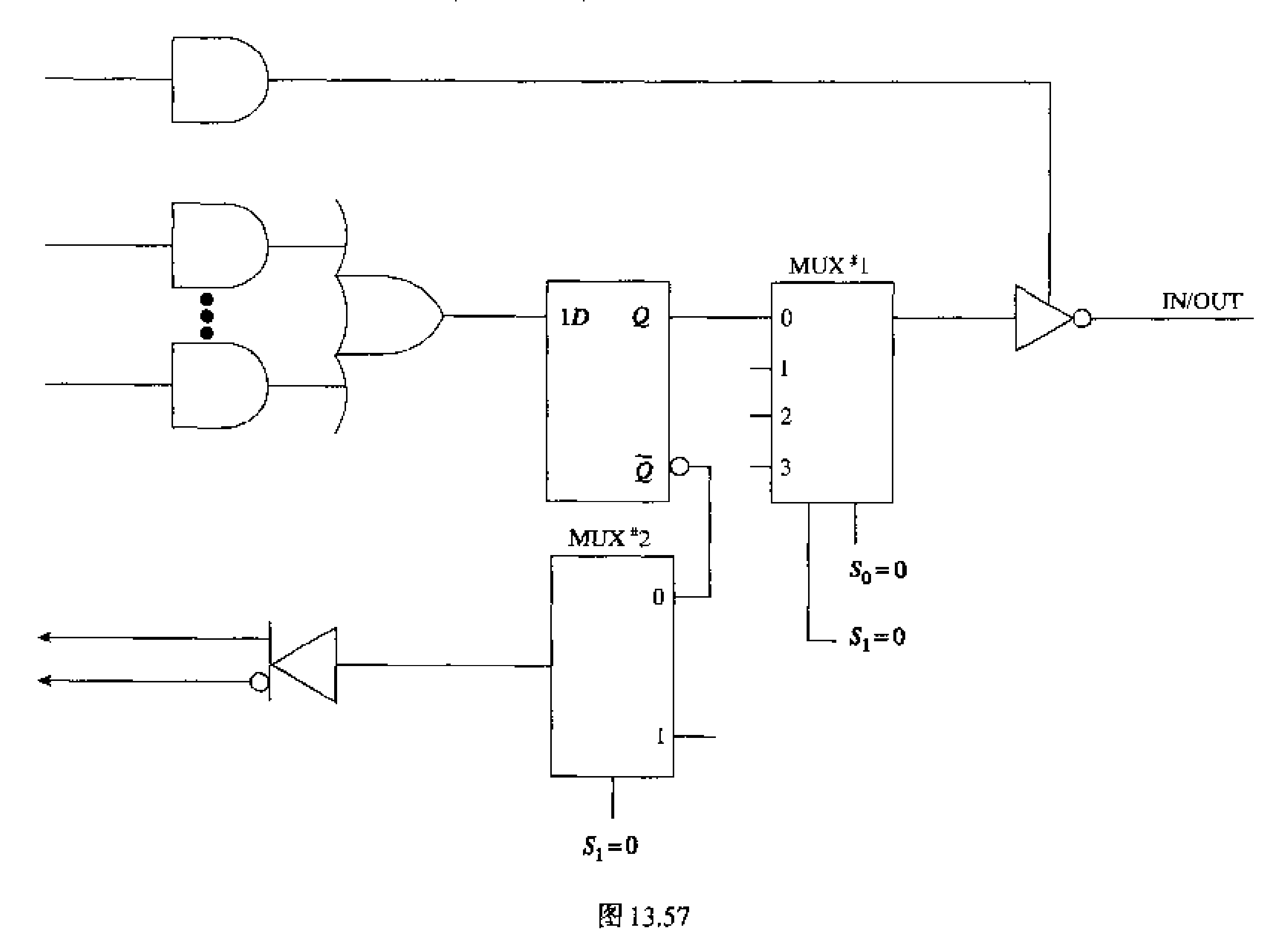


图 13.57

4. 图 13.58 中 EP630 系列 PLD 的 I/O 配置可以实现________。
   a. J-K 触发器操作
   b. D 触发器操作
   c. T 触发器操作
   d. 组合逻辑输出

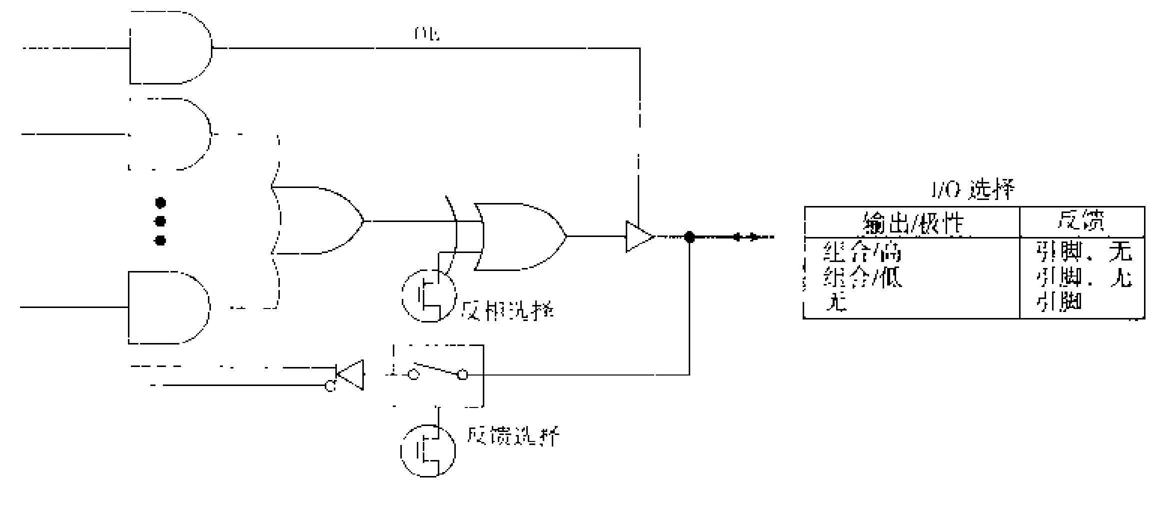
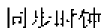


图 13.58

5. 图 13.59 中 EP630 系列 PLD 的 I/O 配置可以实现________。
   a. J-K 触发器操作
   b. D 触发器操作
   c. T 触发器操作
   d. 组合逻辑输出



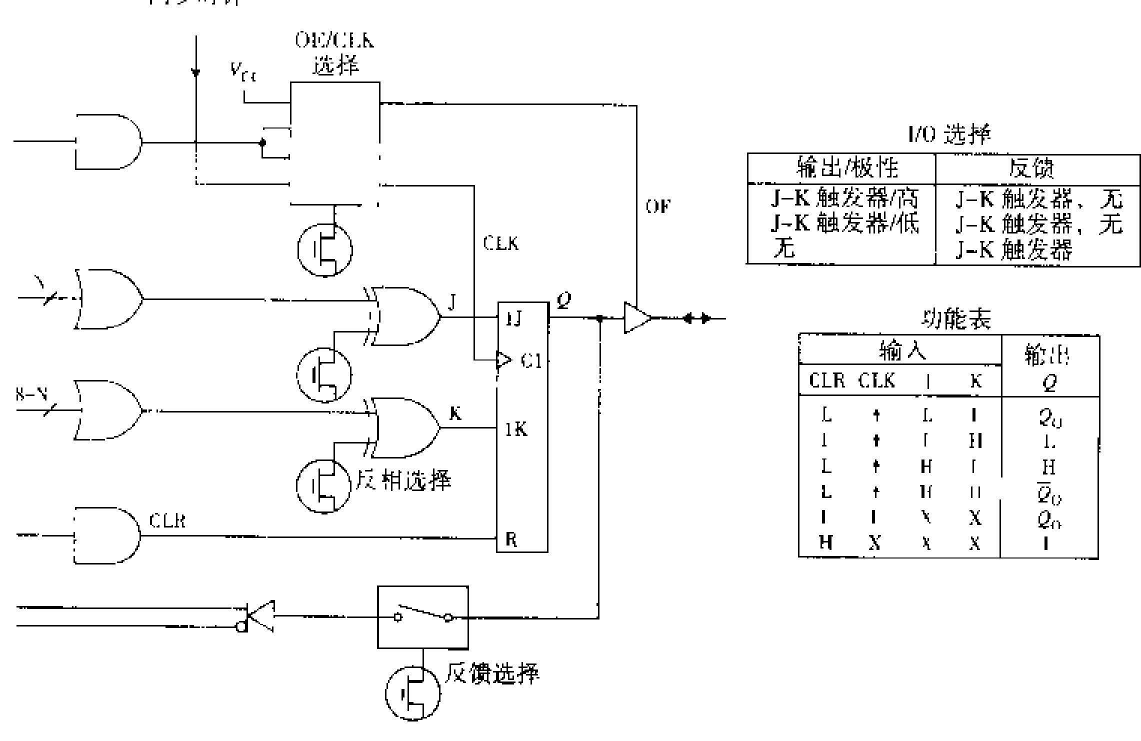


图 13.59

6. 将 PAL JEDEC 文件用于 GAL 器件编程时需要进行交互编程。
   a. 对　　b. 错
7. FPGA 不具有高集成度。
   a. 对　　b. 错

8. FPGA 属于寄存器型器件

   a. 对 b. 错

9. 在编程状态时，抗熔丝的电阻值很高

   a. 对 b. 错

10. 在 FPGA 中可使用多路转换器生成逻辑表达式。

   a. 对 b. 错

本章小结

可编程逻辑器件（PLD）是带有未开发逻辑阵列的集成电路的统称，可实现用户编程，与 SSI/MSI 集成电路比较，具有集成度高、能量消耗低和可靠性高等特点。

目前 PLD 都具可重复编程性，既可以利用 UV 擦除其中内容，也可以实现电擦除。它们的输出是 SOP 表达式。其原理图采用标准画法，"×"表示熔丝保持完整；"·"表示固定联接点；既无"×"、又无"·"则表示该处熔丝已熔断。

根据器件的内部结构不同可以把 PLD 分为三类：与阵列固定而或阵列可编程的 PLD 称为 PLE；与阵列和或阵列都可编程的称为 PLA；而与阵列可编程、或阵列固定的称为 PAL。如果 PLA 内有输出寄存器，则时序逻辑电路的设计会相对简单。

PLD 是逻辑型器件，而 FPGA 是寄存器型器件。根据 PLD 的零件号可以识别器件的配置及输入输出数目。

对 PLD 进行的编程包括熔断配置熔丝和设置器件的操作类型。通过进行不同的配置可以实现寄存器或 I/O 反馈，也可以实现寄存器或组合逻辑输出。这种配置通过设置器件内的输出逻辑宏单元实现。某些 PLD，如 EP630 系列可以将内部触发器设置为 D 锁存器、T 触发器、J-K 触发器或 S-R 触发器。

由 Lattice Semiconductor 公司生产的通用阵列逻辑（GAL）器件使用灵活，具有不易失的在系统可编程性和高集成度。对此类器件进行编程时，需要利用软件实用程序将 PAL 器件的 JEDEC 文件转换为可用于 GAL 器件的文件。

现场可编程门阵列（FPGA）是寄存器型高集成度器件，在数字领域和新型电路设计中，它们已愈来愈多地取代 TTL 集成电路、PLD 和 ASIC。在大多数 FPGA 中都使用了抗熔丝技术。抗熔丝是 FPGA 中的可编程单元。

Actel 公司的 FPGA 逻辑模块是基于 MUX 的器件，使用不同的程序控制可以实现快速组合逻辑功能或时序逻辑功能。

习题

13.1 节

1. 什么是可编程逻辑器件（PLD）？
2. 请写出图 13.60 中电路输出的布尔表达式。
3. 图 13.61 中，乘积线上的"×"代表什么？
4. 图 13.61 中，乘积线与输入线 A 交叉点处的"·"代表什么？
5. 图 13.61 中，乘积线与输入线 C 的交叉点处既无"×"，也无"·"，这说明什么？
6. 图 13.61 中与门输出的布尔表达式是什么？

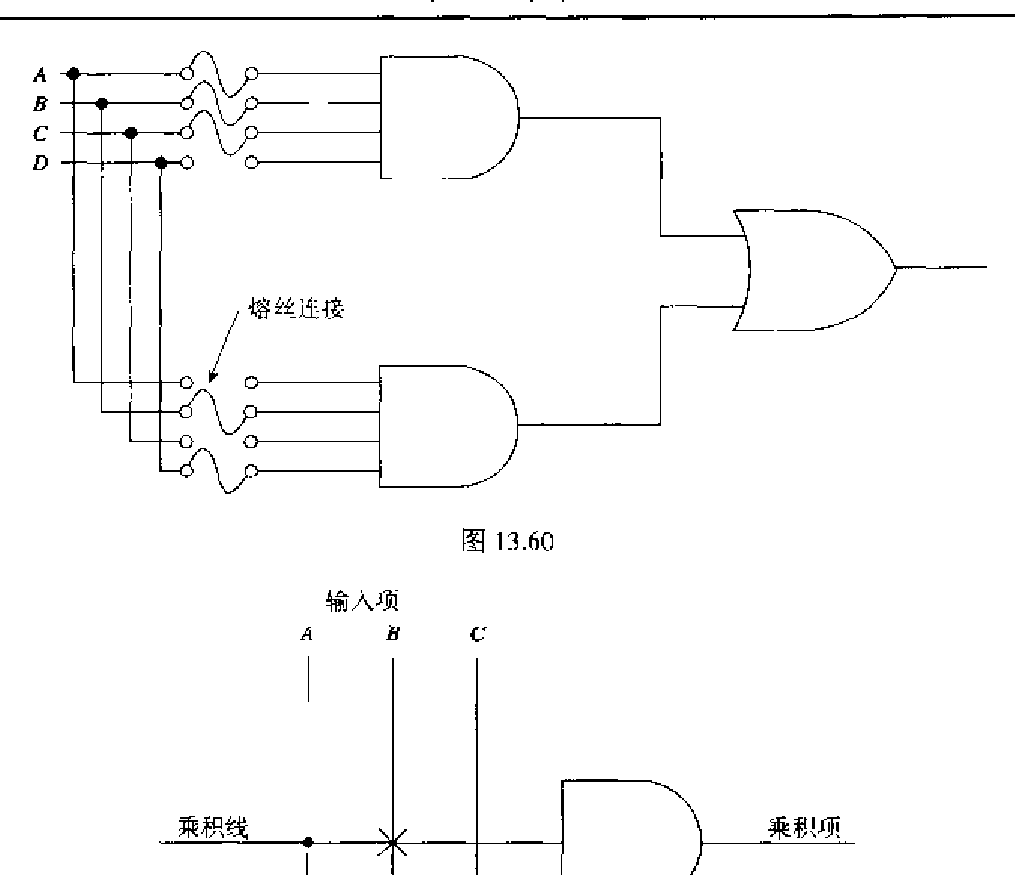


图 13.60

图 13.61

7. 写出图 13.62 中 PLD 的输出布尔表达式。

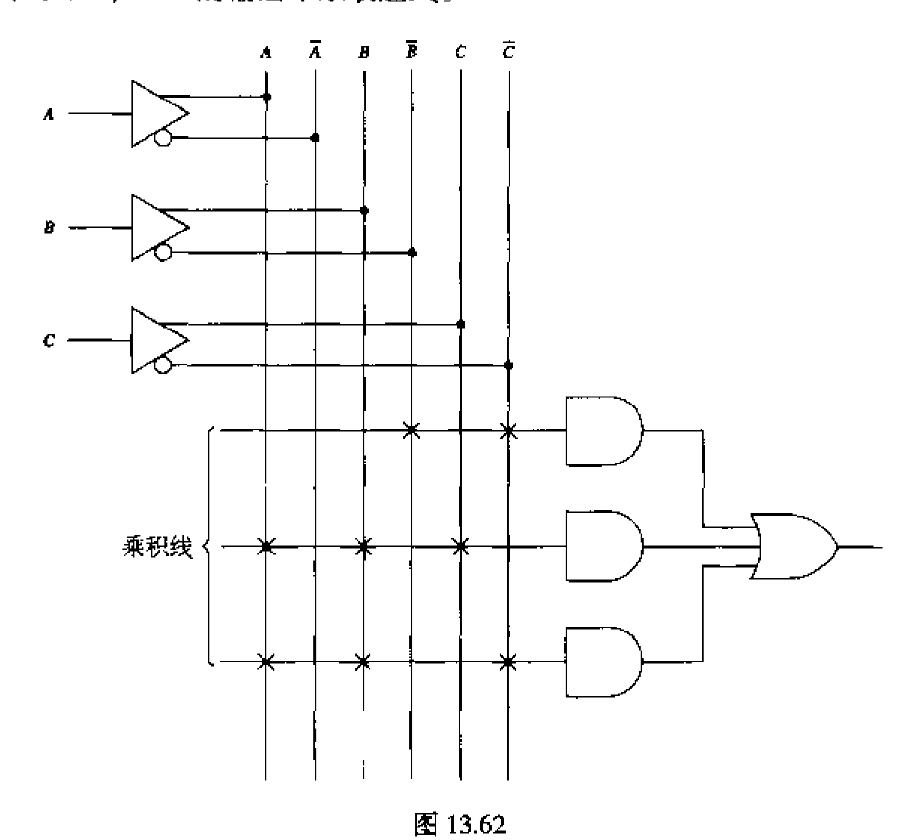


图 13.62



8. 写出图 13.63 中 PLD 的输出布尔表达式

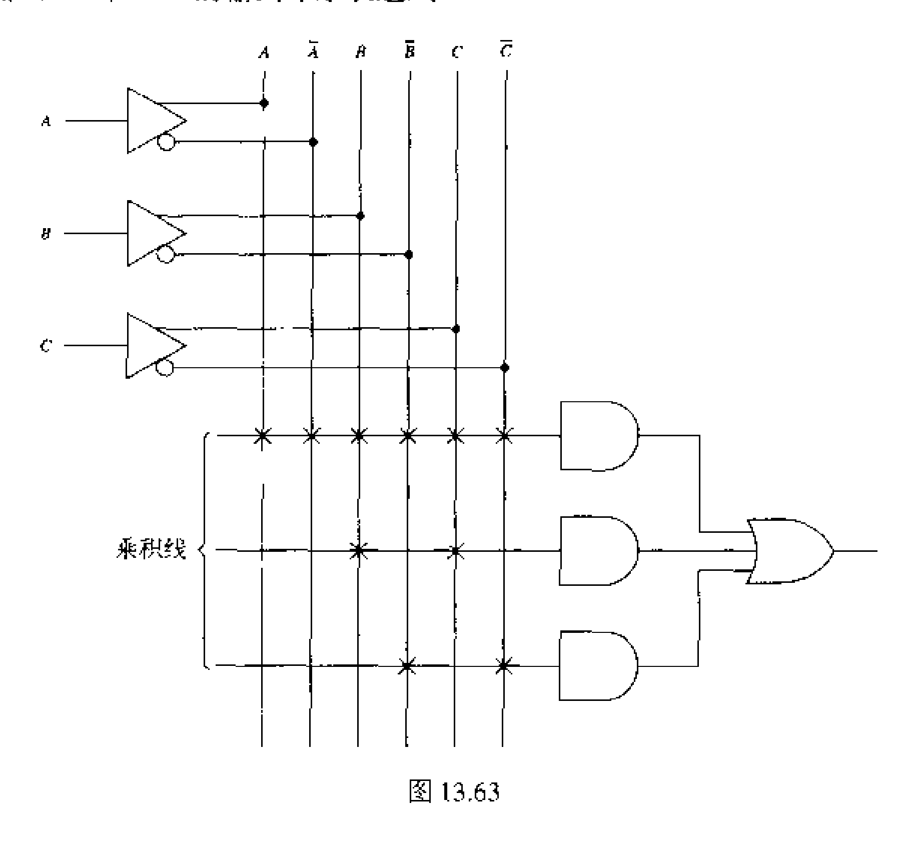


图 13.63

13.2 节

9. 列出 PLD 的三种类型。
10. 哪种类型 PLD 中的与阵列和或阵列都可由用户编程?
11. 在可编程阵列逻辑器件中哪种门阵列可由用户编程?
12. PAL22V10 有多少个输入和输出?
13. 与 SSI 和 MSI 集成电路比较，使用专用集成电路（ASIC）有哪些优点?

13.3 节

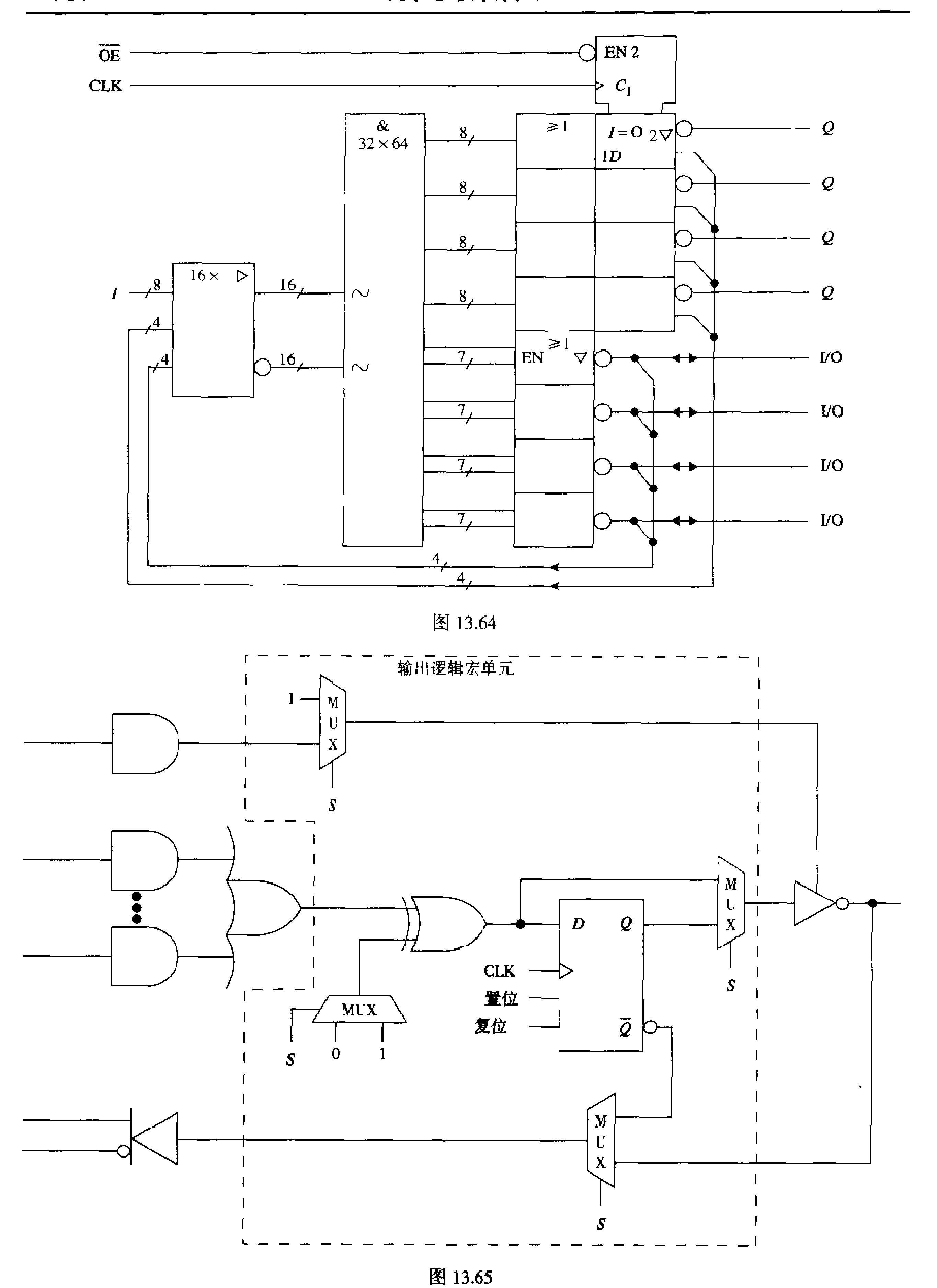
14. 零件号 PAL16R4 为用户提供了哪些信息?
15. 图 13.64 中的 PAL16R4 器件有________个专用输入端。
16. 图 13.64 中可编程阵列逻辑器件的 $\overline{OE}$ 输入端有什么作用?
17. 图 13.64 中可编程阵列逻辑器件的哪种门阵列可由用户编程?
18. 图 13.64 中，为什么某些或门块需要使能端（EN）?
19. 对于图 13.65 中的输出逻辑宏单元，当异或门的控制 MUX 输出为高电平时，该异或门的功能是什么?

13.4 节

20. FPGA 的含义是什么?
21. 与 PLD 相比，使用 FPGA 器件的优势是什么?

CT　22. 写出图 13.66 所示的 40MX 逻辑模块能够实现的逻辑功能。

CT　23. 写出图 13.67 中组合逻辑模块的输出逻辑表达式。



OE
CLK
EN 2
C_1
&
32×64
≥1
I=O 2▽
1D
Q
Q
Q
Q
16×
I
8
4
4
16
16
8
8
8
8
7
7
7
7
EN
≥1
I/O
I/O
I/O
I/O
4
4

图 13.64

输出逻辑宏单元
1
MUX
S
MUX
D
Q
CLK
置位
复位
$\bar{Q}$
MUX
S
0
1
MUX
S
MUX
S

图 13.65

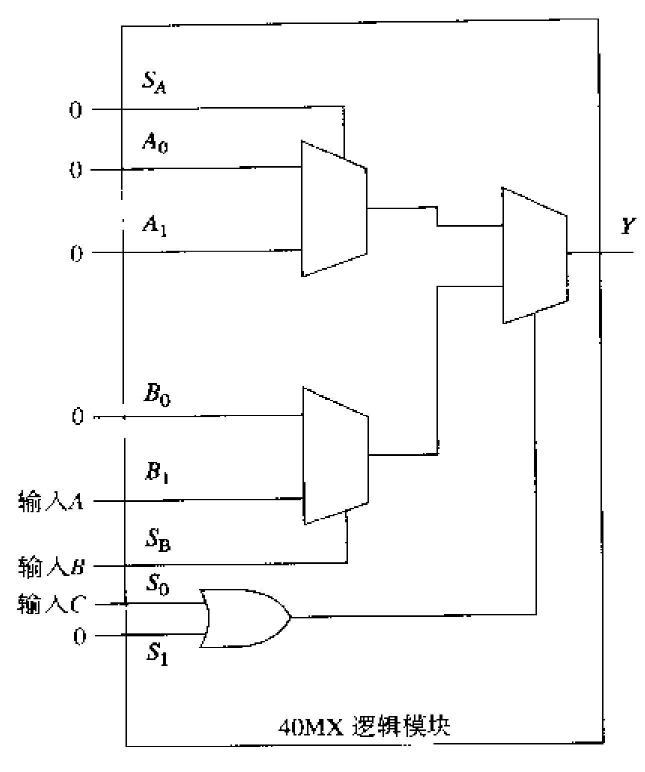

S_A
0
A_0
0
A_1
0
Y
B_0
0
B_1
输入A
S_B
输入B
S_0
输入C
0
S_1
40MX 逻辑模块

图 13.66

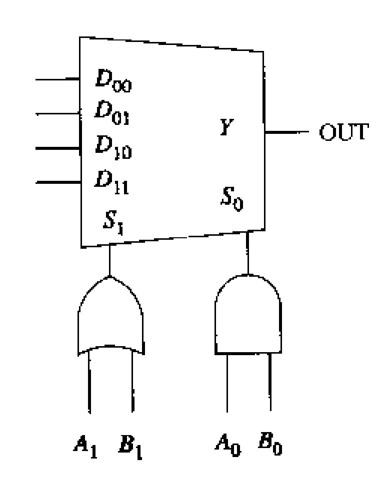

D_{00}
D_{01}
D_{10}
D_{11}
Y
OUT
S_0
S_1
A_1 B_1
A_0 B_0

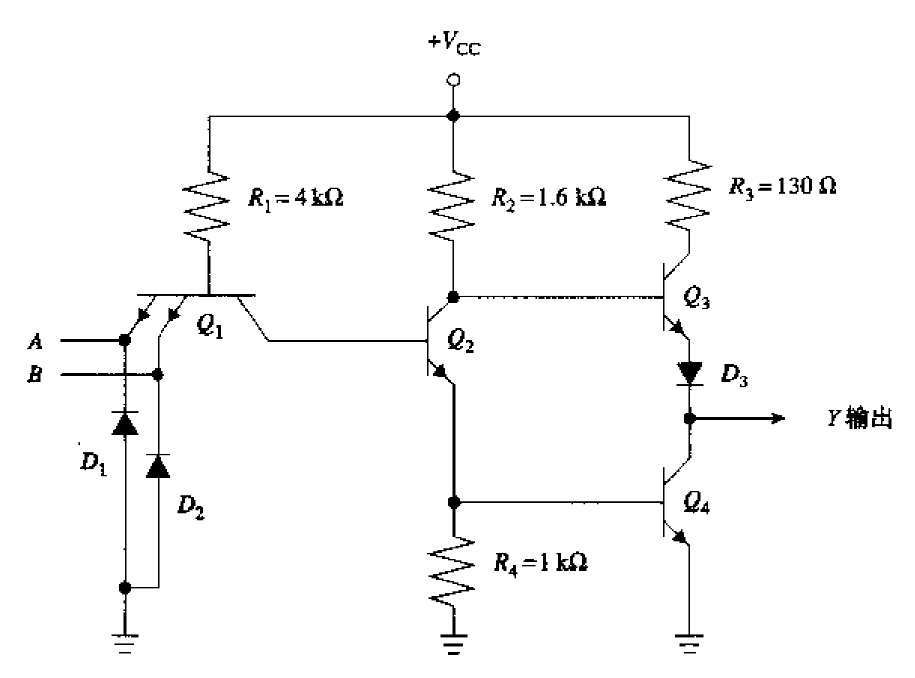
图 13.67

附录A　逻辑电路技术

晶体管－晶体管逻辑（TTL）电路和金属氧化物半导体（MOS）电路是常用的数字逻辑电路。其中，MOS系列又可分为N沟道MOS（NMOS）、P沟道MOS（PMOS）和互补MOS（CMOS）三类。在介绍TTL和MOS器件之前，需掌握有关双极结型晶体管和增强型（E）MOSFET的有关知识。

A.1　TTL标准二输入与非门

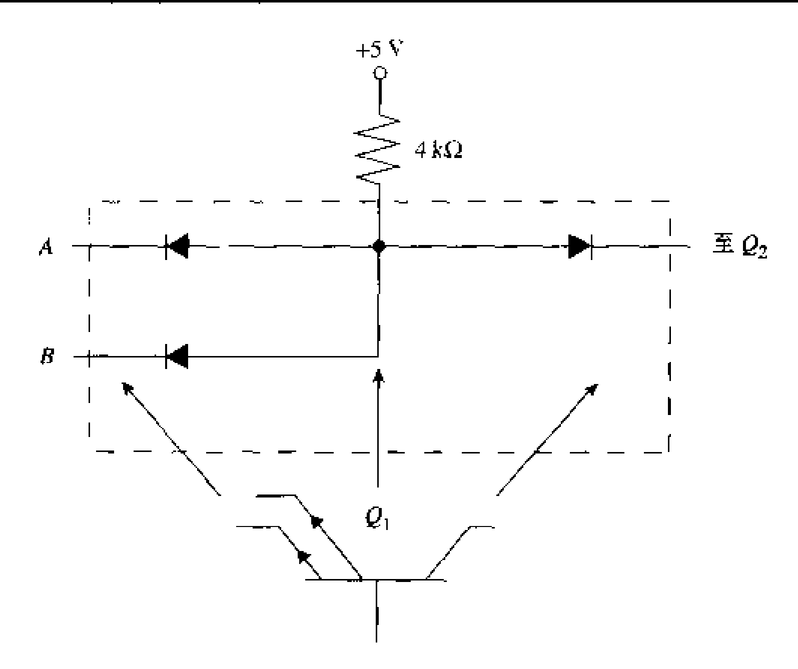
图A.1所示的是7400标准与非门的原理图。其中，D_1和D_2为保护二极管，用于限制输入端出现的负极性干扰信号，以保护输入端的三极管Q_1。当输入信号出现振荡时可能会产生负极性信号。



图A.1　标准TTL与非门原理图

输入三极管Q_1是多发射极三极管，图A.2是它的二极管等效电路。左边的两个二极管表示双射极三极管的发射结，右边的二极管表示三极管的集电结。

从图A.1中可以看出，利用三极管Q_1控制着Q_2的工作状态，而Q_2的截止或导通决定着推拉输出三极管（totem-pole transistor）Q_3和Q_4的输出。根据图A.3(a)中的二极管等效电路可以讨论输入三极管Q_1的工作原理。



图A.2 多发射极三极管（Q_1）的二极管等效电路

A.1.1 逻辑0输入

图A.3(a)中，当输入A和B都为逻辑0（V_{IL}）时，两个发射结都正向偏置，从而使电流I_{IL}由Q_1的发射极输入端流出，电流的大小是由电源电压V_{CC}和R_1（图中为4 kΩ）决定的。为了使集电结（BC）正向偏置，Q_1的基极电位必须大于+2.1 V；但由于发射结（EB）正偏，使得基极电位只有+1.0 V左右，因此集电结反偏，不能形成Q_2的基极电流，三极管Q_2截止。

上述讨论同样也适用于与非门的两个输入分别为逻辑0和逻辑1的情况。有一个输入为0，则三极管的一个发射结正偏，将基极电位箝制在1.0 V左右，从而使Q_2截止。

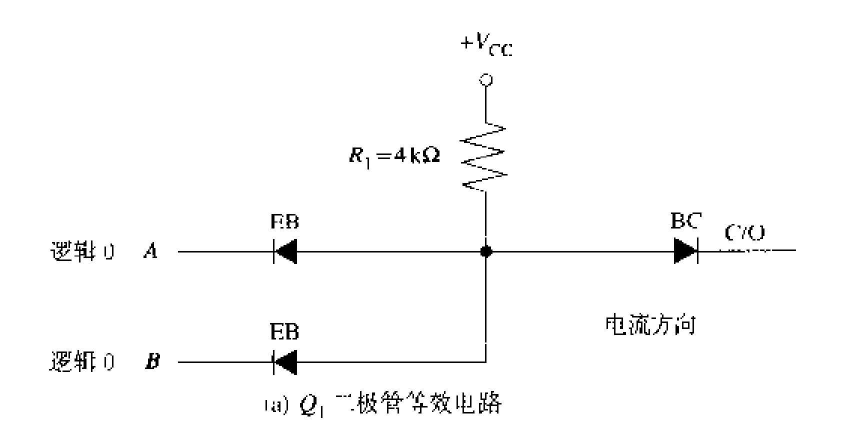
由于Q_2截止，其集电极输出为高电平，见图A.3(b)。Q_2集电极的高电平输出使三极管Q_3饱和导通，这样在V_{CC}和电路输出之间形成了一个低阻通道，所以电路输出为高电平（V_{OH}），标准TTL与非门电路V_{OH}的典型值为+3.4 V，也可以低至+2.4 V。此外，由于Q_2截止，其发射极电位和Q_4的基极电位为零，从而使Q_4也截止。

A.1.2 逻辑1输入

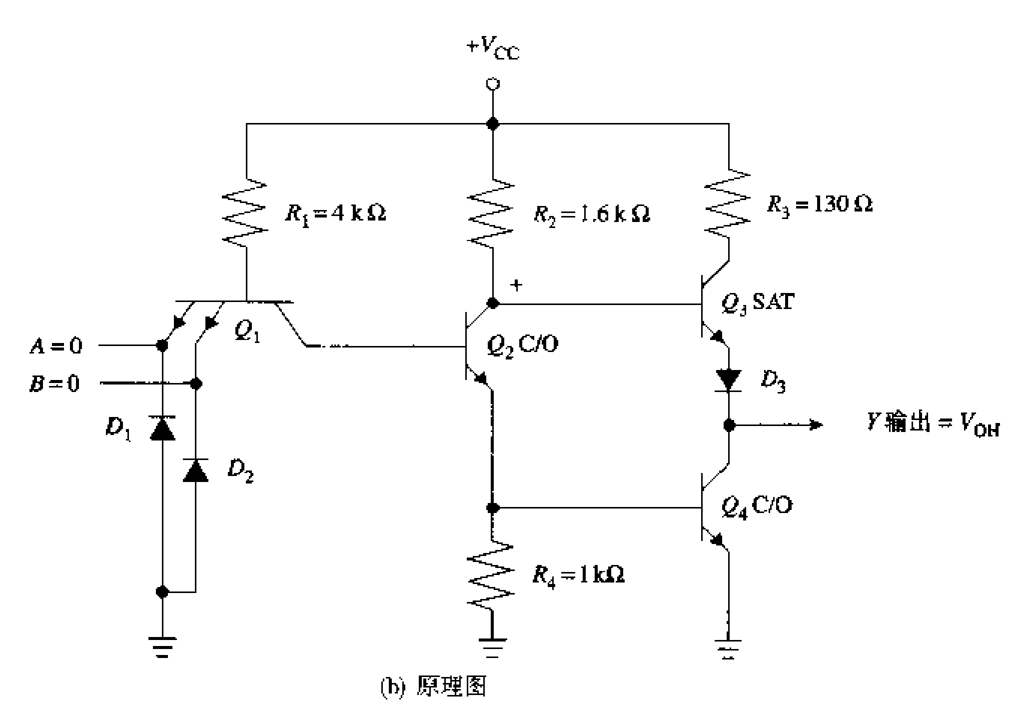
图A.4(a)是当与非门的两个输入都为逻辑1时，两个发射结（EB）二极管都反偏时的情况。该条件使集电结二极管的阳极有一个正的高电位，从而使BC正偏，因此Q_2饱和导通。

图A.4(b)是当输入都为逻辑1时的与非门电路。由于Q_2饱和导通，在电阻R_4上产生压降，从而使Q_4的发射结正偏，Q_4饱和导通，输出Y为低电平（V_{OL}）。

如图A.4(b)所示，Q_2的基极电位为+1.4 V左右，这就要求Q_1的基极电位必须大于+2.1 V，以保证其集电结正偏。从图中还可以看出，当Q_2饱和导通时，Q_3的基极电位为+0.9 V。如果没有二极管D_3，该电位可以保证Q_3导通；因为电路中D_3的存在，Q_4导通时保证Q_3同时导通的基极电位至少为+1.6 V，所以电路中引入D_3的目的是保证Q_3和Q_4不会同时导通。

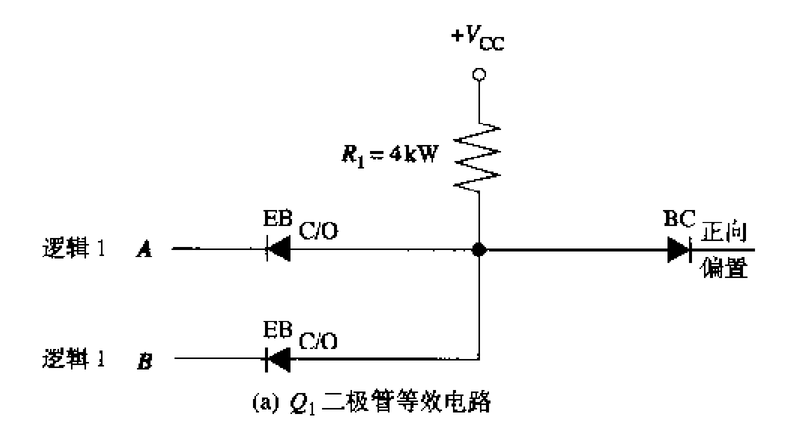


(a) Q_1 二极管等效电路



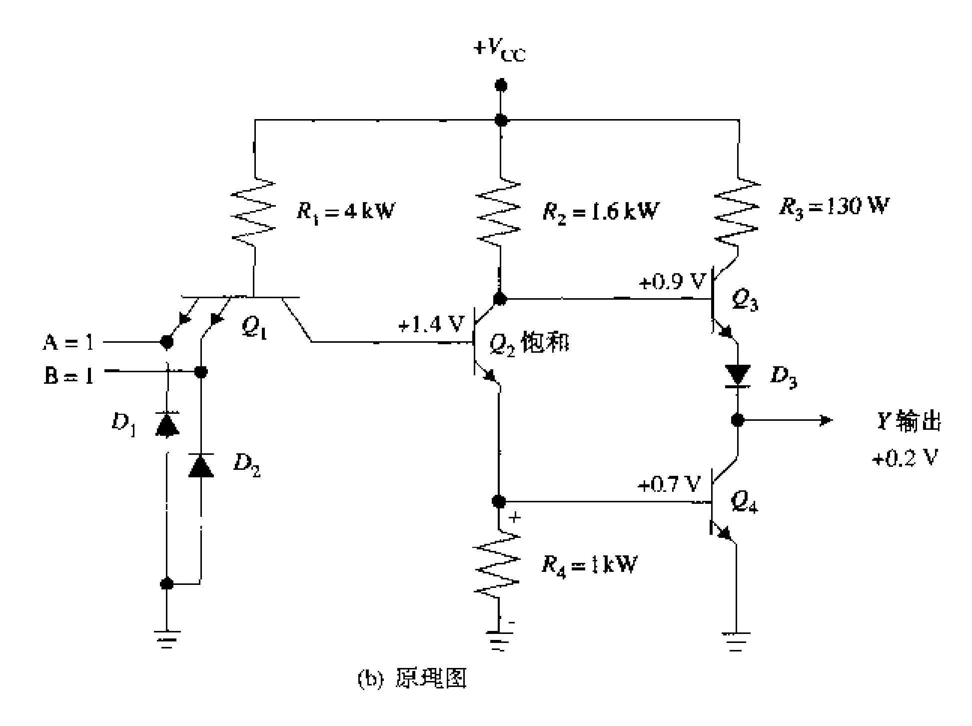
(b) 原理图

图 A.3 标准 TTL 与非门电路，逻辑 0 输入



(a) Q_1 二极管等效电路

图 A.4 标准 TTL 与非门电路，逻辑 1 输入



(b) 原理图

图 A.4（续） 标准 TTL 与非门电路，逻辑 1 输入

A.2 TTL 反相器

图 A.5 所示是 TTL 非门电路的原理图。该电路结构和与非门电路类似，不同的是该电路只有一个输入，这样就允许输入晶体管为单射极三极管。TTL 非门电路的原理和与非门电路的原理相同。

有关其他类型 TTL 逻辑门电路的原理图可查看相关 TTL 手册。

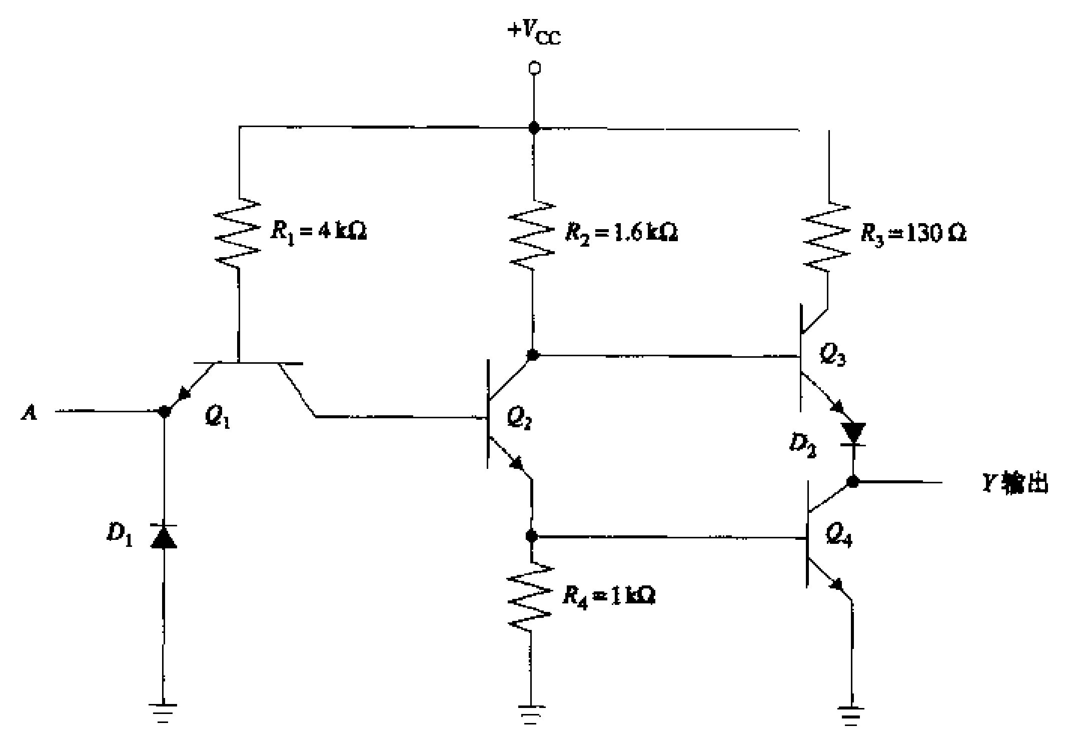
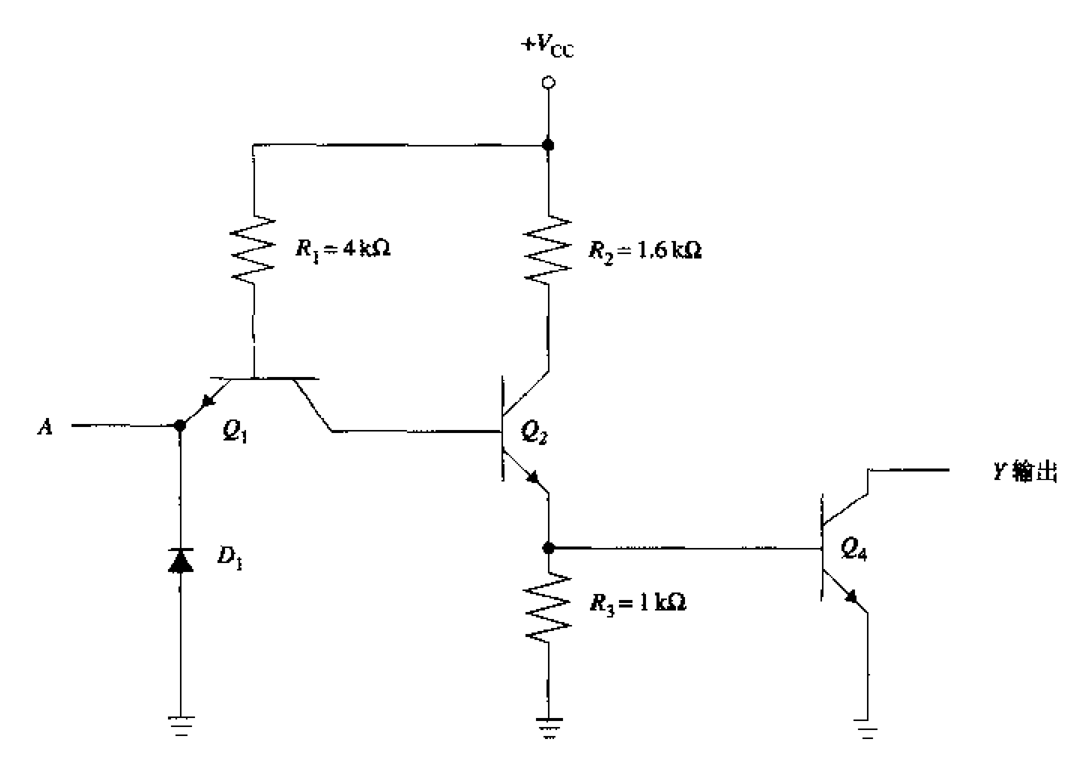


图 A.5 标准 TTL 非门电路原理图

A.3 TTL集电极开路门

前面两小节介绍的TTL与非门和非门都是推拉输出电路。根据输出电路的不同，为了实现同样的逻辑功能，还可以使用集电极开路输出（open-collector output）门。几个集电极开路门的输出可以连接在一起，实现“线与”的功能。这里重点介绍集电极开路门的电路原理图以及如何计算外部上拉电阻（pull-up resistor）的阻值。

图A.6是带有集电极开路输出的标准TTL非门的原理图。将其与图A.5的反相器进行比较即可发现，集电极开路门中没有Q_3，D_2以及130 Ω的电阻。有关7405集电极开路反相器的数据表见附录B。



图A.6 带有集电极开路输出的标准TTL非门电路原理图

利用集电极开路门实现“线与”逻辑关系时，各门电路的输出端连接起来，连在一起的输出端与电源电压V_{CC}间必须加一上拉电阻（R_{PU}），如图A.7所示。

以带有集电极开路输出的二输入与非门74LS03为例，上拉电阻阻值的计算过程如下（使用LS系列负载门电路）：

$$R_{P(MIN)}=\frac{V_{CC(MAX)}-V_{OL}}{I_{OL}-N_{2(LOW)}\times 1.6\ \text{mA}}$$

其中，N_2为被驱动的输入单元负载（UL）数目。

被驱动的输入单元负载数目的计算方法为：低电平输入时，1 UL = 1.6 mA；高电平输入时，1 UL = 40 μA。

输入低负载系数 = I_{IL} / UL = 0.4 mA / 1.6 mA = **0.25 UL/门**

因为有4个LS负载门，$N_{2(LOW)}$ = 4 × 0.25 UL = **1 UL**

$$R_{PU(MIN)} = \frac{5.25\ \text{V} - 0.5\ \text{V}}{8\ \text{mA} - 1 \times 1.6\ \text{mA}} = \frac{4.75}{6.4\ \text{mA}} = \mathbf{742\ \Omega}$$

$$R_{PU(MAX)} = \frac{V_{CC(MIN)} - V_{OH}}{\times I_{OH} + N_{2(HIGH)} \times 40\ \mu\text{A}}$$

输入高负载系数 = I_{IH} / UL = 20 μA / 40 μA = **0.5 UL/门**

因为有 4 个 LS 负载门，$N_{2(HIGH)}$ = 4 × 0.5 UL = **2 UL**

$$R_{PU(MIN)} = \frac{4.75\ \text{V} - 2.4\ \text{V}}{4 \times 100\ \mu\text{A} + 2 \times 40\ \mu\text{A}} = \frac{2.35\ \text{V}}{480\ \mu\text{A}} = \mathbf{4.89\ k\Omega}$$

因此，该例中上拉电阻的阻值为 742 Ω ~ 4.9 kΩ。

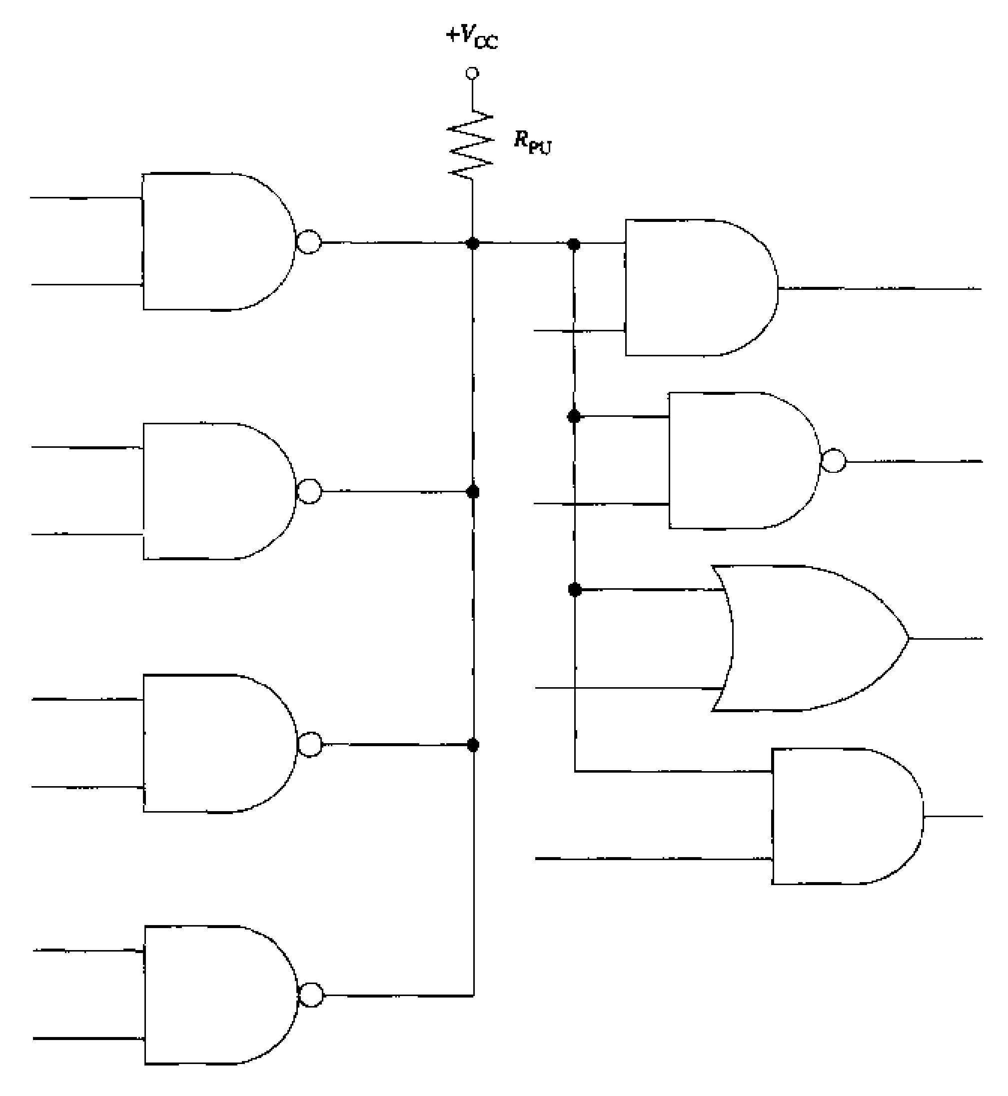
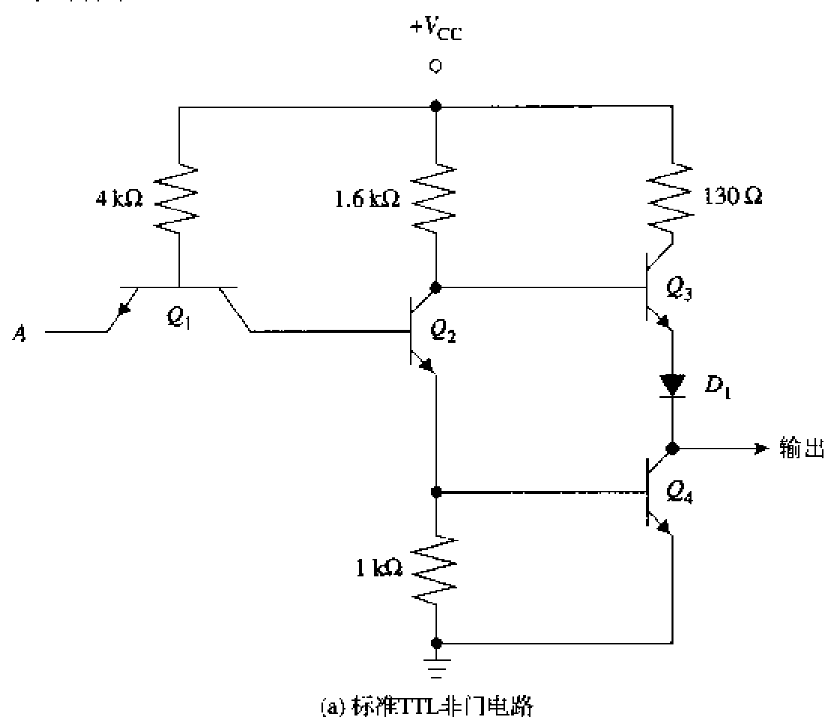


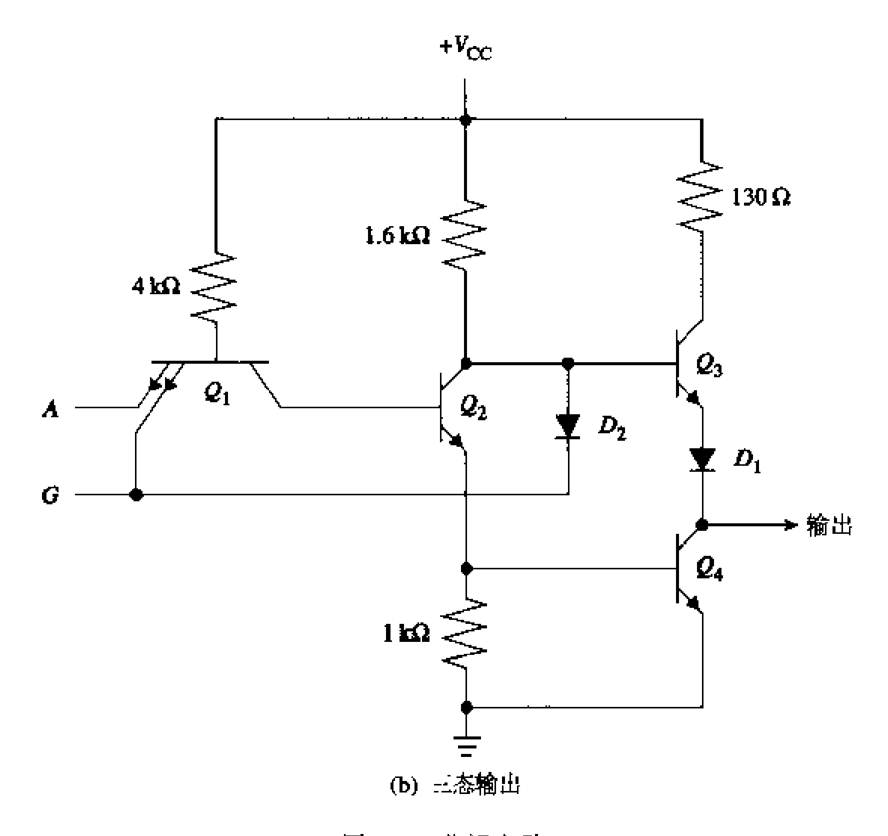
图 A.7　“线与”电路逻辑图

A.4　TTL 三态输出门

三态输出电路在 11.3 节中介绍过、第三种状态，即高阻态（Hi-Z）是如何实现的呢？比较图 A.8(a)和(b)即可得到答案。



(a) 标准TTL非门电路



(b) 三态输出

图 A.8　非门电路

图A.8(a)所示是标准TTL非门的逻辑图。如前所述，当A端输入高电平时，Q_1集电结正向，从而使Q_2饱和导通，1 kΩ电阻上压降增大，使Q_4发射结正偏而饱和导通，因此电路输出为低电平，实现了取反操作。

图A.8(b)是带有三态输出的非门。除了A端外，该电路还有一个输入端G，G端是使能端，控制着电路的工作状态。当G端输入高电平时，电路实现标准反相器的功能，而当G端输入低电平时，电路处于禁止态，Q_3和Q_4都截止，输出呈高阻态。在这种情况下，输入A对输出没有作用，电路与负载断开

$A=1$，$G=1$：此时Q_1集电结正偏，Q_2导通；1 kΩ电阻上的压降使Q_4导通，输出为低电平。使能端（G）上的高电平对D_2没有影响。

$A=0$，$G=1$：A端所加为低电平，所以使Q_1的发射结正偏而集电结反偏，因此Q_2截止；Q_2集电极的高电位使Q_3导通；由于Q_2截止，1 kΩ电阻上没有电流通过，所以Q_4截止，输出为高电平。

$G=0$：当G端输入为低电平时，A端的输入对输出没有影响。$G=0$时，Q_2截止，因此导致Q_4截止；同时，D_2正向导通引起Q_3基极电位降低，使Q_3截止；由于Q_3和Q_4同时截止，电路呈高阻态。此时门电路的输出端为开路状态。

A.5　TTL的未用输入端

在第3章中曾经简单介绍过逻辑门中的未用输入端，未用输入端不可以悬空。对于一个三输入门电路，如果只需要使用其中的两个输入端，可以将未用端跨接到一个使用端上。但在计算门电路的扇出时，两个相连的输入应作为两个单元负载代入计算。

对于LS和FAST系列，如果将未用端连接到使用输入端，会影响集成电路的抗噪容限，因此，这类电路的未用端应连接到电路的使能端（即，与门/与非门的V_{CC}端，或门/或非门的“地”端）。

A.6　TTL产品系列

标准的74系列TTL器件工作速度较高且能量损耗较低。如果用户希望拥有更低的能量损耗和更高的工作速度，就要使用另外两种系列，即低能耗器件和高速器件。

20世纪60年代后期，对标准TTL系列集成电路进行了改进，大大提高了其性能，形成了两种改进型产品，即低能耗门电路和高速门电路。74L系列是低能耗TTL产品，其中的与非门（74L00）结构与图A.1类似，但有一点不同，即其中电阻的阻值普遍提高，从而降低了能量损耗。

74H系列是高速产品，它的与非门（74H00）基本结构也与图A.1类似，但有两点例外：首先，电阻的阻值普遍降低；其次，图中的推拉输出三极管Q_3由达林顿（Darlington）管替代。虽然该系列提高了操作速度，但减小电阻阻值却增加了电路的能量损耗。

后来，在74L和74H系列的基础上又开发出一系列TTL产品，有关这些产品的性能参数见表A.1。

表A.1　TTL系列产品性能参数

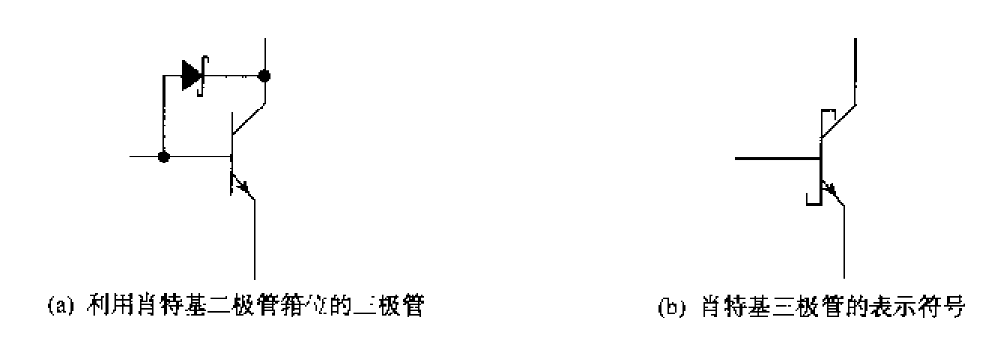
	标准74	74L	74H	74S	74LS	74ALS
t_{PD}（ns）	9	33	6	3	9.5	4
每个门的能量损耗（mW）	10	1	23	18.75	2	1.2
最大时钟频率（MHz）	35	3	50	125	45	70

74S系列是TTL的肖特基（Schottky）系列。如图A.9(a)所示，在该系列门电路中，每一个晶体管的基极和集电极之间接有肖特基二极管，可以提高速度。

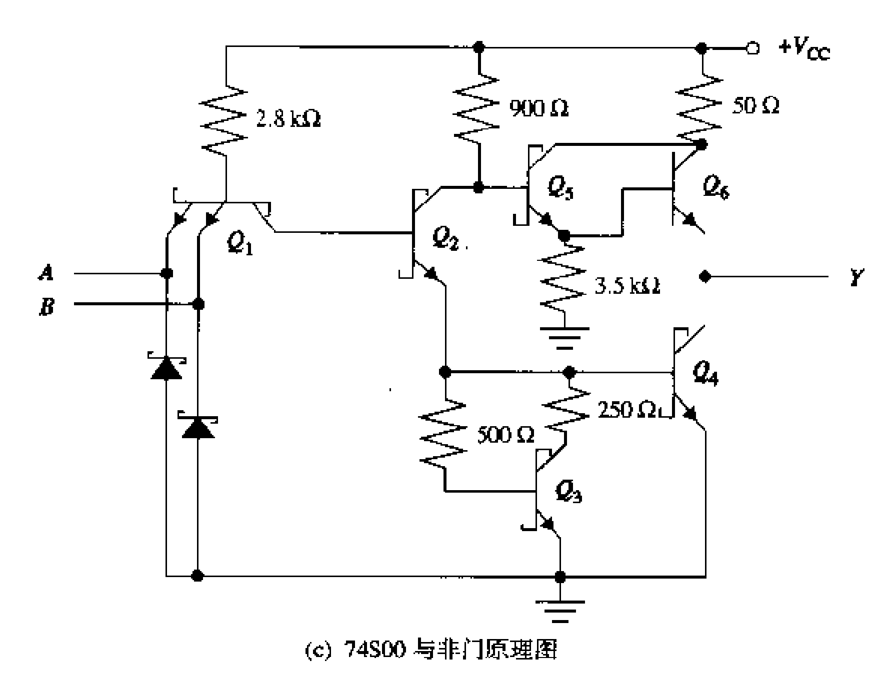
肖特基二极管是由金属和N型半导体粘合而形成的。与普通二极管相比，这种二极管频率高、转换速度快且正向压降小。肖特基二极管内部没有少数载流子，因此其内部没有存储电荷。图A.9(a)中，从基极注入的过驱动电流经过肖特基二极管流出，使基极电流不再增加，从而有效地制止了三极管进入深度饱和状态。由于三极管和肖特基二极管内几乎没有存储电荷，因此存储时间极短且三极管的开关时间也显著降低。

带有肖特基二极管的三极管称为肖特基三极管，其表示符号如图A.9(b)所示。

图A.9(c)是肖特基与非门（74S00）的电路图。与前面的电路相比，引入了三极管Q_3，Q_5及其相连电阻，目的是通过加强对称开关转换特性而提高电路的工作性能。74S系列TTL电路的每门平均功耗为18.75 mW，典型传输延迟时间为3 ns。与标准系列TTL门电路比较（每门平均功耗为10 mW，传输延迟时间为9 ns），功耗增加了，而工作速度也提高了。



(a) 利用肖特基二极管箝位的三极管　　(b) 肖特基三极管的表示符号



(c) 74S00与非门原理图

图A.9　肖特基二极管

74LS系列是低功耗肖特基系列，它的功耗比74S系列低，但工作速度却降低了。其典型传输延迟时间为9.5 ns，而每门功耗只有2 mW。

74S系列和74LS系列的后继产品是高级肖特基（74AS）系列和高级低功耗肖特基（74ALS）系列，它们在进行速度和功耗上都有所改进。

A.7　标准TTL数据表

图A.10所示的是标准TTL与非门的数据表。注意，除标准7400门电路外，肖特基（74S）系列、低功耗肖特基（74LS）系列、高级肖特基（74AS）系列及高级低功耗肖特基（74ALS）系列的与非门的数据表参见附录B。图A.10中，7400系列的数据表可分为三部分：(1)推荐工作条件；(2)电特性；(3)开关转换特性。

A.7.1　推荐工作条件

这一节列出了器件的电源电压范围及所需的输入电压和电流值。SN5400系列是军用品，其电源电压为 V_{CC} = 5 V ± 10%（4.5~5.5 V）；SN7400系列是民用品，其电源电压为 V_{CC} = 5 V ± 5%（4.75~5.25 V）。

由于逻辑门电路的内阻和负载的大小会影响到逻辑门的输出电压和电流，所以与逻辑0或1相对应的只能是一段电压范围，而不是一个确定的值。在数据表中列出的高电平输入电压和低电平输入电压分别为2 V（$V_{IH\ MIN}$）和0.8 V（$V_{IL\ MAX}$），并且还列出了高、低电平输出电流（I_{OH}和 I_{OL}）。

A.7.2　电特性

V_{IK}（−1.5 V_{max}）是输入箝位二极管电压，它的典型值是−0.65~0.7 V。最小输出高电平电压（V_{OH}）的下限是2.4 V，而输入高电平的下限是2.0 V，二者之间相差0.4 V，这样可保证 V_{OH} 不在未定义的逻辑范围（0.8~2.0 V）内。同样，输出低电平电压（V_{OL}）的上限是0.4 V，输入低电平的上限是0.8 V，二者之间也相差0.4 V。

在图A.10的数据表中，I_{CCH}和 I_{CCL}是电源输出电流，它们分别表示当输出为高电平（逻辑1 = I_{CCH}）及低电平（逻辑0 = I_{CCL}）时的电源输出电流。电源平均输出电流与 V_{CC}的乘积就是电路的平均功耗。输入高电平电流及输入低电平电流分别用 I_{IH}和 I_{IL}表示，表中 I_{IL} = −1.6 mA，其中的"−"表示电流由引脚流出。短路输出电流（I_{OS}）是指当输出端短接时输出引脚上的输出电流。

A.7.3　开关转换特性

在数据表中列出了两个开关转换时间 t_{PHL}和 t_{PLH}，t_{PHL}是输出电压由高电平跳变为低电平时的传输延迟时间，t_{PLH}是输出电压由低电平跳变为高电平时的传输延迟时间，而二者的数字平均值就是平均传输延迟时间 t_{pd}。

SN5400, SN54LS00, SN54S00, SN7400, SN74LS00, SN74S00

四－二输入正逻辑与非门

1983 年 12 月－1988 年修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体和平面封装、塑料双列直插式封装及陶瓷双列直插式封装
- 质量和可靠性高

SN5400 . . . J 封装
SN54LS00, SN54S00 . . . J 或 W 封装
SN7400 . . . N 封装
SN74LS00, SN74S00 . . . D 或 N 封装

1A 1 | 14 VCC
1B 2 | 13 4B
1Y 3 | 12 4A
2A 4 | 11 4Y
2B 5 | 10 3B
2Y 6 | 9 3A
GND 7 | 8 3Y

说明

该器件包含四个独立的二输入与非门。

SN5400、SN54LS00和SN54S00是军用品，工作的温度范围是−55℃~125℃，而SN7400、SN74LS00和SN74S00是民用品，工作的温度范围是0℃~70℃.

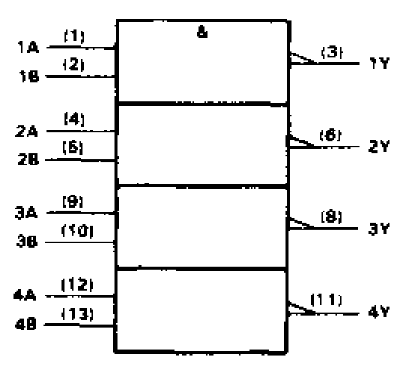
SN5400 . . . W 封装

1A 1 | 14 4Y
1B 2 | 13 4B
1Y 3 | 12 4A
VCC 4 | 11 GND
2Y 5 | 10 3B
2A 6 | 9 3A
2B 7 | 8 3Y

功能表（每门）

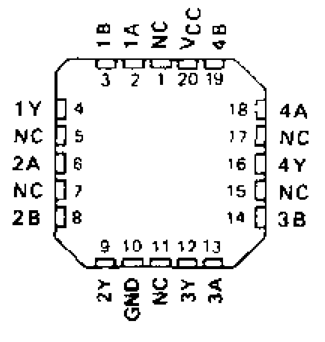
输入		输出
A	B	Y
H	H	L
L	X	H
X	L	H

逻辑符号†



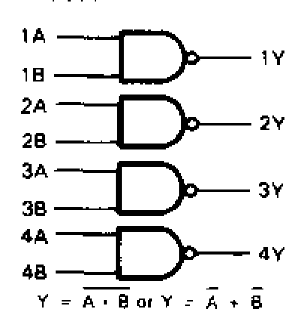
† 该符号依据ANSI/IEEE标准91−1984和IEC Publication 617−12
图示引脚数是对D、J和N封装而言

SN54LS00, SN54S00 . . . FK 封装



NC－无内部连接

逻辑图（正逻辑）



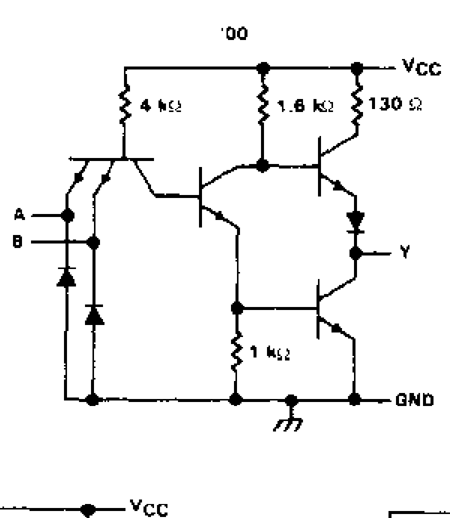
$Y = \overline{A \cdot B}$ or $Y = \overline{A} + \overline{B}$

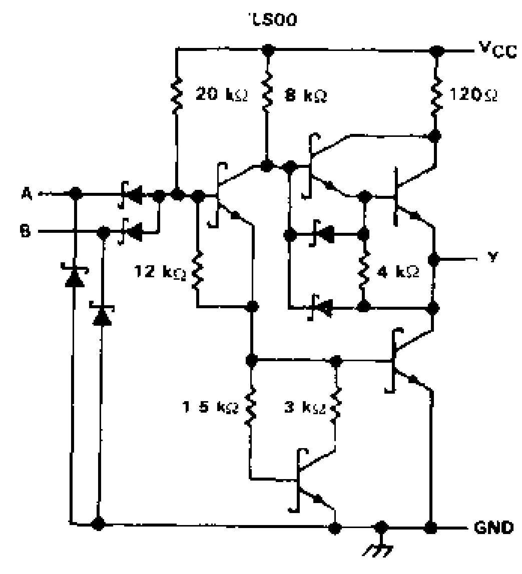
图 A.10 SN7400 与非门数据表（第一部分）

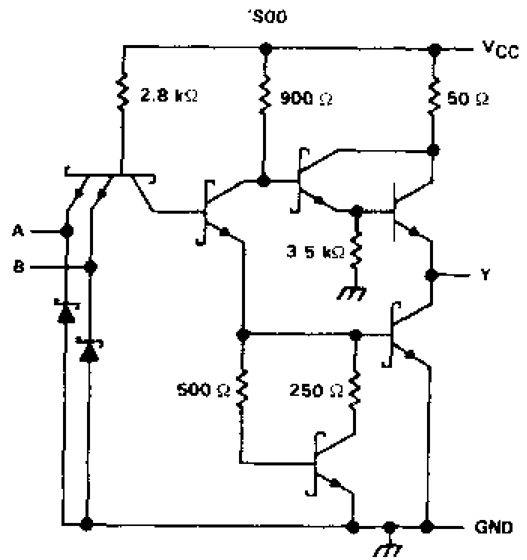
SN5400, SN54LS00, SN54S00, SN7400, SN74LS00, SN74S00

四－二输入正逻辑与非门

每个门的原理图







图示电阻值为标准值

工作环境温度范围内的绝对最大标准值

电源电压 V_{CC}（见注释 1）	7 V
输入电压：'00, 'S00	5.5 V
'LS00	7 V
工作环境温度范围：SN54'	−55°C ～ 125°C
SN74'	0°C ～ 70°C
存储温度范围：	−65°C ～ 150°C

注释 1：电压值是以"地"为参考得到的。

图 A.10　SN7400 与非门数据表（第二部分）

SN5400, SN7400
四-二输入正逻辑与非门

推荐工作条件

	SN5400			SN7400			单位
	最小	标称	最大	最小	标称	最大	
V_{CC} 电源电压	4.5	5	5.5	4.75	5	5.25	V
V_{IH} 高电平输入电压	2			2			V
V_{IL} 低电平输入电压			0.8			0.8	V
I_{OH} 高电平输出电流			−0.4			−0.4	mA
I_{OL} 低电平输出电流			16			16	mA
T_A 工作环境温度	−55		125	0		70	°C

推荐工作温度范围下的电特性（除非有其他说明）

参数	测试条件	SN5400			SN7400			单位
		最小	典型值	最大	最小	典型值	最大	
V_{IK}	V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	V_{CC} = MIN, V_{IL} = 0.8 V, I_{OH} = −0.4 mA	2.4	3.4		2.4	3.4		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I_I	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	V_{CC} = MAX, V_I = 2.4 V			40			40	μA
I_{IL}	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6	mA
I_{OS}§	V_{CC} = MAX	−20		−55	−18		−55	mA
I_{CCH}	V_{CC} = MAX, V_I = 0 V		4	8		4	8	mA
I_{CCL}	V_{CC} = MAX, V_I = 4.5 V		12	22		12	22	mA

MIN和MAX的值是在工作条件下的正常值，所有的典型值都是在 V_{CC} = 5 V，T_A = 25℃下得到的。
每次只有2个输出短路。

开关特性，V_{CC} = 5 V, T_A = 25°C（见注释2）

参数	输入	输出	测试条件	最小	典型值	最大	单位
t_{PLH}	A或B	Y	R_L = 400 Ω, C_L = 15 pF		11	22	ns
t_{PHL}	A或B	Y	R_L = 400 Ω, C_L = 15 pF		7	15	ns

注释2：负载电路和电压波形见第1节。

图A.10 SN7400与非门数据表（第三部分）

A.8 MOS技术

由P沟道增强型绝缘栅场效应管（E-MOSFET）构成的集成电路称为PMOS器件，而只由N沟道E-MOSFET构成的集成电路称为NMOS器件。

TTL技术的最大局限是它的集成度有限。产生该局限性的部分原因是TTL器件中使用了电阻，而电阻会占用集成电路的大块有效面积，由此使TTL集成电路集成度的提高受到限制。

MOS集成电路中不使用电阻。由于在集成电路制造工艺上制作一个高阻值电阻比制作一个MOS管占用的空间大，所以负载电阻都用MOS管，即负载管来代替。

图A.11所示的是由N沟道E-MOSFET构成的反相器。晶体管Q_1的栅极和漏极相连，接至电源端V_{DD}作为Q_2的漏极负载电阻，故称为负载管，负载管的阻值接近100 kΩ。晶体管Q_2用作开关管，

当管子导通时，其阻值（R_{ON}）约为 1 kΩ；当管子截止时，阻值（R_{OFF}）约为 10 GΩ

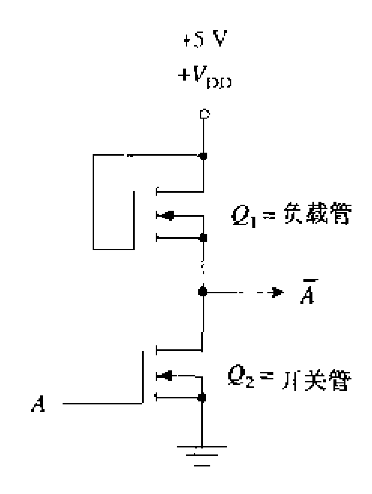


图 A.11　NMOS 反相器（非门）

当输入端 A 为逻辑 1（+5 V）时，导电沟道形成，Q_2 导通。由于 R_{ON} ≈ 1 kΩ，远远小于负载管的电阻，因此输出端 $\overline{A}$ 为逻辑 0（0.05 V）。图 A.12(a)是其等效电路。

当输入端 A 为逻辑 0 时，Q_2 截止。由于 R_{OFF} 近似为 10 GΩ，$\overline{A}$ 输出 4.99 V，即逻辑 1。注意，为了便于分析，可将开关管 Q_2 看成一个开关，当导通时其阻值很低，相当于开关闭合；而截止时阻值很高，相当于开关打开。图 A.12(b)是其等效电路。

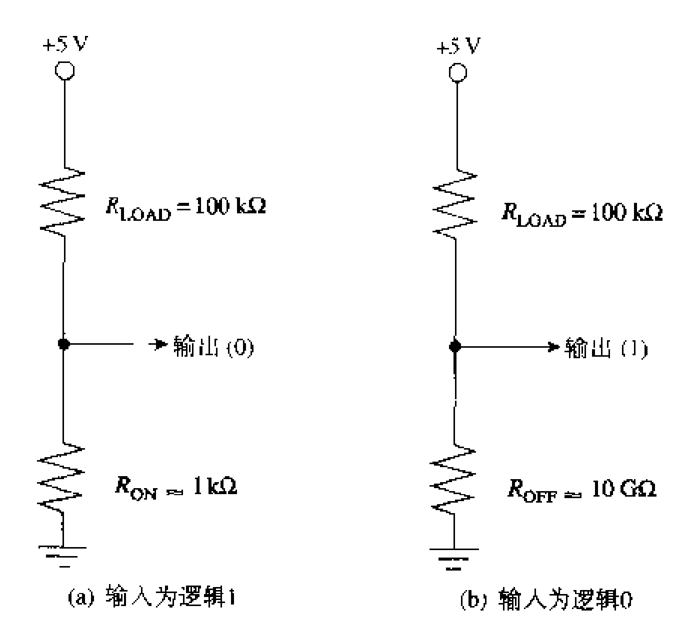


图 A.12　NMOS 反相器的电阻等效电路

下面是几个 FET 电路，举例说明了如何利用 MOS 管实现不同的逻辑功能。通过分析电路可以确定电路的输出和真值表。在学习过程中重要的是掌握分析方法，而不是死记电路和真值表。

分析此类电路最简单的方法是构建真值表，并通过简单的分析完善该表。

图 A.13 中的电路只包含 N 沟道 E-MOSFET，所以是 NMOS 门。其中，Q_1 是负载管，阻值为 100 kΩ；Q_2 和 Q_3 都是开关管，与负载管相比，其导通电阻很小，而截止电阻非常高。

输入为 A = 0，B = 0：开关管 Q_2 和 Q_3 截止，从输出引脚至地间的电阻值约为 20 GΩ，远大于负载管阻值 100 kΩ，所以电路输出为逻辑 1。

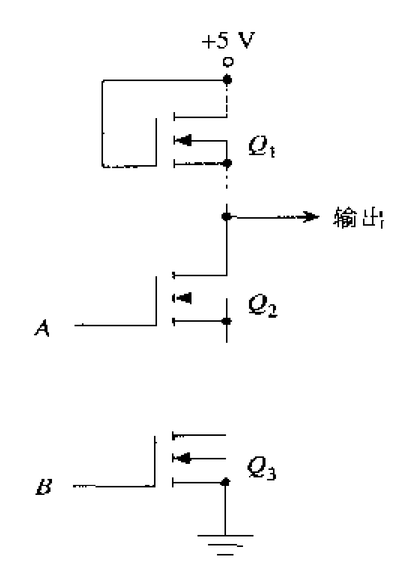


图 A.13 NMOS 与非门原理图

输入为 $A=0$，$B=1$：Q_3 导通而 Q_2 截止，从输出引脚至地间的阻值为 10 GΩ，远大于负载管阻值 100 kΩ，所以输出为逻辑 1。

输入为 $A=1$，$B=0$：Q_2 导通而 Q_3 截止，从输出引脚至地间呈现高阻值，输出为逻辑 1。

输入为 $A=1$，$B=1$：Q_2 和 Q_3 同时导通，这样从输出引脚至地间的阻值为 2 kΩ，远小于负载管阻值，所以输出为逻辑 0。

根据以上分析，得到其真值表为：

A	B	输出
0	0	1
0	1	1
1	0	1
1	1	0

由真值表可知，该电路实现的是“与非”功能，即“只要有一个输入为0，输出就为 1”，所以图 A.13 所示电路是 NMOS 与非门。

图 A.14 所示的是另一种类型的 NMOS 门电路，下面对其进行分析。

输入为 $A=0$，$B=0$：开关管 Q_2 和 Q_3 截止，输出端 V_{OH} 至地间的电阻值约为 5 GΩ，从而输出为逻辑 1。

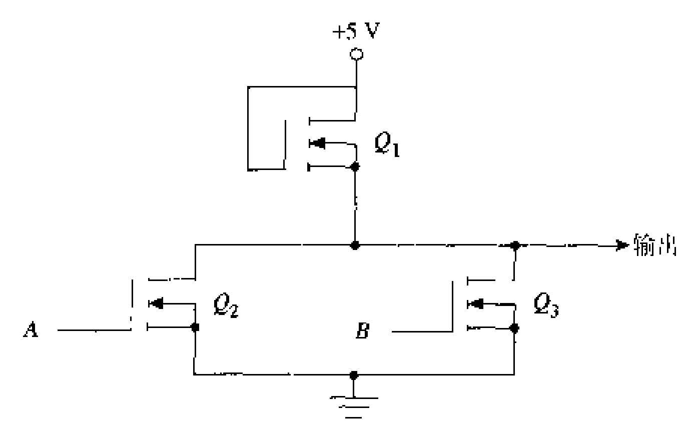
输入为 $A=0$，$B=1$ 或 $A=1$，$B=0$：两个开关管一个导通，一个截止，输出端至地间的阻值约为 1 kΩ，输出为逻辑 0。

输入为 $A=1$，$B=1$：Q_2 和 Q_3 同时导通，输出至地间的电阻值为 500 Ω，输出为逻辑 0。

列出真值表为：

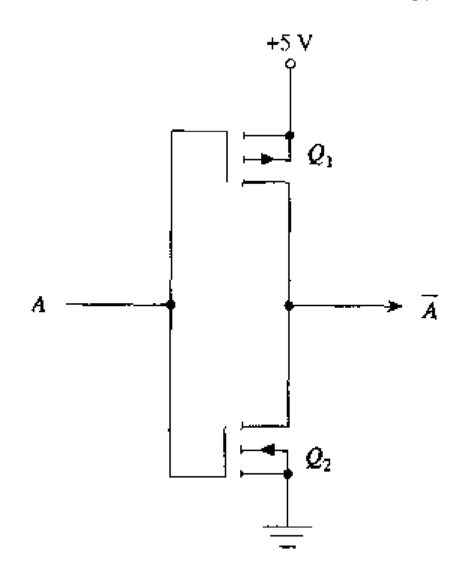
A	B	输出
0	0	1
0	1	0
1	0	0
1	1	0

由真值表可知，该电路实现的是“或非”功能，即“只要有一个输入为1，输出就为0”，如图A.14所示



图A.14　NMOS或非门原理图

CMOS技术可用于如数字手表、计算器这类低功耗器件。在CMOS器件中同时使用了N沟道和P沟道MOSFET，如图A.15中的CMOS非门电路所示。通过对电路的分析可以知道，CMOS门电路具有低功耗的特点。图中任何一个E-MOSFET的栅极都不与V_{DD}相接，所以该电路中没有负载管。



图A.15　CMOS反相器（非门）

当输入端A为逻辑0时，(1)P沟道FET（Q_1）的栅极电位低于衬底电位，所以Q_1导通；(2)N沟道FET（Q_2）的导电沟道未形成，所以Q_2截止。由于$R_{ON(Q_1)} = 1\ \text{k}\Omega$而$R_{OFF(Q_2)} = 10\ \text{G}\Omega$，故电路输出为逻辑1。当输入为逻辑1时，工作过程正好与此相反。

通过分析CMOS电路，可以得到两点结论：(1)在V_{DD}和地之间总有一个MOSFET（$R_{OFF} = 10\ \text{G}\Omega$）截止，从而减小了电流和能量损耗；(2)对于同样的逻辑输入，P沟道E-MOSFET与N沟道E-MOSFET的工作状态正好相反。例如，对于P沟道E-MOSFET，输入低电平可以形成导电沟道，使管子导通；而对于高电平输入，管子内部没有导电沟道形成，所以截止。图A.16所示的是CMOS门电路，下面对其进行了分析。

输入为 $A=0$，$B=0$：Q_1 和 Q_2 导通，两个管子并联，使输出端和 V_{DD} 之间的等效电阻为 500 Ω；Q_3 和 Q_4 截止，使输出端和地之间的电阻为 20 GΩ，远远大于 500 Ω，所以电路输出为逻辑 1。

输入为 $A=0$，$B=1$：Q_2 和 Q_4 导通，而 Q_1 和 Q_3 截止，所以电路中由 V_{DD} 端至输出端之间的等效阻值接近 1 kΩ，远小于输出端至地间的阻值 10 GΩ，所以输出为逻辑 1。

输入为 $A=1$，$B=1$：Q_1 和 Q_2 截止，使 V_{DD} 和输出端之间的等效阻值约为 5 GΩ；Q_3 和 Q_4 导通，使输出端至地间的阻值约为 2 kΩ，远小于 5 GΩ，所以输出为逻辑 0。

根据真值表分析，该电路为CMOS与非门，“只要有一个输入为0，输出就为1”，即输出是 $\overline{AB}$

如果在图 A.16 的输出端再接一反相器，则输出为 $\overline{\overline{AB}}=AB$，该电路即为 CMOS 与门电路。图A.17是CMOS或非门电路，实现的功能为“只要有一个输入为1，输出就为0”，读者可自行分析。

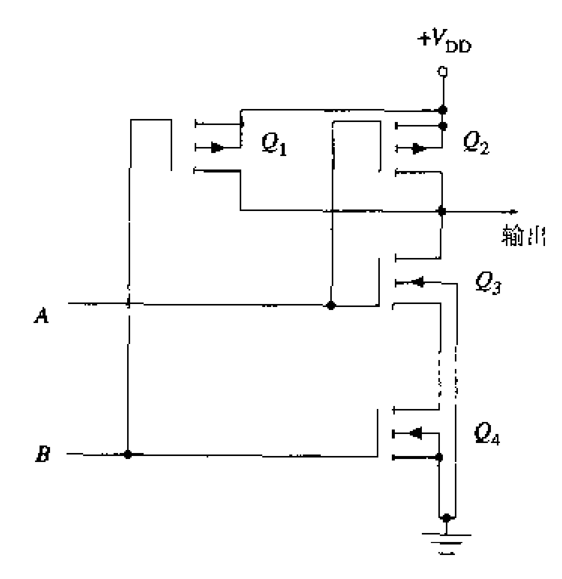


图 A.16　CMOS与非门原理图

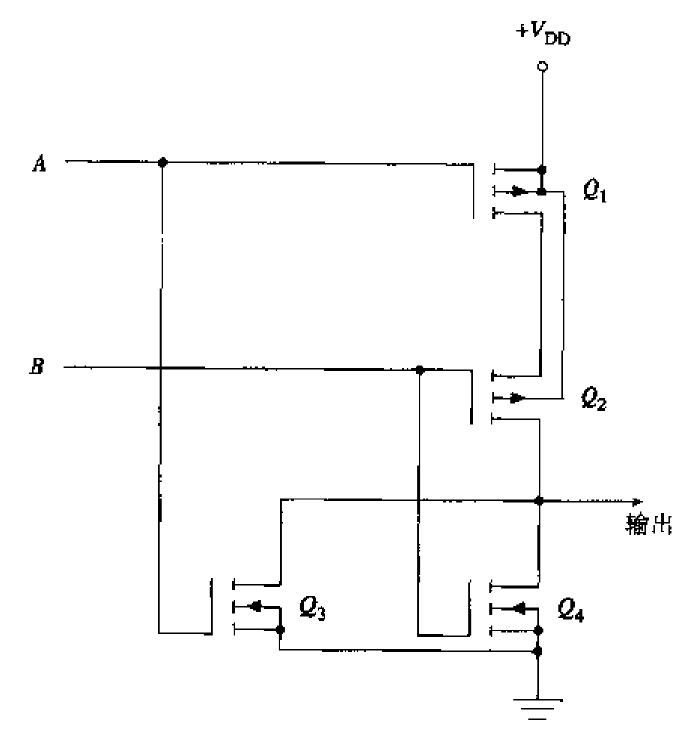


图 A.17　CMOS或非门原理图

A.9　发射极耦合逻辑（ECL）

发射极耦合逻辑也是用双极型晶体管作为开关元件，属双极型数字集成电路。它是各种数字IC中工作速度最快的一种，主要应用于高速操作。

TTL逻辑电路中，晶体管工作于饱和或截止状态，易于控制，但由于管子需要在“饱和”和“截止”两种状态之间来回切换，所以传输延迟时间较长。

ECL逻辑电路中，晶体管不是工作于饱和状态和截止状态，而是在相差不到1 V的电压范围内工作，所以开关切换速度非常快，这是ECL技术的主要优点。ECL的操作主要是基于一个微分放大器，利用它来控制晶体管的电流，使其不至于进入饱和状态。

由于管子总是导通的，ECL电路的功耗大，每门功耗为40~50 mW；ECL门电路的逻辑0电压范围是-1.65~-1.85 V，逻辑1电压范围是-0.81~-0.96 V，所以不能与TTL和CMOS门电路兼容。因为逻辑0和逻辑1的电平非常接近，所以ECL器件的抗干扰能力较差。此外，它还需要一个负电源。

附录 B　制造商数据表

本附录中的数据表是经 Texas Instruments 公司许可后翻印并译出的。第1组数据表中包含标准二输入与非门（7400）、肖特基与非门（74S00）和低功耗肖特基与非门（74LS00）。高级肖特基（74AS00）和高级低功耗肖特基与非门（74ALS00）在第2组数据表内。第3组数据表中是高速CMOS（74HC00/74HCT00）和高级高速 CMOS（74AHC00）与非门。本附录中还包含一组完整的数据表，其中有标准、肖特基和低功耗肖特基 7402 非门。

其余数据表（7404~74393）由电路说明、逻辑符号和逻辑图组成，更详细的内容可查看相关制造商的数据手册。

7400	四-二输入与非门
74S00	
74LS00	
74AS00	
74ALS00	
74HC00	
74HCT00	
74AHC00	
7402	四-二输入非门
74S02	
74LS02	
7404	十六进制反相器
7405	集电极开路输出的十六进制反相器
7408	四-二输入与门
7410	三-三输入与非门
74LS11	三-三输入与门
74LS21	双-四输入与门
7432	四-二输入或门
7442	4线 BCD-10线十进制译码器
7446	BCD-7段译码器/驱动器
7448	BCD-7段译码器/驱动器
7474	双上升沿触发 D 触发器
7475	4位双稳态锁存器
7476	双 J-K 触发器（PGT 触发）
74LS76	双 J-K 触发器（NGT 触发）
7483	4位二进制全加器
7485	4位数值比较器

7486　四-二输入异或门
7490　十进制计数器
7491　8 位移位寄存器
7492　十二进制计数器
7493　4 位二进制计数器
74111　双 J-K 主从触发器（带有数据锁存）
74116　双 4 位锁存器
74125　三态输出的四总线缓冲器
74126　三态输出的四总线缓冲器
74S135　四异或 / 异或非（即同或）门
74LS138　3-8 线译码器 / 数据分配器
74LS139　双 2-4 线译码器 / 数据分配器
74147　10 线十进制 - 4 线 BCD 优先编码器
74148　8-3 线优先编码器
74151　数据选择器
74153　双 4-1 线数据选择器
74157　四 2-1 线数据选择器
74163　同步 4 位计数器
74164　8 位并行输出串行移位寄存器
74165　并行输入 8 位移位寄存器
74178　4 位并行访问移位寄存器
74180　9 位奇偶校验发生器 / 检测器
74S181　算术逻辑单元 / 函数发生器
74190　同步加 / 减 BCD/ 二进制计数器
74193　同步 4 位加 / 减计数器
74194　4 位双向通用移位寄存器
74198　8 位移位寄存器
74LS243　四总线收发器
74LS245　带有三态输出的八总线收发器
74LS295　带有三态输出的 4 位右移 / 左移寄存器
74393　双 4 位十进制和二进制计数器

SN5400, SN54LS00, SN54S00, SN7400, SN74LS00, SN74S00
四–二输入正逻辑与非门

1983年12月，1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

说明

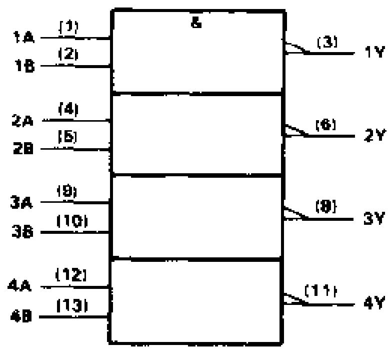
该器件包含四个独立的二输入与非门。

SN5400、SN54LS00和SN54S00系列是军用品，工作的温度范围为–55℃～125℃；而SN7400、SN74LS00和SN74S00系列是民用品，工作的温度范围为0℃～70℃。

功能表（每门）

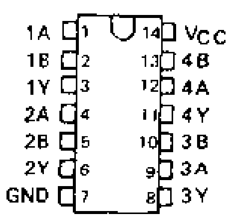
输入 A	输入 B	输出 Y
H	H	L
L	X	H
X	L	H

逻辑符号†

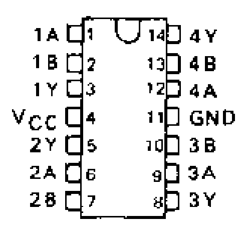


† 该符号符合ANSI/IEEE标准91–1984和IEC Publication 617–12。
图示的引脚数目是对D，J和N封装而言的。

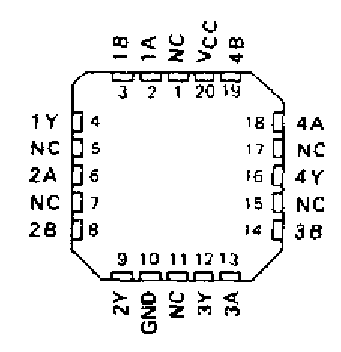
SN5400 … J封装
SN54LS00, SN54S00 … J或W封装
SN7400 … N封装
SN74LS00, SN74S00 … D或N封装



SN5400 … W封装

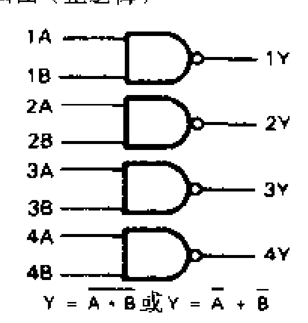


SN54LS00, SN54S00 … FK封装



NC–无内部连接

逻辑图（正逻辑）



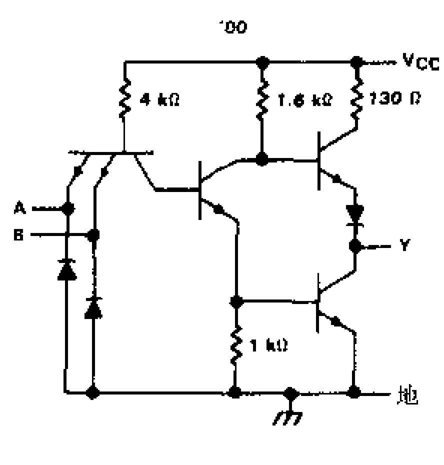
$Y=\overline{A\cdot B}$ 或 $Y=\overline{A}+\overline{B}$

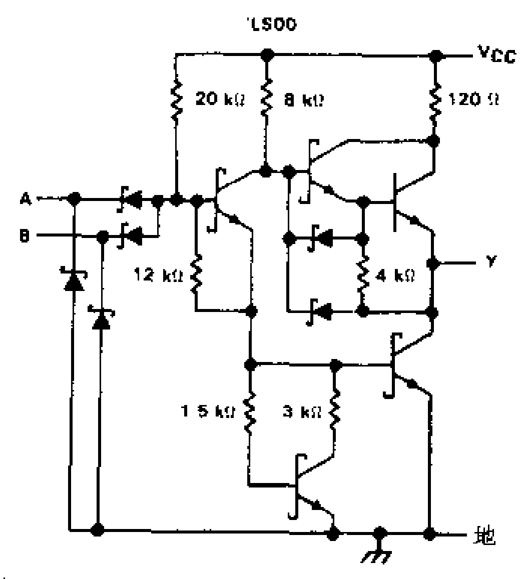
图B.1

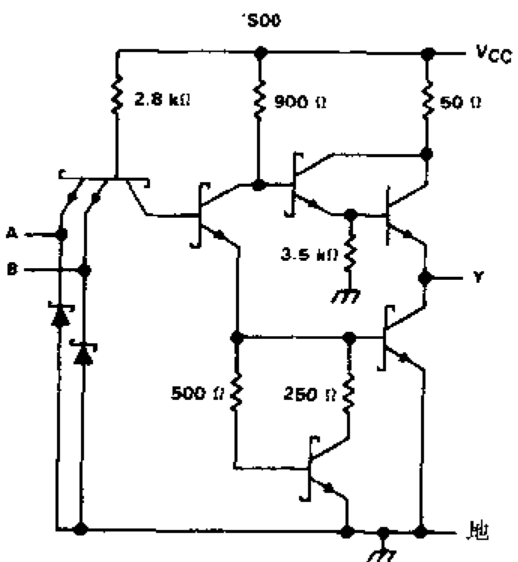
SN5400, SN54LS00, SN54S00,
SN7400, SN74LS00, SN74S00

四－二输入正逻辑与非门

原理图（每门）：







图示的电阻值是标称值

工作环境温度范围内的绝对最大标称值

电源电压 V_{CC}（见注释1）	7 V
输入电压 '00, 'S00	5.5 V
'LS00	7 V
工作环境温度范围 SN54'	−55°C ～ 125°C
SN74'	0°C ～ 70°C
存储温度范围	−65°C ～ 150°C

注释1：电压值是以电路中的“地”为参考得到的。

图 B.2

SN5400, SN7400

四－二输入正逻辑与非门

推荐工作条件

		SN5400			SN7400			单位
		最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.8			0.8	V
I_{OH}	高电平输出电流			−0.4			−0.4	mA
I_{OL}	低电平输出电流			16			16	mA
T_A	工作环境温度	−55		125	0		70	°C

推荐工作温度下的电特性

参数	测试条件†	SN5400			SN7400			单位
		最小	典型值‡	最大	最小	典型值‡	最大	
V_{IK}	V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	V_{CC} = MIN, V_{IL} = 0.8 V, I_{OH} = −0.4 mA	2.4	3.4		2.4	3.4		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I_I	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	V_{CC} = MAX, V_I = 2.4 V			40			40	μA
I_{IL}	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6	mA
I_{OS}§	V_{CC} = MAX	−20		−55	−18		−55	mA
I_{CCH}	V_{CC} = MAX, V_I = 0 V		4	8		4	8	mA
I_{CCL}	V_{CC} = MAX, V_I = 4.5 V		12	22		12	22	mA

† 表中最小或最大条件，使用推荐工作条件规定的相应值。
‡ 典型值指 V_{CC}=5 V，T_A=25℃时的值。
§ 每次最多只有一个输出被短路。

开关特性 **V_{CC} = 5 V, T_A = 25°C**

参数	输入	输出	测试条件	最小	典型	最大	单位
t_{PLH}	A或B	Y	R_L = 400 Ω, C_L = 15 pF		11	22	ns
t_{PHL}					7	15	ns

图 B.3

SN54LS00, SN74LS00

四-二输入正逻辑与非门

推荐工作条件

		SN54LS00			SN74LS00			单位
		最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.7			0.8	V
I_{OH}	高电平输出电流			-0.4			-0.4	mA
I_{OL}	低电平输出电流			4			8	mA
T_A	工作环境温度	-55		125	0		70	°C

推荐工作温度下的电特性

参数	测试条件 †	SN54LS00			SN74LS00			单位
		最小	典型值‡	最大	最小	典型值‡	最大	
V_{IK}	V_{CC} = MIN, I_I = -18 mA			-1.5			-1.5	V
V_{OH}	V_{CC} = MIN, V_{IL} = MAX, I_{OH} = -0.4 mA	2.5	3.4		2.7	3.4		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 8 mA					0.35	0.5	
I_I	V_{CC} = MAX, V_I = 7 V			0.1			0.1	mA
I_{IH}	V_{CC} = MAX, V_I = 2.7 V			20			20	μA
I_{IL}	V_{CC} = MAX, V_I = 0.4 V			-0.4			-0.4	mA
I_{OS}§	V_{CC} = MAX	-20		-100	-20		-100	mA
I_{CCH}	V_{CC} = MAX, V_I = 0 V		0.8	1.6		0.8	1.6	mA
I_{CCL}	V_{CC} = MAX, V_I = 4.5 V		2.4	4.4		2.4	4.4	mA

† 表中最小或最大条件，使用推荐工作条件规定的相应值。
‡ 典型值指 V_{CC}=5 V，T_A=25℃时的值。
§ 每次最多只有一个输出被短路。

开关特性 V_{CC} = 5 V, T_A = 25°C

参数	输入	输出	测试条件	最小	典型	最大	单位
t_{PLH}	A或B	Y	R_L = 2 kΩ, C_L = 15 pF		9	15	ns
t_{PHL}					10	15	ns

图 B.4

SN54S00, SN74S00

四－二输入正逻辑与非门

推荐工作条件

		SN54S00			SN74S00			单位
		最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.8			0.8	V
I_{OH}	高电平输出电流			−1			−1	mA
I_{OL}	低电平输出电流			20			20	mA
T_A	工作环境温度	−55		125	0		70	°C

推荐工作环境温度下的电特性

参数	测试条件[†]	SN54S00			SN74S00			单位
		最小	典型值[‡]	最大	最小	典型值[‡]	最大	
V_{IK}	V_{CC} = MIN, I_I = −18 mA			−1.2			−1.2	V
V_{OH}	V_{CC} = MIN, V_{IL} = 0.8 V, I_{OH} = −1 mA	2.5	3.4		2.7	3.4		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 20 mA			0.5			0.5	V
I_I	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	V_{CC} = MAX, V_I = 2.7 V			50			50	μA
I_{IL}	V_{CC} = MAX, V_I = 0.5 V			−2			−2	mA
I_{OS}[§]	V_{CC} = MAX	−40		−100	−40		−100	mA
I_{CCH}	V_{CC} = MAX, V_I = 0 V		10	16		10	16	mA
I_{CCL}	V_{CC} = MAX, V_I = 4.5 V		20	36		20	36	mA

† 表中最小或最大条件，使用推荐工作条件规定的相应值。
‡ 典型值指 V_{CC}=5 V，T_A=25℃时的值。
§ 每次最多只有一个输出被短路。

开关特性 V_{CC} = 5 V, T_A = 25°C

参数	输入	输出	测试条件		最小	典型	最大	单位
t_{PLH}	A或B	Y	R_L = 280 Ω,	C_L = 15 pF		3	4.5	ns
t_{PHL}						3	5	ns
t_{PLH}			R_L = 280 Ω,	C_L = 50 pF		4.5		ns
t_{PHL}						5		ns

图 B.5

SN54ALS00A, SN54AS00, SN74ALS00A, SN74AS00

四－二输入正逻辑与非门

SDAS187A－1982年4月。1994年12月修订

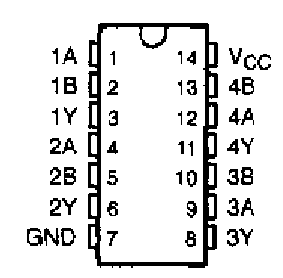
- 封装类型包括塑料小外形（D）封装、陶瓷芯片载体（FK）、标准塑料双列直插式封装（N）和陶瓷双列直插式封装（J）

说明

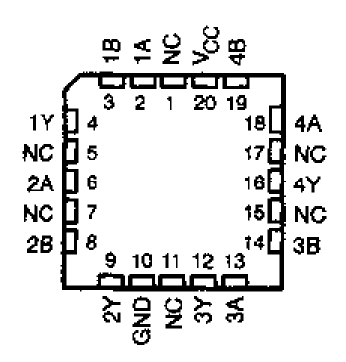
该器件包含四个独立的二输入正逻辑与非门，实现的功能为 $Y=\overline{A\cdot B}$ 或 $Y=\overline{A}+\overline{B}$。

SN54ALS00A 和 SN54AS00 系列是军用品，工作的温度范围为－55℃～125℃；而SN74ALS00A和SN74AS00系列是民用品，工作的温度范围为0℃～70℃。

SN54ALS00A, SN54AS00 . . . J 封装
SN74ALS00A, SN74AS00 . . . D 或 N 封装



SN54ALS00A, SN54AS00 . . . FK封装

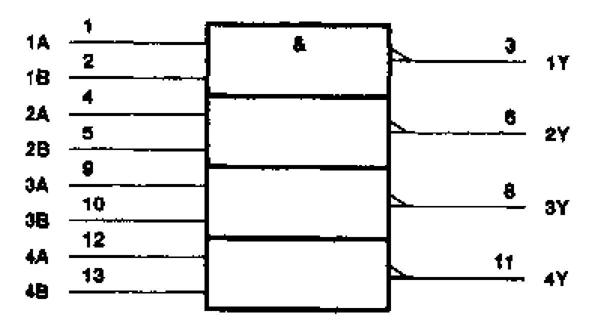


NC－无内部连接

功能表（每门）

输入		输出
A	B	Y
H	H	L
L	X	H
X	L	H

逻辑符号†



† 该符号依据 ANSI/IEEE 标准 91－1984 及 IEC Publication 617－12 标准。
图示引脚数目是对 D，J 和 N 封装而言的。

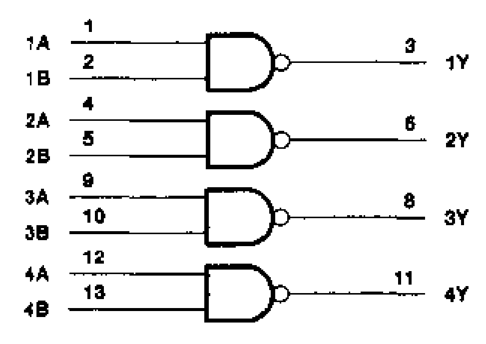
图 B.6

SN54ALS00A, SN54AS00, SN74ALS00A, SN74AS00

四－二输入正逻辑与非门

SDAS187A－1982年4月　1994年12月修订

逻辑图（正逻辑）



图示引脚数是对D、J和N封装而言的。

工作环境温度范围内的绝对最大标称值†

电源电压 V_{CC} .... 7 V
输入电压 V_I .... 7 V
工作环境温度范围 T_A：SN54ALS00A .... −55°C ~ 125°C
SN74ALS00A .... 0°C ~ 70°C
存储温度范围 .... −65°C ~ 150°C

† 超过绝对最大标称值，将引起器件的永久性损坏，这些值是器件工作的极限值，器件正常工作时应在推荐工作条件下进行。如果器件在绝对最大标称条件下运行时间过长，将影响其可靠性。

推荐工作条件

		SN54ALS00A			SN74ALS00A			单位
		最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压	4.5	5	5.5	4.5	5	5.5	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.8‡			0.8	V
				0.7§				
I_{OH}	高电平输出电流			−0.4			−0.4	mA
I_{OL}	低电平输出电流			4			8	mA
T_A	工作环境温度	−55		125	0		70	°C

‡应用的温度范围为−55℃~70℃

§应用的温度范围为70℃~125℃

图 B.7

SN54ALS00A, SN54AS00, SN74ALS00A, SN74AS00

四－二输入正逻辑与非门

SDAS187A－1982年4月　1994年12月修订

推荐工作环境温度范围内的电特性

参数	测试条件		SN54ALS00A			SN74ALS00A			单位
			最小	典型值	最大	最小	典型值	最大	
V_{IK}	V_{CC} = 4.5 V,	I_I = −18 mA			−1.2			−1.5	V
V_{OH}	V_{CC} = 4.5 V to 5.5 V,	I_{OH} = −0.4 mA	V_{CC} −2			V_{CC} −2			V
V_{OL}	V_{CC} = 4.5 V	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
		I_{OL} = 8 mA					0.35	0.5	
I_I	V_{CC} = 5.5 V,	V_I = 7 V			0.1			0.1	mA
I_{IH}	V_{CC} = 5.5 V,	V_I = 2.7 V			20			20	μA
I_{IL}	V_{CC} = 5.5 V,	V_I = 0.4 V			−0.1			−0.1	mA
I_O‡	V_{CC} = 5.5 V,	V_O = 2.25 V	−20		−112	−30		−112	mA
I_{CCH}	V_{CC} = 5.5 V,	V_I = 0		0.5	0.85		0.5	0.85	mA
I_{CCL}	V_{CC} = 5.5 V,	V_I = 4.5 V		1.5	3		1.5	3	mA

† 所有典型值是在 V_{CC}=5 V，T_A=25℃下得到的

‡ 输出电流接近短路输出电流 I_{OS} 的一半。

开关特性

参数	输入	输出	V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R_L = 500 Ω, T_A = 最小～最大§				单位
			SN54ALS00A		SN74ALS00A		
			最小	最大	最小	最大	
t_{PLH}	A或B	Y	3	15	3	11	ns
t_{PHL}			2	9	2	8	

§ 最大或最小条件，使用推荐工作条件规定的相应值。

图 B.8

SN54ALS00A, SN54AS00, SN74ALS00A, SN74AS00

四－二输入正逻辑与非门

SDAS187A－1982年4月、1994年12月修订

工作环境温度范围内的绝对最大标称值†

电源电压V_{CC} .... 7 V
输入电压V_I .... 7 V
工作环境温度范围 T_A: SN54AS00 .... −55°C ~ 125°C
SN74AS00 .... 0°C ~ 70°C
存储温度范围 .... −65°C ~ 150°C

† 超过绝对最大标称值，将引起器件的永久性损坏，这些值是器件工作的极限值，器件正常工作时应在推荐工作条件下进行。如果器件在绝对最大标称条件下运行时间过长，将影响其可靠性。

推荐工作条件

		SN54AS00			SN74AS00			单位
		最小	标称‡	最大	最小	标称‡	最大	
V_{CC}	电源电压	4.5	5	5.5	4.5	5	5.5	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.8			0.8	V
I_{OH}	高电平输出电流			−2			−2	mA
I_{OL}	低电平输出电流			20			20	mA
T_A	工作环境温度	−55		125	0		70	°C

推荐工作环境温度范围内的电特性

参数	测试条件		SN54AS00			SN74AS00			单位
			最小	典型值	最大	最小	典型值	最大	
V_{IK}	V_{CC} = 4.5 V,	I_I = −18 mA			−1.2			−1.2	V
V_{OH}	V_{CC} = 4.5 V to 5.5 V,	I_{OH} = −2 mA	$V_{CC}-2$			$V_{CC}-2$			V
V_{OL}	V_{CC} = 4.5 V,	I_{OL} = 20 mA		0.35	0.5		0.35	0.5	V
I_I	V_{CC} = 5.5 V,	V_I = 7 V			0.1			0.1	mA
I_{IH}	V_{CC} = 5.5 V,	V_I = 2.7 V			20			20	μA
I_{IL}	V_{CC} = 5.5 V,	V_I = 0.4 V			−0.5			−0.5	mA
I_O§	V_{CC} = 5.5 V,	V_O = 2.25 V	−30		−112	−30		−112	mA
I_{CCH}	V_{CC} = 5.5 V,	V_I = 0		2	3.2		2	3.2	mA
I_{CCL}	V_{CC} = 5.5 V,	V_I = 4.5 V		10.8	17.4		10.8	17.4	mA

‡ 典型值指在 V_{CC}=5 V，T_A=25℃时的测定值。
§ 输出电流接近短路输出电流 I_{OS} 的一半。

开关特性（见图1）

参数	输入	输出	V_{CC} = 4.5 V to 5.5 V, C_L = 50 pF, R_L = 500 Ω, T_A = MIN to MAX¶				单位
			SN54AS00		SN74AS00		
			最小	最大	最小	最大	
t_{PLH}	A或B	Y	1	5	1	4.5	ns
t_{PHL}			1	5	1	4	

¶ 注释2：最小或最大条件，使用推荐工作条件规定的相应值。

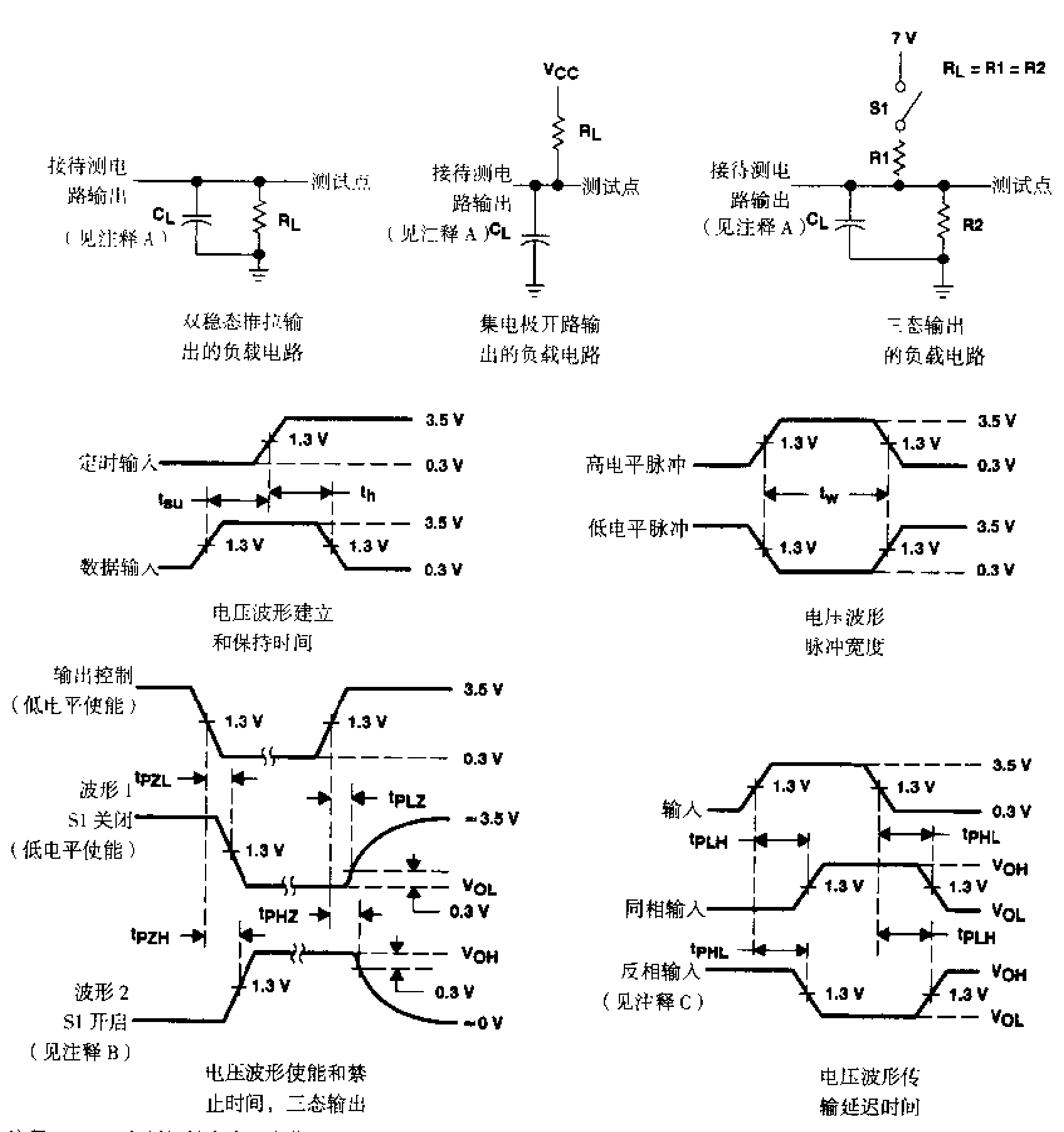
图 B.9

SN54ALS00A, SN54AS00, SN74ALS00A, SN74AS00

四 - 二输入正逻辑与非门

SDAS187A-1982年4月，1994年12月修订

54ALS/74ALS 和 54AS/74AS 系列的参数测试信息——负载电路和电压波形



注释： A. C_L 包括探针电容和定位电容。

B. 波形1适用于当输出控制为使能态时输出为低电平的情况。
波形2适用于当输出控制为使能态时输出为高电平的情况。

C. 测量三态输出的传输延迟时间时，开关S1打开。

D. 所有输入脉冲具有下列特性：PRR ≤ 1 MHz，$t_r = t_f = 2$ ns，占空比 = 50%。

E. 每次只能测量一个输出。

图 B.10

SN54HC00, SN74HC00

四－二输入正逻辑与非门

SCLS181A－1982年12月，1996年1月修订

- 封装类型包括塑料小外形（D）封装、薄形收缩小外形封装（PW）、陶瓷扁平封装（W）、陶瓷芯片载体（FK）、标准塑料双列直插式封装（N）和陶瓷双列直插式封装（J）

说明

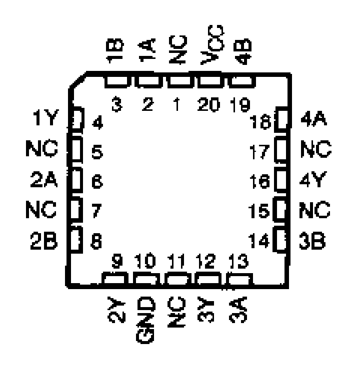
该器件包含四个独立的二输入与非门，实现的功能为 $Y=\overline{A\cdot B}$ 或 $Y=\overline{A}+\overline{B}$。

SN54HC00是军用品，工作的温度范围为 -55℃~125℃；而SN74HC00是民用品，工作的温度范围为 -40℃~85℃。

SN54HC00 . . . J 或 W 封装
SN74HC00 . . . D, N, 或 PW 封装

引脚	名称	引脚	名称
1	1A	14	V_{CC}
2	1B	13	4B
3	1Y	12	4A
4	2A	11	4Y
5	2B	10	3B
6	2Y	9	3A
7	GND	8	3Y

SN54HC00 . . . FK 封装

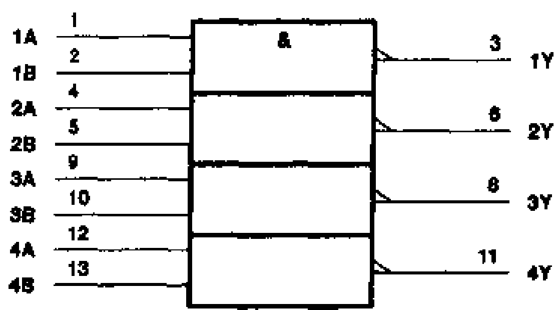


NC－无内部连接

功能表（每门）

输入		输出
A	B	Y
H	H	L
L	X	H
X	L	H

逻辑符号[†]



† 该符号依据ANSI/IEEE 标准91－1984及IEC Publication 617－12。
图示引脚是对D，J，N，PW和W封装而言的。

逻辑图（正逻辑）

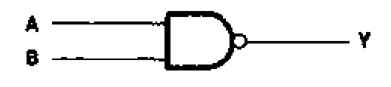


图 B.11 （第一部分）

SN54HC00, SN74HC00

四-二输入正逻辑与非门

SCLS181A-1982年12月，1996年1月修订

工作环境温度范围内的绝对最大标称值

电源电压范围 V_{CC} .... –0.5 V ~ 7 V
输入箝位电流 I_{IK} (V_I < 0 or V_I > V_{CC})（见注释1）.......... ±20 mA
输出箝位电流 I_{OK} (V_O < 0 or V_O > V_{CC})（见注释1）.......... ±20 mA
连续输入电流 I_O (V_O = 0 to V_{CC}) .... ±25 mA
通过 V_{CC} 或 GND 的连续电流 .... ±50 mA
T_A = 55℃时的最大耗散功率（在静止空气中）（见注释2） D封装 .... 1.25 W
N封装 .... 1.1 W
PW封装 .... 0.5 W
存储温度范围 T_{stg} .... –65°C ~ 150°C

† 超过绝对最大标称值，将引起器件的永久性损坏，这些值是器件工作的极限值，器件正常工作时应在推荐工作条件下进行。如果器件在绝对最大标称条件下运行时间过长，将影响其可靠性。

注释：1. 如果输入、输出电流达到标称值，则对应输入、输出电压已超过标称值。
2. 最大封装耗散功率是在结温为150℃、印刷板的布线长度为750 mils时计算得到的，但N封装例外，它的布线长度为0。

推荐工作条件

			SN54HC00			SN74HC00			单位
			最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压		2	5	6	2	5	6	V
V_{IH}	高电平输入电压	V_{CC} = 2 V	1.5			1.5			V
		V_{CC} = 4.5 V	3.15			3.15			
		V_{CC} = 6 V	4.2			4.2			
V_{IL}	低电平输入电压	V_{CC} = 2 V	0		0.5	0		0.5	V
		V_{CC} = 4.5 V	0		1.35	0		1.35	
		V_{CC} = 6 V	0		1.8	0		1.8	
V_I	输出电压		0		V_{CC}	0		V_{CC}	V
V_O	输出电压		0		V_{CC}	0		V_{CC}	V
t_t	输入转换时间	V_{CC} = 2 V	0		1000	0		1000	ns
		V_{CC} = 4.5 V	0		500	0		500	
		V_{CC} = 6 V	0		400	0		400	
T_A	工作环境温度		–55		125	–40		85	°C

图 B.11 （第二部分）

SN54HC00, SN74HC00

四－二输入正逻辑与非门

SCLS181A－1982年12月、1996年1月修订

推荐工作环境温度范围内的电特性

参数	测试条件		V_{CC}	T_A = 25°C 最小	典型值	最大	SN54HC00 最小	最大	SN74HC00 最小	最大	单位
V_{OH}	$V_I = V_{IH}$ 或 V_{IL}	I_{OH} = −20 μA	2 V	1.9	1.998		1.9		1.9		V
			4.5 V	4.4	4.499		4.4		4.4		
			6 V	5.9	5.999		5.9		5.9		
		I_{OH} = −4 mA	4.5 V	3.98	4.3		3.7		3.84		
		I_{OH} = −5.2 mA	6 V	5.48	5.8		5.2		5.34		
V_{OL}	$V_I = V_{IH}$ 或 V_{IL}	I_{OL} = 20 μA	2 V		0.002	0.1		0.1		0.1	V
			4.5 V		0.001	0.1		0.1		0.1	
			6 V		0.001	0.1		0.1		0.1	
		I_{OL} = 4 mA	4.5 V		0.17	0.26		0.4		0.33	
		I_{OL} = 5.2 mA	6 V		0.15	0.26		0.4		0.33	
I_I	$V_I = V_{CC}$ 或0		6 V		±0.1	±100		±1000		±1000	nA
I_{CC}	$V_I = V_{CC}$ 或0, I_O = 0		6 V			2		40		20	μA
C_i			2 V to 6 V		3	10		10		10	pF

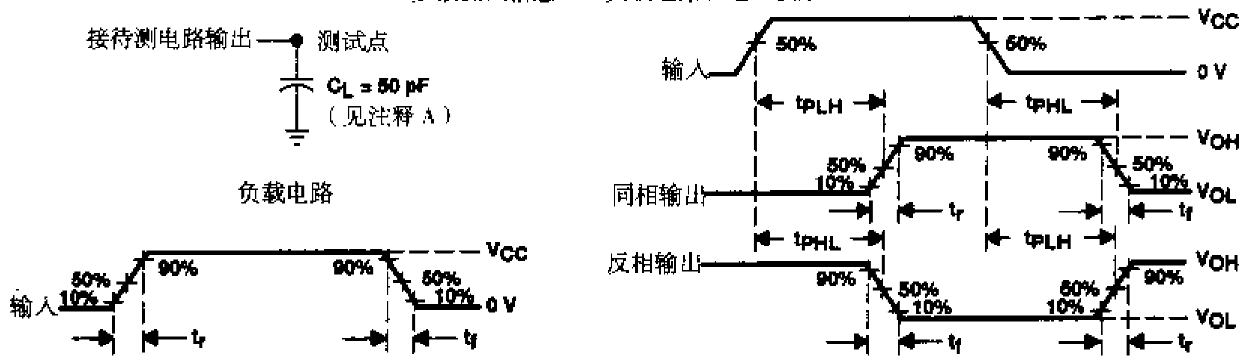
推荐工作环境温度范围内的电特性，C_L = 50 pF

参数	输入	输出	V_{CC}	T_A = 25°C 最小	典型值	最大	SN54HC00 最小	最大	SN74HC00 最小	最大	单位
t_{pd}	A或B	Y	2 V		45	90		135		115	ns
			4.5 V		9	18		27		23	
			6 V		8	15		23		20	
t_t		Y	2 V		38	75		110		95	ns
			4.5 V		8	15		22		19	
			6 V		6	13		19		16	

运行特性，T_A = 25 ℃

参数	测试条件	典型	单位
C_{pd} 每门的功率耗散电容	无负载	20	pF

参数测试信息——负载电路和电压波形



电压波形输入上升和下降时间

电压波形传输延迟和输出转换时间

注释： A. C_L 包括探针电容和测试定性电容。

B. 波形间的相位关系可任意选择。所有的输入脉冲都是由信号发生器生成，具有下列特性：

PRR ≤ 1 MHz，Z_0 = 50 Ω，t_r = 6 ns，t_f = 6 ns 。

C. 每次只测量一个输出。

D. t_{PLH} 和 t_{PHL} 与 t_{pd} 相同。

图 B.11 （第三部分）

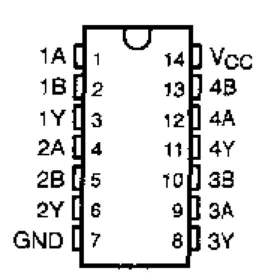
SN54HCT00, SN74HCT00

四－二输入正逻辑与非门

SCLS181A－1982年12月。1996年1月修订

- 输入为TTL电压
- 封装类型包括塑料小外形（D）封装、薄形收缩小外形封装（PW）、陶瓷扁平封装（W）、陶瓷芯片载体（FK）、标准塑料双列直插式封装（N）和陶瓷双列直插式封装（J）

SN54HCT00 . . . J 或 W 封装
SN74HCT00 . . . D, N, 或 PW 封装

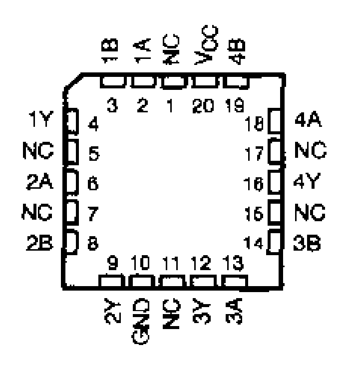


说明

该器件包含四个独立的二输入与非门，实现的功能为 $Y=\overline{A\cdot B}$ 或 $Y=\overline{A}+\overline{B}$。

SN54HCT00是军用品，工作的温度范围为－55℃～125℃；而SN74HCT00是民用品，工作的温度范围为－40℃～85℃。

SN54HCT00 . . . FK 封装

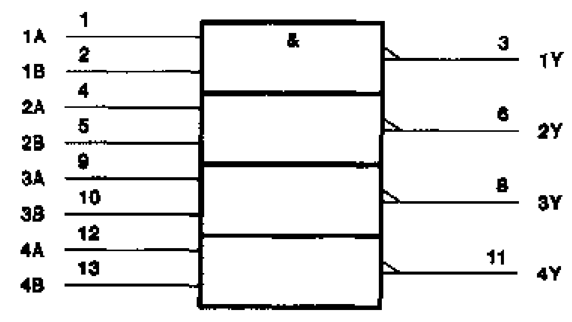


NC－无内部连接

功能表（每门）

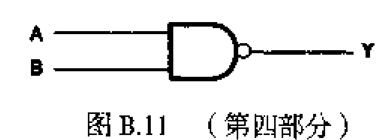
输入		输出
A	B	Y
H	H	L
L	X	H
X	L	H

逻辑符号†



†该符号依据ANSI/IEEE标准91－1984及IEC Publication 617－12。
图示引脚数是对D，J，N，PW和W封装而言的。

逻辑图（正逻辑）



图B.11　（第四部分）

SN54HCT00, SN74HCT00

四－二输入正逻辑与非门

SCLS062A－1982年11月，1996年1月修订

工作环境温度范围内的绝对最大标称值

电源电压范围 V_{CC} …… −0.5 V ~ 7 V
输入钳位电流 I_{IK} ($V_I < 0$ or $V_I > V_{CC}$)（见注释1）…… ±20 mA
输出钳位电流 I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)（见注释1）…… ±20 mA
连续输入电流 I_O ($V_O = 0$ to V_{CC}) …… ±25 mA
通过 V_{CC} 或 GND 的连续电 …… ±50 mA
$T_A = 55$°C时的最大耗散功率（在静止空气中）（见注释2）D 封装 …… 1.25 W
N 封装 …… 1.1 W
PW 封装 …… 0.5 W
存储温度范围，T_{stg} …… −65°C ~ 150°C

† 超过绝对最大标称值，将引起器件的永久性损坏，这些值是器件工作的极限值，器件正常工作时应在推荐工作条件下进行。如果器件在绝对最大标称条件下运行时间过长，将影响其可靠性。

注释：1. 如果输入、输出电流达到标称值，则对应输入、输出电压已超过标称值。
2. 最大封装耗散功率是在结温为150°C，印刷板的布线长度为750 mils时计算得到的，但N封装例外，它的布线长度为0。

推荐工作条件

			SN54HCT00			SN74HCT00			单位
			最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 4.5 V to 5.5 V	2			2			V
V_{IL}	低电平输入电压	V_{CC} = 4.5 V to 5.5 V	0		0.8	0		0.8	V
V_I	输入电压		0		V_{CC}	0		V_{CC}	V
V_O	输出电压		0		V_{CC}	0		V_{CC}	V
t_t	输入转换时间（由升到降）		0		500	0		500	ns
T_A	工作环境温度		−55		125	−40		85	°C

推荐工作环境温度范围内的电特性。

参数	测试条件		V_{CC}	T_A = 25°C			SN54HCT00		SN74HCT00		单位
				最小	典型值	最大	最小	最大	最小	最大	
V_{OH}	$V_I = V_{IH}$ or V_{IL}	I_{OH} = −20 μA	4.5 V	4.4	4.499		4.4		4.4		V
		I_{OH} = −4 mA		3.98	4.3		3.7		3.84		
V_{OL}	$V_I = V_{IH}$ or V_{IL}	I_{OL} = 20 μA	4.5 V		0.001	0.1		0.1		0.1	V
		I_{OL} = 4 mA			0.17	0.26		0.4		0.33	
I_I	$V_I = V_{CC}$ or 0		5.5 V		±0.1	±100		±1000		±1000	nA
I_{CC}	$V_I = V_{CC}$ or 0,	$I_O = 0$	5.5 V			2		40		20	μA
ΔI_{CC}‡	一个输入为0.5 V或2.4 V，另一个输入为0或V_{CC}		5.5 V		1.4	2.4		3		2.9	mA
C_i			4.5 V to 5.5 V		3	10		10		10	pF

‡ 在特定的测试条件得到的电源电流增量。

图 B.12

SN54HCT00, SN74HCT00

四－二输入正逻辑与非门

SCLS062A－1982年11月；1996年1月修订

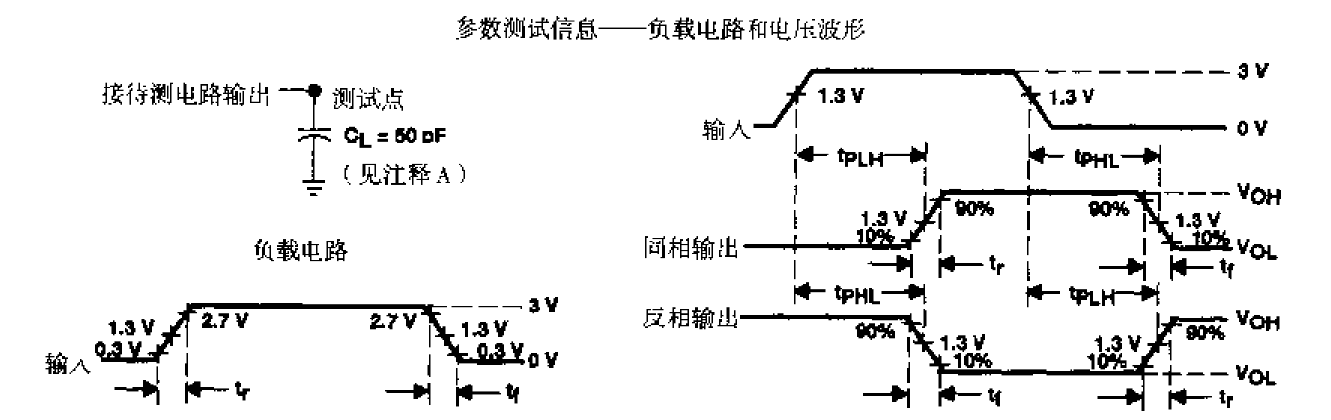
推荐工作环境温度范围内的开关特性（见图1）

参数	输入	输出	V_{CC}	T_A = 25°C			SN54HCT00		SN74HCT00		单位
				最小	典型值	最大	最小	最大	最小	最大	
t_{pd}	A或B	Y	4.5 V		11	20		30		25	ns
			5.5 V		10	18		27		22	
t_t		Y	4.5 V		9	15		22		19	ns
			5.5 V		8	14		20		17	

工作特性，T_A = 25℃

参数	测试条件	典型	单位
C_{pd}	无负载	20	pF

参数测试信息——负载电路和电压波形



输入上升和下降时间　　　　传输延迟和输出上升和下降时间

注释：A. C_L 包括探针电容和定位电容。

B. 波形间的相位关系可任意选择．所有的输入脉冲都是由信号发生器生成，具有下列特性：

PRR ≤ 1 MHz，Z_0 = 50 Ω，t_r = 6 ns，t_f = 6 ns。

C. 每次只测量一个输出。

D. t_{PLH} 和 t_{PHL} 与 t_{pd} 相同。

图 B.13

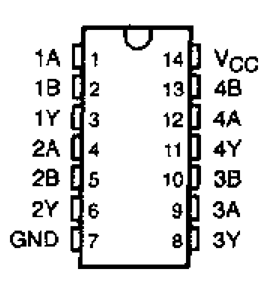
SN74AHC00

四－二输入正逻辑与非门

SCLS227－1995年10月

- V_{CC} 范围：2 V~5.5 V
- EPIC™（增强型CMOS）处理
- 按照JEDEC标准JESD－17，高锁存抗扰度，超过300 mA
- 封装类型包括塑料小外形（D）封装、收缩小外形封装（DB）、薄形收缩小外形封装（PW）及标准塑料双列直插式封装（N）

D, DB, N, OR PW 封装



说明

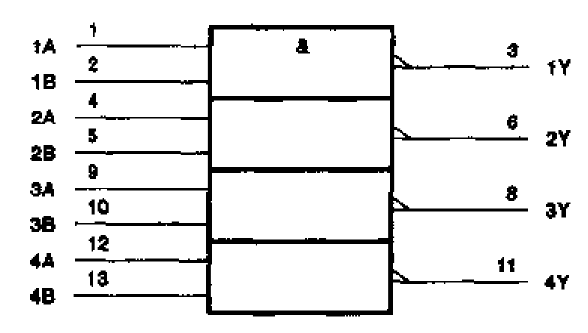
SN74AHC00实现的功能为$Y=\overline{A\cdot B}$或$Y=\bar{A}+\bar{B}$（正逻辑）

SN74AHC00的工作环境温度范围为－40℃~85℃。

功能表（每门）

输入		输出
A	B	Y
H	H	L
L	X	H
X	L	H

逻辑符号†



† 该符号依据ANSI/IEEE 标准91－1984及IEC Publication 617－12。

每门逻辑图（正逻辑）

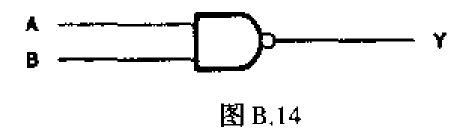


图 B.14

SN74AHC00

四－二输入正逻辑与非门

SCLS227－1995年10月

工作环境温度范围内的绝对最大标称值†

电源电压范围V_{CC} .... −0.5 V ~ 7 V
输入电压范围V_I（见注释1）........ −0.5 V ~ 7 V
输出电压范围V_O（见注释1）........ −0.5 V to V_{CC} + 0.5 V
输入箝位电流I_{IK} (V_I < 0) .... −20 mA
输出箝位电流I_{OK} (V_O < 0 或 V_O > V_{CC}) .... ±20 mA
连续输入电流I_O (V_O = 0 ~ V_{CC}) .... ±25 mA
通过V_{CC}或GND的连续电流 .... ±50 mA
T_A = 55℃时的最大耗散功率（在静止空气中）（见注释2）　D封装 .... 1.25 W
DB或PW封装 .... 0.5 W
N封装 .... 1.1 W
存储温度范围，T_{stg} .... −65°C ~ 150°C

† 超过绝对最大标称值，将引起器件的永久性损坏，这些值是器件工作的极限值，器件正常工作时应在推荐工作条件下进行。如果器件在绝对最大标称条件下运行时间过长，将影响其可靠性。

注释：1. 如果输入、输出电流达到标称值，则对应输入、输出电压已超过标称值。

2. 最大封装耗散功率是在结温为150℃，印刷板的布线长度为750 mils时计算得到的，但N封装例外，它的布线长度为0。

推荐工作条件（见注释3）

			最小	最大	单位
V_{CC}	电源电压		2	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 2 V	1.5		V
		V_{CC} = 3 V	2.1		
		V_{CC} = 5.5 V	3.85		
V_{IL}	低电平输入电压	V_{CC} = 2 V		0.5	V
		V_{CC} = 3 V		0.9	
		V_{CC} = 5.5 V		1.65	
V_I	输入电压		0	V_{CC}	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 2 V		−50	μA
		V_{CC} = 3.3 V ± 0.3 V		−4	mA
		V_{CC} = 5 V ± 0.5 V		−8	
I_{OL}	低电平输出电流	V_{CC} = 2 V		50	μA
		V_{CC} = 3.3 V ± 0.3 V		4	mA
		V_{CC} = 5 V ± 0.5 V		8	
Δt/Δv	输入转换时间	V_{CC} = 3.3 V ± 0.3 V		100	ns/V
		V_{CC} = 5 V ± 0.5 V		20	
T_A	工作环境温度		−40	85	°C

注释3：未使用的输入端要加入高或低电平，以免状态不定。

图 B.15

SN74AHC00

四－二输入正逻辑与非门

SCLS227–1995年10月

推荐工作环境温度范围内的电特性

参数		测试条件	V_{CC}	$T_A = 25°C$ 最小	典型值	最大	最小	最大	单位
V_{OH}		$I_{OH} = -50\ \mu A$	2 V	1.9	2		1.9		V
			3 V	2.9	3		2.9		
			4.5 V	4.4	4.5		4.4		
		$I_{OH} = -4$ mA	3 V	2.58			2.48		
		$I_{OH} = -8$ mA	4.5 V	3.94			3.8		
V_{OL}		$I_{OL} = 50\ \mu A$	2 V			0.1		0.1	V
			3 V			0.1		0.1	
			4.5 V			0.1		0.1	
		$I_{OL} = 4$ mA	3 V			0.36		0.44	
		$I_{OL} = 8$ mA	4.5 V			0.36		0.44	
I_I	A或B输入	$V_I = V_{CC}$或GND	5.5 V			±0.1		±1	μA
I_{CC}		$V_I = V_{CC}$或GND，$I_O = 0$	5.5 V			2		20	μA
C_i		$V_I = V_{CC}$或GND	5 V		2	10		10	pF

推荐工作环境温度范围内的开关特性，$V_{CC} = 3.3\ V \pm 0.3\ V$（见页的图）

参数	输入	输出	负载电容	$T_A = 25°C$ 最小	典型值	最大	最小	最大	单位
t_{PLH}	A或B	Y	$C_L = 15$ pF		5.5	7.9	1	9.5	ns
t_{PHL}					5.5	7.9	1	9.5	
t_{PLH}	A或B	Y	$C_L = 50$ pF		8	11.4	1	13	ns
t_{PHL}					8	11.4	1	13	

推荐工作环境温度范围内的开关特性，$V_{CC} = 5V \pm 0.5V$（见下页的图）

参数	输入	输出	负载电容	$T_A = 25°C$ 最小	典型值	最大	最小	最大	单位
t_{PLH}	A或B	Y	$C_L = 15$ pF		3.7	5.5	1	6.5	ns
t_{PHL}					3.7	5.5	1	6.5	
t_{PLH}	A或B	Y	$C_L = 50$ pF		5.2	7.5	1	8.5	ns
t_{PHL}					5.2	7.5	1	8.5	

噪声特性，$V_{CC} = 5\ V$，$C_L = 50$ pF，$T_A = 25℃$（见注释4）

参数		最小	典型值	最大	单位
$V_{OL(P)}$	静输出，V_{OL}的动态值最大		0.3	0.8	V
$V_{OL(V)}$	静输出，V_{OL}的动态值最小		−0.3	−0.8	V
$V_{OH(V)}$	静输出，V_{OH}的动态值最小		4.6		V
$V_{IH(D)}$	高电平动态输入电压	3.5			V
$V_{IL(D)}$	低电平动态输入电压			1.5	V

注释4：该特性是在生产过程中已确定的，需要由封装设计确保它的实现。

图 B.16

SN74AHC00

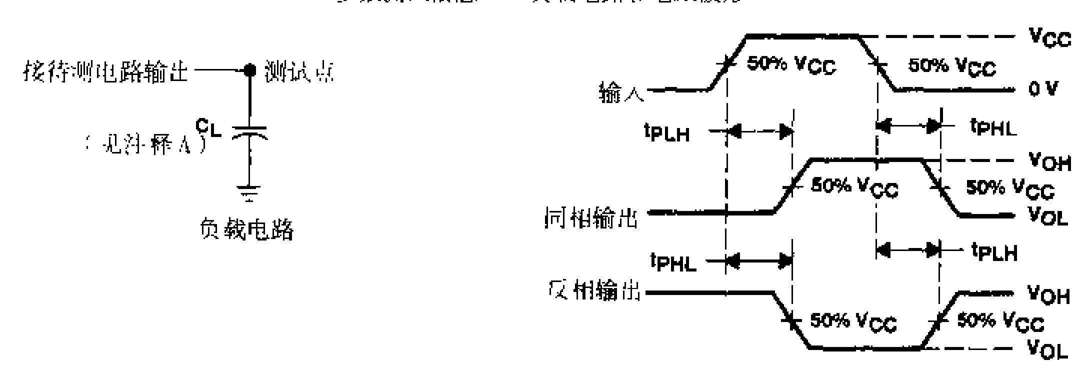
四-二输入正逻辑与非门

SCLS227-1995年10月

工作特性，V_{CC} = 5 V，T_A = 25℃

参数	测试条件	典型	单位
C_{pd} 功率耗散电容	C_L = 50 pF, f = 1 MHz	9.5	pF

参数测试信息——负载电路和电压波形



注释：A. C_L包括探针电容和定位电容。
B. 所有输入脉冲是由信号发生器生成的，具有下列特性：$PRR \leq 1$ MHz，$Z_0 = 50\ \Omega$，$t_r = 3$ ns，$t_f = 3$ ns。
C. 每次只能测量一个输出。

图 B.17

SN5402, SN54LS02, SN54S02, SN7402, SN74LS02, SN74S02
四－二输入正逻辑与非

1993年12月。1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

说明

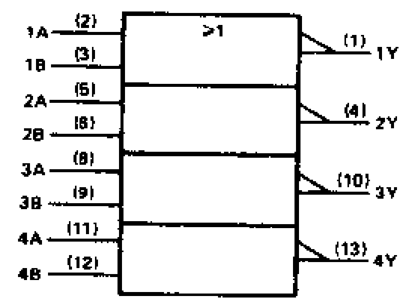
该器件包含四个独立的二输入或非门。

SN5402、SN54LS02和SN54S02系列是军用品，工作的温度范围为－55℃~125℃；而SN7402、SN74LS02和SN74S02系列是民用品，工作的温度范围为0℃~70℃。

功能表（每门）

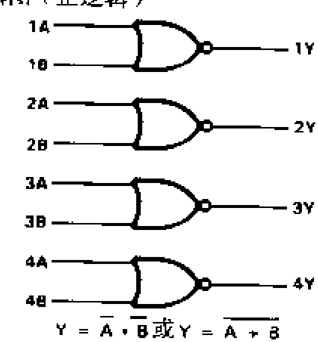
输入		输出
A	B	Y
H	X	L
X	H	L
L	L	H

逻辑符号[†]



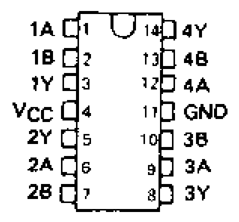
该符号依据ANSI/IEEE 标准 91－1984及IEC Publication 617－12。图示引脚数是对D，J和N封装而言的。

逻辑图（正逻辑）



$Y = \overline{A} \cdot \overline{B}$或$Y = \overline{A + B}$

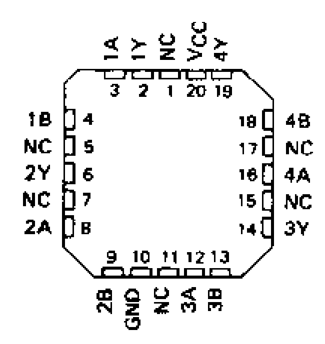
SN5402 . . . J 封装
SN54LS02, SN54S02 . . . J 或 W封装
SN7402 . . . N封装
SN74LS02, SN74S02 . . . D或 N 封装



SN5402 W封装

1A 1 | 14 4Y
1B 2 | 13 4B
1Y 3 | 12 4A
VCC 4 | 11 GND
2Y 5 | 10 3B
2A 6 | 9 3A
2B 7 | 8 3Y

SN54LS02, SN54S02 . . . FK封装



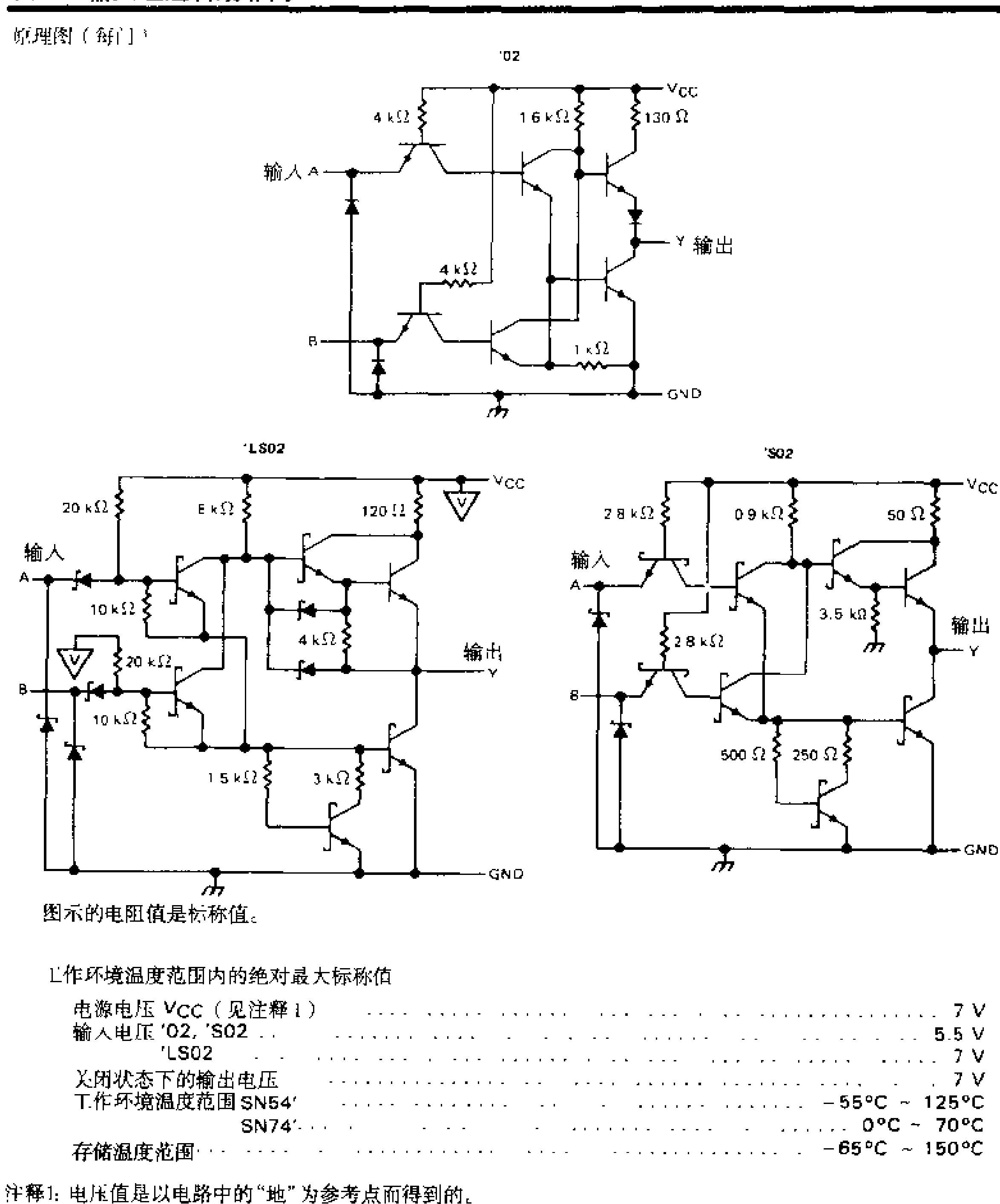
NC－无内部连接

图 B.18

SN5402, SN54LS02, SN54S02,
SN7402, SN74LS02, SN74S02

四-二输入正逻辑或非门

原理图（每门）



图示的电阻值是标称值。

工作环境温度范围内的绝对最大标称值

电源电压 V_{CC}（见注释1）	7 V
输入电压 '02, 'S02	5.5 V
'LS02	7 V
关闭状态下的输出电压	7 V
工作环境温度范围 SN54'	−55°C ~ 125°C
SN74'	0°C ~ 70°C
存储温度范围	−65°C ~ 150°C

注释1：电压值是以电路中的“地”为参考点而得到的。

图 B.19

SN5402, SN7402

四－二输入正逻辑或非门

推荐工作条件

		SN5402			SN7402			单位
		最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.8			0.8	V
I_{OH}	高电平输出电压			−0.4			−0.4	mA
I_{OL}	低电平输出电压			16			16	mA
T_A	工作环境温度	−55		125	0		70	℃

参数	测试条件†	SN5402			SN7402			单位
		最小	标称‡	最大	最小	标称‡	最大	
V_{IK}	V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	V_{CC} = MIN, V_{IL} = 0.8 V, I_{OH} = −0.4 mA	2.4	3.4		2.4	3.4		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I_I	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	V_{CC} = MAX V_I = 2.4 V			40			40	μA
I_{IL}	V_{CC} = MAX V_I = 0.4 V			−1.6			−1.6	mA
I_{OS}§	V_{CC} = MAX	−20		−55	−18		−55	mA
I_{CCH}	V_{CC} = MAX, V_I = 0 V		8	16		8	16	mA
I_{CCL}	V_{CC} = MAX, 见注释2		14	27		14	27	mA

† 表中的最小或最大条件，使用推荐工作条件规定的相应值。
‡ 典型值指 V_{CC} = 5 V，T_A = 25℃时的值。
§ 每次至多只有一个输出被短路。

注释2：其中一个输入为4.5 V，其余端接地。

开关特性，V_{CC} = 5 V，T_A = 25℃

参数	输入	输出	测试条件	最小	典型	最大	单位
t_{PLH}	A or B	Y	R_L = 400 Ω, C_L = 15 pF		12	22	ns
t_{PHL}					8	15	ns

图 B.20

SN54LS02, SN74LS02

四 - 二输入正逻辑或非门

推荐工作条件

		SN54LS02			SN74LS02			单位
		最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.7			0.8	V
I_{OH}	高电平输出电压			−0.4			−0.4	mA
I_{OL}	低电平输出电压			4			8	mA
T_A	工作环境温度	−55		125	0		70	°C

参数	测试条件†	SN54LS02			SN74LS02			单位
		最小	标称‡	最大	最小	标称‡	最大	
V_{IK}	V_{CC} = MIN，I_I = −18 mA			−1.5			−1.5	V
V_{OH}	V_{CC} = MIN，V_{IL} = MAX，I_{OH} = −0.4 mA	2.5	3.4		2.7	3.4		V
V_{OL}	V_{CC} = MIN，V_{IH} = 2 V，I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
	V_{CC} = MIN，V_{IH} = 2 V，I_{OL} = 8 mA					0.35	0.5	
I_I	V_{CC} = MAX，V_I = 7 V			0.1			0.1	mA
I_{IH}	V_{CC} = MAX，V_I = 2.7 V			20			20	μA
I_{IL}	V_{CC} = MAX，V_I = 0.4 V			−0.4			−0.4	mA
I_{OS}§	V_{CC} = MAX	−20		−100	−20		−100	mA
I_{CCH}	V_{CC} = MAX，V_I = 0 V		1.6	3.2		1.6	3.2	mA
I_{CCL}	V_{CC} = MAX，见注释2		2.8	5.4		2.8	5.4	mA

† 表中的最小或最大条件，使用推荐工作条件规定的相应值。
‡ 典型值指 V_{CC} = 5 V，T_A = 25℃时的值。
§ 每次至多只有一个输出被短路，且短路时间不能超过1 s。
注释2：其中一个输入为4.5 V，其余接地。

开关特性，V_{CC} = 5 V，T_A = 25℃

参数	输入	输出	测试条件	最小	典型	最大	单位
t_{PLH}	A或B	Y	R_L = 2 kΩ，C_L = 15 pF		10	15	ns
t_{PHL}					10	15	ns

图 B.21

SN54S02, SN74S02

四－二输入正逻辑或非门

推荐工作条件

		SN54S02			SN74S02			单位
		最小	标称	最大	最小	标称	最大	
V_{CC}	电源电压	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	高电平输入电压	2			2			V
V_{IL}	低电平输入电压			0.8			0.8	V
I_{OH}	高电平输出电压			−1			−1	mA
I_{OL}	低电平输出电压			20			20	mA
T_A	工作环境温度	−55		125	0		70	℃

推荐工作环境温度范围内的电特性

参数	测试条件 †	SN54S02			SN74S02			单位
		最小	标称‡	最大	最小	标称‡	最大	
V_{IK}	V_{CC} = MIN, I_I = −18 mA			−1.2			−1.2	V
V_{OH}	V_{CC} = MIN, V_{IL} = 0.8 V, I_{OH} = −1 mA	2.5	3.4		2.7	3.4		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 20 mA			0.5			0.5	V
I_I	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	V_{CC} = MAX, V_I = 2.7 V			50			50	μA
I_{IL}	V_{CC} = MAX, V_I = 0.5 V			−2			−2	mA
I_{OS}§	V_{CC} = MAX	−40		−100	−40		−100	mA
I_{CCH}	V_{CC} = MAX, V_I = 0 V		17	29		17	29	mA
I_{CCL}	V_{CC} = MAX, 见注释 2		26	45		26	45	mA

† 表中的最小或最大条件，使用推荐工作条件规定的相应值。
‡ 典型值指 V_{CC} = 5 V，T_A = 25℃时的值。
§ 每次至多只有一个输出被短路

注释 2：其中一个输入为 4.5 V，其余端接地。

开关特性，V_{CC} = 5 V，T_A = 25℃

参数	输入	输出	测试条件	最小	典型	最大	单位
t_{PLH}	A或B	Y	R_L = 280 Ω, C_L = 15 pF		3.5	5.5	ns
t_{PHL}					3.5	5.5	ns
t_{PLH}			R_L = 280 Ω, C_L = 50 pF		5		ns
t_{PHL}					5		ns

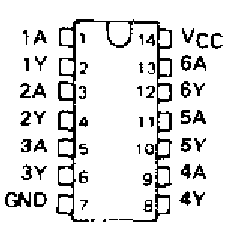
图 B.22

SN5404, SN54LS04, SN54S04, SN7404, SN74LS04, SN74S04
十六进制反相器

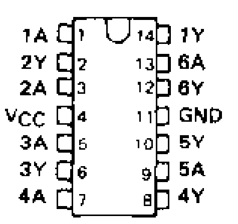
1983年12月。1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

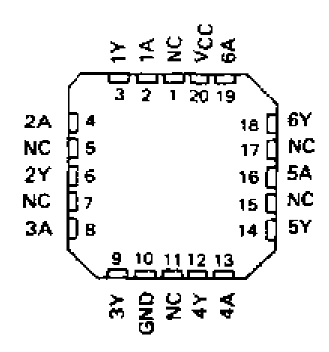
SN5404 J封装
SN54LS04, SN54S04 J或W封装
SN7404 N
SN74LS04, SN74S04 D或N封装



SN5404 W封装



SN54LS04, SN54S04 FK封装



NC-无内部连接

说明

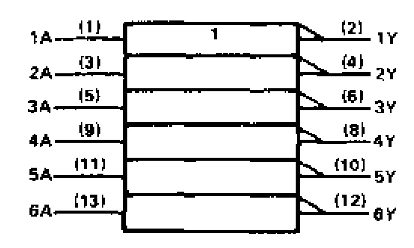
该器件包含六个独立的反相器。

SN5404、SN54LS04和SN54S04系列是军用品，工作的温度范围为-55℃~125℃；而SN7404，SN74LS04和SN74S04系列是民用品，工作的温度范围为0℃~70℃。

功能表（单个反相器）

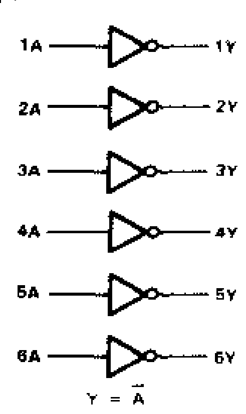
输入 A	输出 Y
H	L
L	H

逻辑符号[†]



[†]该符号依据ANSI/IEEE标准91-1984及IEC Publication 617-12。图示引脚数是对D，J和N封装而言的。

逻辑图（正逻辑）



图B.23

SN5405, SN54LS05, SN54S05, SN7405, SN74LS05, SN74S05
集电极开路输出的十六进制反相器

1983年12月。1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

说明

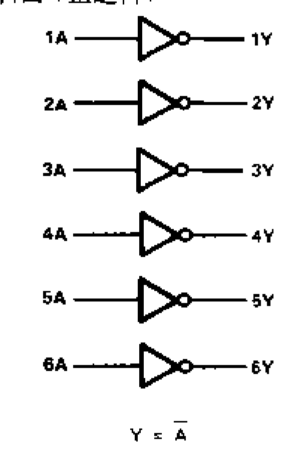
该器件包含六个独立的反相器。为了正确地实现其功能，集电极开路输出需要上拉电阻。将这类反相器连接到其他集电极开路输出时，可以实现低电平有效的"线或"功能或高电平有效的"线与"功能。集电极开路器件经常用于生成高电平 V_{OH}。

SN5405、SN54LS05和SN54S05系列是军用品，工作的温度范围为-55℃~125℃；而SN7405，SN74LS05和SN74S05系列是民用品，工作的温度范围为0℃~70℃。

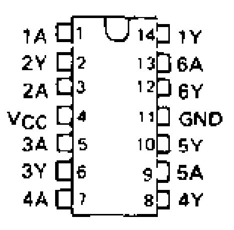
功能表（单个反相器）

输入 A	输出 Y
H	L
L	H

逻辑图（正逻辑）



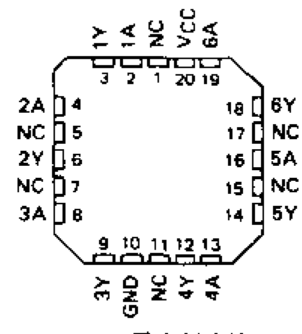
SN5405 . . . J 封装
SN54LS05, SN54S05 . . . J 或 W 封装
SN7405 . . . N
SN74LS05, SN74S05 . . . D 或 N 封装



SN5405 . . . W 封装

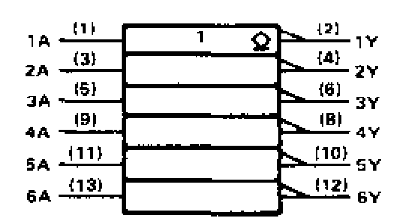
1A 1 — 14 1Y
2Y 2 — 13 6A
2A 3 — 12 6Y
VCC 4 — 11 GND
3A 5 — 10 5Y
3Y 6 — 9 5A
4A 7 — 8 4Y

SN54LS05, SN54S05 . . . FK 封装



NC-无内部连接

逻辑符号[†]



[†]该符号依据ANSI/IEEE 标准 91-1984及IEC Publication 617-12标准。图示引脚数是对D，J，N和W封装而言的。

图 B.24

SN5408, SN54LS08, SN54S08, SN7408, SN74LS08, SN74S08
四-二输入正逻辑与门

1983年12月，1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

SN5408, SN54LS08, SN54S08 . . . J 或 W 封装
SN7408 . . . J 或 N 封装
SN74LS08, SN74S08 . . . D, J 或 N 封装

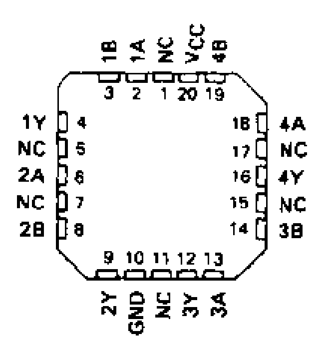
1A	1	14	VCC
1B	2	13	4B
1Y	3	12	4A
2A	4	11	4Y
2B	5	10	3B
2Y	6	9	3A
GND	7	8	3Y

说明

该器件包含四个独立的二输入与门。

SN5408，SN54LS08和SN54S08系列是军用品，工作的温度范围为-55℃~125℃；而SN7408、SN74LS08和SN74S08系列是民用品，工作的温度范围为0℃~70℃。

SN54LS08, SN54S08 . . . FK 封装

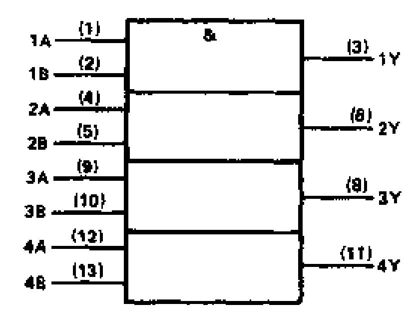


NC-无内部连接

功能表（单个反相器）

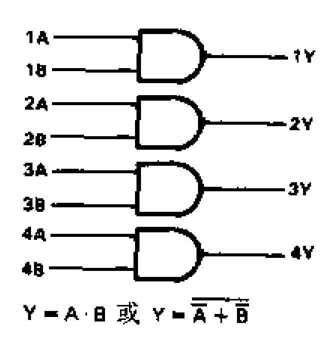
输入		输出
A	B	Y
H	H	H
L	X	L
X	L	L

逻辑符号[†]



[†]该符号依据ANSI/IEEE 标准 91-1984 及 IEC Publication 617-12。图示引脚数是对 D，J，N 和 W 封装而言的。

逻辑图（正逻辑）



$Y = A \cdot B$ 或 $Y = \overline{\overline{A} + \overline{B}}$

图 B.25

SN5410, SN54LS10, SN54S10, SN7410, SN74LS10, SN74S10
三－三输入正逻辑与非门

1983 年 12 月，1988 年 3 月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

说明

该器件包含三个独立的三输入与非门。

SN5410、SN54LS10 和 SN54S10 系列是军用品，工作的温度范围为 −55℃～125℃；而 SN7410，SN74LS10 和 SN74S10 系列是民用品，工作的温度范围为 0℃～70℃。

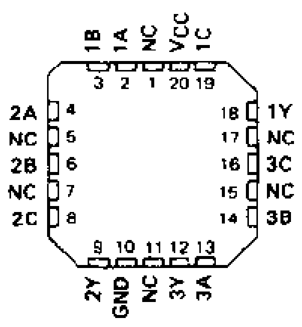
SN5410 . . . J 封装
SN54LS10, SN54S10 . . . J 或 W 封装
SN7410 . . . N
SN74LS10, SN74S10 . . D 或 N 封装

引脚	名称	引脚	名称
1	1A	14	V_{CC}
2	1B	13	1C
3	2A	12	1Y
4	2B	11	3C
5	2C	10	3B
6	2Y	9	3A
7	GND	8	3Y

SN5410 . . W 封装

引脚	名称	引脚	名称
1	1A	14	1C
2	1B	13	3Y
3	1Y	12	3C
4	V_{CC}	11	GND
5	2Y	10	3B
6	2A	9	3A
7	2B	8	2C

SN54LS10, SN54S10 . . . FK 封装

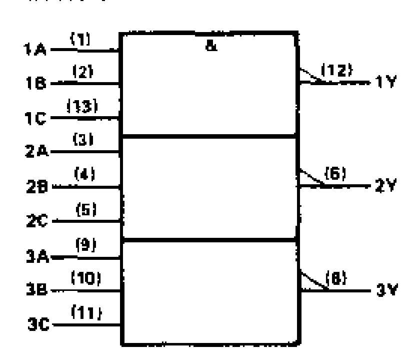


NC－无内部连接

功能表（每门）

输入			输出
A	B	C	Y
H	H	H	L
L	X	X	H
X	L	X	H
X	X	L	H

逻辑符号†



† 该符号依据 ANSI/IEEE 标准 91-1984 及 IEC Publication 617-12。图示引脚数是对 D、J 和 N 封装而言的。

$$Y=\overline{A\cdot B\cdot C} \text{ 或 } Y=\overline{A}+\overline{B}+\overline{C}$$

逻辑图（正逻辑）

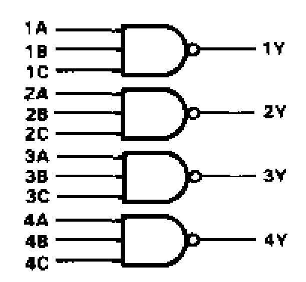


图 B.26

SN54LS11, SN54S11, SN74LS11, SN74S11
三－三输入正逻辑与非门

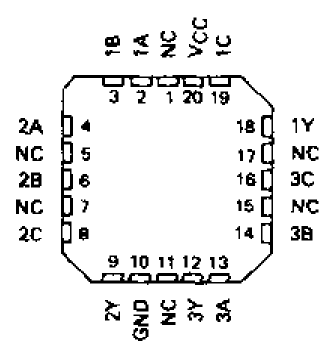
1983年12月－1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

SN54LS11, SN74S11 . . . J 或 W 封装
SN74LS11, SN74S11　　D 或 N 封装

引脚	名称	引脚	名称
1	1A	14	VCC
2	1B	13	1C
3	2A	12	1Y
4	2B	11	3C
5	2C	10	3B
6	2Y	9	3A
7	GND	8	3Y

SN54LS11, SN54S11 .　FK 封装



NC－无内部连接

说明

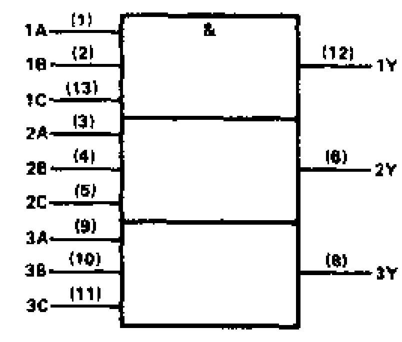
该器件包含三个独立的三输入与门。

SN54LS11和SN54S11系列是军用品，工作的温度范围为－55℃～125℃；而SN74LS11和SN74S11系列是民用品，工作的温度范围为0℃～70℃。

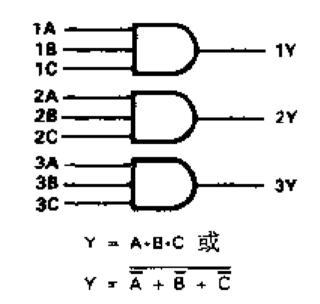
功能表（每门）

输入			输出
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

逻辑符号†




逻辑图（正逻辑）



$Y = A \cdot B \cdot C$ 或

$Y = \overline{\overline{A} + \overline{B} + \overline{C}}$

† 该符号依据 ANSI/IEEE 标准 91-1984 及 IEC Publication 617-12。
图示引脚数是对 D，J，N 和 W 封装而言的。

图 B.27

SN54LS21，SN74LS21

双四输入正逻辑与门

1983年12月，1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

SN54LS21 . . . J 或 W 封装
SN74LS21 . . . D 或 N 封装

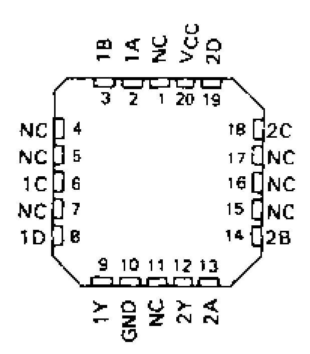
1A	1	14	VCC
1B	2	13	2D
NC	3	12	2C
1C	4	11	NC
1D	5	10	2B
1Y	6	9	2A
GND	7	8	2Y

说明

该器件包含两个独立的四输入与门。

SN54LS21系列是军用品，工作的温度范围为-55℃～125℃；而SN74LS21系列是民用品，工作的温度范围为0℃～70℃。

SN54LS21 . . . FK 封装

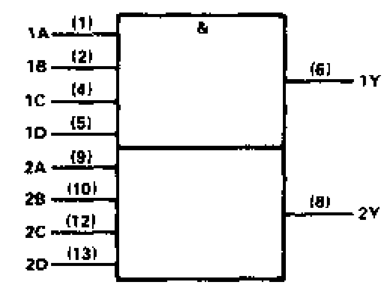


NC－无内部连接

功能表（每门）

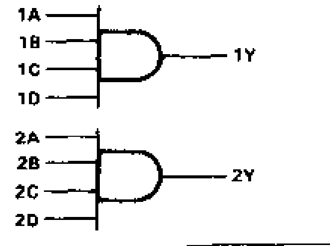
输入				输出
A	B	C	D	Y
H	H	H	H	H
L	X	X	X	L
X	L	X	X	L
X	X	L	X	L
X	X	X	L	L

逻辑符号[†]



[†]该符号依据ANSI/IEEE标准91-1984及IEC Publication 617-12。
图示引脚数是对D，J，N和W封装而言的。

逻辑图（正逻辑）



$Y = A \cdot B \cdot C \cdot D$ 或 $Y = \overline{\overline{A} + \overline{B} + \overline{C} + \overline{D}}$

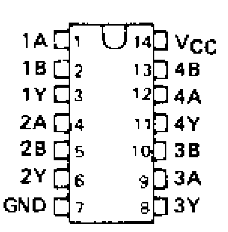
图B.28

SN5432, SN54LS32, SN54S32, SN7432, SN74LS32, SN74S32
四－四输入正逻辑或门

1983年12月，1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

SN5432, SN54LS32, SN54S32 . J或W 封装
SN7432 . N封装
SN74LS32, SN74S32 D或N 封装

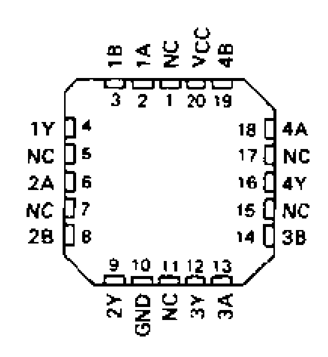


说明

该器件包含四个独立的二输入或门。

SN5432、SN54LS32和SN54S32系列是军用品，工作的温度范围为-55℃～125℃；而SN7432，SN74LS32和SN74S32系列是民用品，工作的温度范围为0℃～70℃。

SN54LS32, SN54S32 FK封装

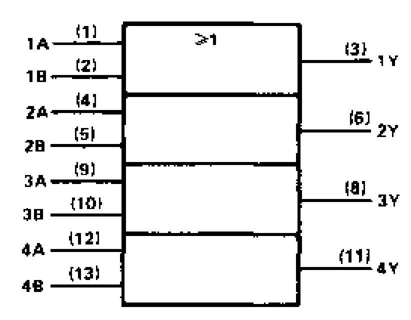


NC－无内部连接

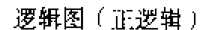
功能表（每门）

输入		输出
A	B	Y
H	X	H
X	H	H
L	L	L

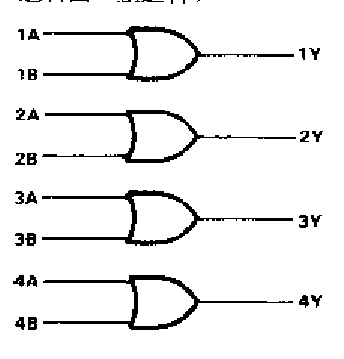
逻辑符号†



† 该符号依据ANSI/IEEE标准91-1984及IEC Publication 617-12
图示引脚数是对D，J，N和W封装而言的。



逻辑图（正逻辑）



$Y = A + B$ 或 $Y = \overline{\overline{A} \cdot \overline{B}}$

图 B.29

SN5442A, SN54LS42, SN74442A, SN74LS42

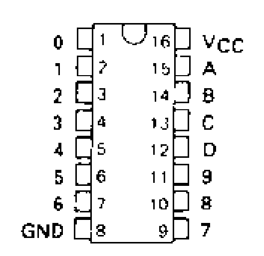
4线BCD-10线十进制译码器

1974年3月。1988年3月修订

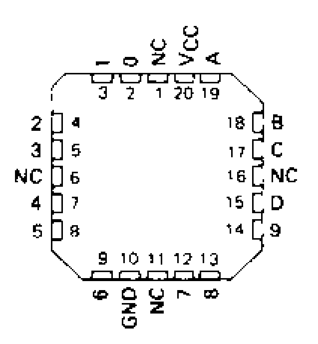
- 当输入无效时，所有输出为高电平
- 同样适用于4-16线译码器和3-8线译码器
- 二极管箝位输入

类型	典型耗散功率	典型传输延迟时间
'42A	140 mW	17 ns
'LS42	35 mW	17 ns

SN5442A, SN54LS42 . . . J 或 W 封装
SN7442A . . . N 封装
SN74LS42 . . . D 或 N 封装



SN54LS42 . . . FK 封装



NC－无内部连接

说明

这类BCD-十进制译码器由8个反相器和10个四输入与非门组成。反相器是成对连接的，使与非门可对BCD输入数据进行译码。对有效逻辑输入实现全译码，而在无效输入时可保证输出关闭。

'42A和'LS42的输入和输出可与大多数TTL及其他饱和低电平逻辑电路兼容，DC噪声容限的典型值是1 V。

SN5442A和SN54LS42系列是军用品，工作的温度范围为-55℃～125℃；而SN7442A和SN74LS42系列是民用品，工作的温度范围为0℃～70℃。

图B.30

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49, SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49

BCD-7段译码器/驱动器

1974年3月。1988年3月修订

'46A、'47A、'LS47特性

- 集电极开路输出直接驱动指示器
- 提供灯测试
- 前导零/尾随零抑制

'48、'LS48特性

- 内部上拉，不需要使用外部电阻
- 提供灯测试
- 前导零/尾随零抑制

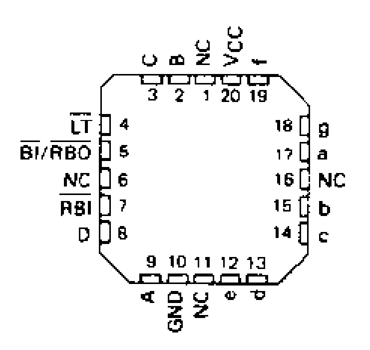
'LS49特性

- 集电极开路输出
- 消隐输入

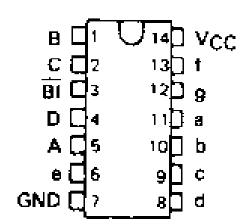
SN5446A, SN5447A, SN54LS47, SN5448, SN54LS48 . . . J 封装
SN7446A, SN7447A, SN7448 . . . N 封装
SN74LS47, SN74LS48 . . . D 或 N封装

引脚	信号	引脚	信号
1	B	16	VCC
2	C	15	f
3	$\overline{LT}$	14	g
4	$\overline{BI}/\overline{RBO}$	13	a
5	$\overline{RBI}$	12	b
6	D	11	c
7	A	10	d
8	GND	9	e

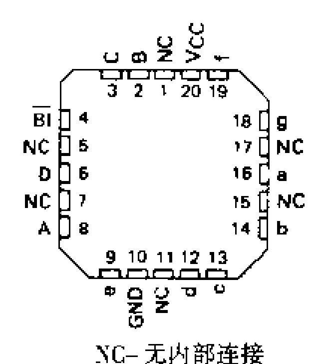
SN54LS47, SN54LS48 . . . FK 封装



SN54LS49 . . . J 或W 封装
SN74LS49 . . . D 或 N 封装



SN54LS49 . . . FK 封装



NC-无内部连接

图B.31

SN5474, SN54LS74A, SN54S74, SN7474, SN74LS74A, SN74S74
双D触发器（上升沿触发，具有预置和清零功能）

1974年3月、1988年3月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

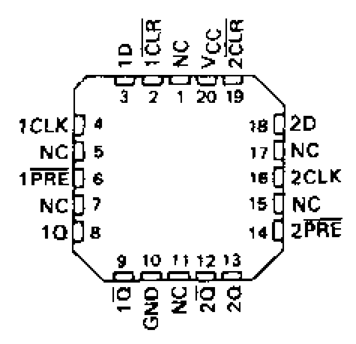
SN5474 . . J封装
SN54LS74A, SN54S74 . . J或W 封装
SN7474 . . . N封装
SN74LS74A, SN74S74 . . . D或 N 封装

引脚	名称	引脚	名称
1	1$\overline{CLR}$	14	V_{CC}
2	1D	13	2$\overline{CLR}$
3	1CLK	12	2D
4	1$\overline{PRE}$	11	2CLK
5	1Q	10	2$\overline{PRE}$
6	1$\overline{Q}$	9	2Q
7	GND	8	2$\overline{Q}$

SN5474 . . . W封装

引脚	名称	引脚	名称
1	1CLK	14	1$\overline{PRE}$
2	1D	13	1Q
3	1$\overline{CLR}$	12	1$\overline{Q}$
4	V_{CC}	11	GND
5	2$\overline{CLR}$	10	2$\overline{Q}$
6	2D	9	2Q
7	2CLK	8	2$\overline{PRE}$

SN54LS74A, SN54S74 . . FK封装



NC−无内部连接

说明

该器件包含两个独立的上升沿触发D触发器。当预置或清零输入端为低电平时，输出相应置位和清零，与其他输入无关。当预置和清零端为高电平时，在时钟脉冲的上升沿D端输入数据传送到输出端。时钟触发是由电平的高低决定的，与时钟脉冲上升时间并没有直接联系。在保持时间内，输入端D的变化对输出没有影响。

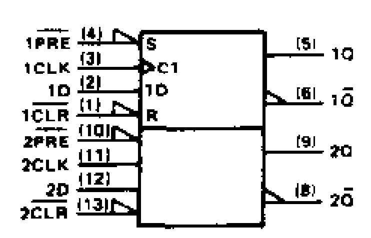
SN54'系列是军用品，工作的温度范围为-55℃～125℃；而SN74'系列是民用品，工作的温度范围为0℃～70℃。

功能表（每门）

输入				输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H†	H†
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

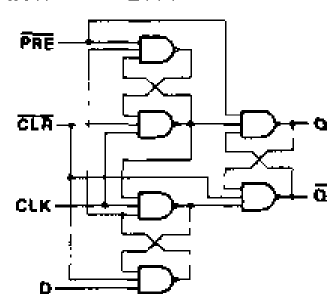
† 当预置和清零端输入为 V_{IL} 的最大值时，输出可能达不到 V_{OH} 的最小值。而且这是一种不定态，一旦$\overline{PRE}$或$\overline{CLR}$输入无效（高电平），则输出改变。

逻辑符号‡



‡ 该符号依据ANSI/IEEE 标准 91-1984 及 IEC Publication 617-12。图示引脚数是对D，J，N和W封装而言的

逻辑图（正逻辑）



图B.32

SN5475, SN5477, SN54LS75, SN54LS77, SN7475, SN74LS75
4位双稳锁存器

1974年3月。1988年3月修订

输入		输出	
D	C	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	Q_0	$\bar{Q}_0$

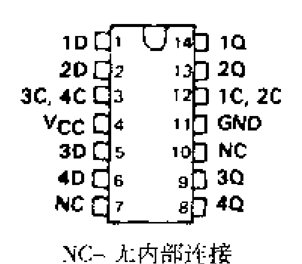
H = 高电平，L = 低电平，X = 不定值

Q_0 = 当G由高到低转换前输出Q的状态

SN5475, SN54LS75 . . . J 或 W 封装
SN7475 . . . N 封装
SN74LS75 . . . D 或 N 封装

引脚	名称	引脚	名称
1	$1\bar{Q}$	16	1Q
2	1D	15	2Q
3	2D	14	$2\bar{Q}$
4	3C, 4C	13	1C, 2C
5	V_{CC}	12	GND
6	3D	11	$3\bar{Q}$
7	4D	10	3Q
8	$4\bar{Q}$	9	4Q

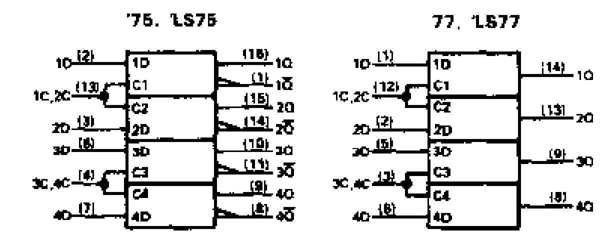
SN5477, SN54LS77 . . . W 封装



NC－无内部连接

† 逻辑符号

'75, 'LS75　　'77, 'LS77



† 该符号依据ANSI/IEEE 标准 91－1984及IEC Publication 617－12。

说明

该锁存器适用于暂时存储二进制信息。当使能端（C）为高电平时，数据输入（D）端的信息传送到输出端（Q），并且，只要使能端保持高电平，输出Q便跟随输入D的变化而变化。当使能端为低电平时，输出保持原态不变。

'75和'LS75系列为4位锁存器，是互补型输出（Q和$\bar{Q}$），可使用不同类型的16引脚封装。在要求集成度比较高的场合下，可使用'77和'LS77系列4位锁存器，它们是14引脚平面封装。

该电路与所有通用TTL系列兼容，电路的输入采用二极管箝位，可以降低传输线效应，简化系统设计。54和54LS系列是军用品，工作的温度范围为－55℃～125℃；而74和74LS系列是民用品，工作的温度范围为0℃～70℃。

工作环境温度范围内的绝对最大标称值

参数		值
电源电压 V_{CC}（见注释1）		7 V
输入电压	'75, '77	5.5 V
	'LS75, 'LS77	7 V
射极间电压（见注释2）		5.5 V
工作环境温度范围	SN54'	－55°C ～ 125°C
	SN74'	0° C ～ 70°C
存储温度范围		－65°C ～ 150°C

注释：1. 图中电压值以电路中的"地"端为参考。

2. 该电压是指多多射极输入晶体管内两个发射级间的电压，不适用于'LST5 和 'LS77。

图 B.33

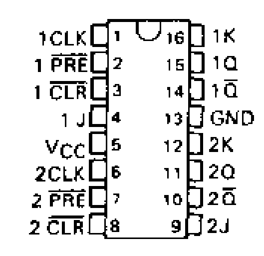
SN5476, SN54LS76A, SN7476, SN74LS76A

带有预置和清零功能的双 J–K 触发器

1983 年 12 月。1988 年 3 月修订

- 封装类型包括塑料双列直插式封装、陶瓷双列直插式封装及陶瓷扁平封装
- 质量和可靠性高

SN5476, SN54LS76A . . J 封装
SN7476 . N 封装
SN74LS76A D 或 N 封装



说明

'76系列包含两个独立的J-K触发器，每个触发器有J、K、时钟控制、预置和清零等几个输入端。'76是正边沿触发器，当时钟输入为高电平时，J-K输入送入主触发器中，在时钟输入转换为低电平时传送到从触发器中．因此，对于这类触发器来说，当时钟输入为高电平时，J和K输入必须稳定。

'LS76A系列包含两个独立的J-K触发器，是负边沿触发。为了保证操作的可靠性，在时钟脉冲由高到低转换时，J和K输入必须稳定，且稳定态已建立了一定时间。清零和置位都是低电平输入有效，且异步进行。当清零或置位输入为低电平时，它们会优先于时钟输入，强制输出为功能表内的相应值。

SN5476和SN54LS76A系列是军用品，工作的温度范围为−55℃～125℃；而SN7476和SN74LS76A系列是民用品，工作的温度范围为0℃～70℃。

'76 功能表

输入					输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H†	H†
H	H	⎍	L	L	Q_0	$\overline{Q}_0$
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	翻转	

'LS76A 功能表

输入					输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H†	H†
H	H	↓	L	L	Q_0	$\overline{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	翻转	
H	H	H	X	X	Q_0	$\overline{Q}_0$

† 这是不定态，当$\overline{PRE}$或CLR为无效值（高电平）时，输出改变

图 B.34

SN5483A, SN54LS83A, SN7483A, SN74LS83A

快速进位的4位二进制全加器

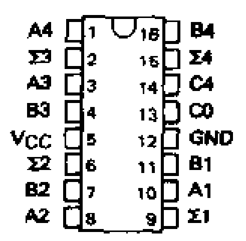
1974年3月。1988年3月修订

- 可对内部4位进行全超前进位
- 利用脉动进位，系统可实现部分超前性能
- SN54283/SN74283和SN54LS283/SN74LS283是推荐使用的新产品，电源端和"地"端位于拐角的引脚处，所以可以简化电路板的规划

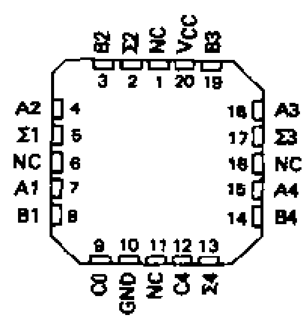
典型加法时间

类型	两个8位字	两个16位字	每个4位加法器的典型耗散功率
'83A	23 ns	43 ns	310 mW
'LS83A	25 ns	45 ns	95 mW

SN5483A, SN54LS83A . . . J 或 W 封装
SN7483A . . . N 封装
SN74LS83A . . . D 或 N 封装



SN54LS83A . . . FK 封装



NC－无内部连接

说明

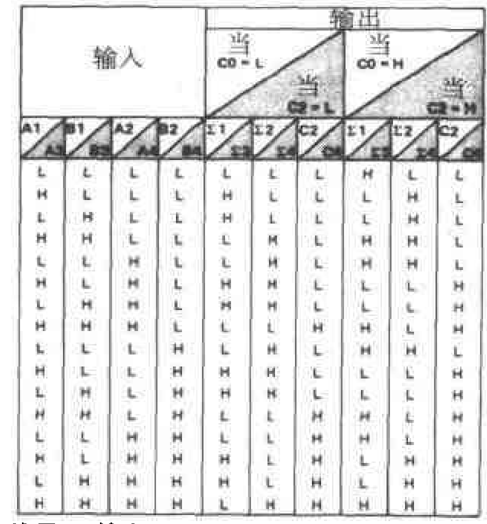
这类改进的全加器可以实现两个4位二进制数的加法运算。和（Σ）为按位输出，而合成进位（C4）是由第4位得到的。该加法器的特点是实现超前进位，生成进位项的典型时间是10 ns。这样为系统设计者提供了部分超前性能，而脉动进位的实现减少了封装数。

加法器逻辑，包括进位，是以原变量形式实现的，所以无需逻辑或电平取反就可以完成循环进位。

该电路使用晶体管-晶体管逻辑，可与大多数TTL系列和饱和低电平逻辑系列兼容，适合中速应用。

54系列和54LS电路是军用品，工作的温度范围为-55℃～125℃；而74和74LS系列是民用品，工作的温度范围为0℃～70℃。

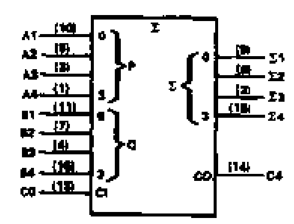
功能表



输入				输出：当C0=L / 当C2=L			输出：当C0=H / 当C2=H		
A1 / A3	B1 / B3	A2 / A4	B2 / B4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	L	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

注释：输入A1，B1，A2，B2和C0用于确定输出Σ1，Σ2以用内部进位C2的值，然后用C2，A3，B3，A4和B4确定Σ2，Σ4以及C4。

逻辑符号†



†该符号依据ANSI/IEEE标准91-1984及IEC Publication 617-12。图示引脚数是对D，J，N和W封装而言的。

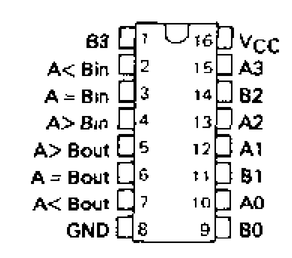
图B.35

SN5485, SN54LS85, SN54S85
SN7485, SN74LS85, SN74S85
4位数值比较器

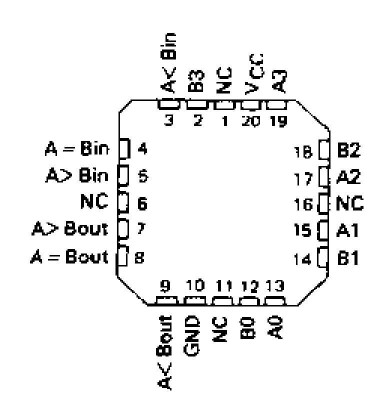
1974年3月。1988年3月修订

类型	典型耗散功率	典型延迟时间（4位字）
'85	275 mW	23 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

SN5485, SN54LS85, SN54S85 . . . J 或 W 封装
SN7485 . . . N 封装
SN74LS85, SN74S85 . . . D 或 N 封装



SN54LS85, SN54S85 . . . FK 封装



说明

该4位数值比较器可以实现对二进制数或BCD（8421）码的直接比较。输入为2个4位字（A和B），输出端列出了可能出现的3种比较结果。该比较器无需外加门电路即可扩充至任意位数的比较，将比较器级联可实现任意字长的比较。串行级联是将输出端A>B、A<B和A = B接到下一较高位的输入端A>B，A<B和A = B。在两数比较时，最低位比较器的A = B输入端应接高电平。'85，'LS85和'S85系列只要两个门级延迟就可以实现级联通道，减少了比较时间。进一步降低级联比较时间的方法详见典型应用数据手册。

功能表

比较输入端				级联输入			输出		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B2	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A2 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

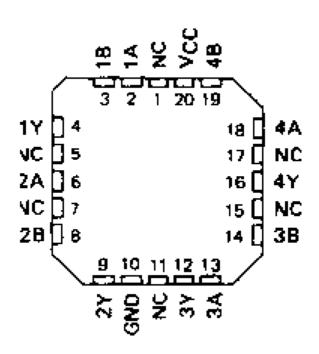
图B.36

SN5486, SN54LS86A, SN54S86, SN7486, SN74LS86A, SN74S86
四－二输入异或门
1972 年 12 月，1988 年 3 月修订

- 封装类型包括塑料小外形封装、陶瓷芯片载体、扁平封装及塑料双列直插式封装和陶瓷双列直插式封装
- 质量和可靠性高

类型	典型平均传输延迟时间	典型总耗散功率
'86	14 ns	150 mW
'LS86A	10 ns	30.5 mW
'S86	7 ns	250 mW

SN5486, SN54LS86A, SN54S86 . . . J 或 W 封装
SN7486 . . . N 封装
SN74LS86A, SN74S86 . . . D 或 N 封装



54LS86A, SN54S86 . . . FK 封装

说明

该器件包含四个独立的二输入异或门，实现的逻辑关系是 $Y = A \oplus B = A\bar{B} + \bar{A}B$。

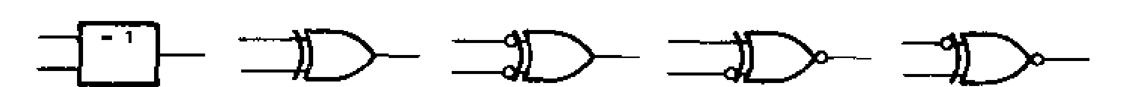
它主要应用于对输入量维持不变或取反。当其中的一个输入为低电平时，输出与另一输入量的状态相同；当其中一个输入为高电平时，输出对另一输入量取反

SN5486，54LS86A 和 SN54S86 系列是军用品，工作的温度范围为 −55℃ ~ 125℃；而 SN7486，SN74LS86A 和 SN74S86 系列是民用品，工作的温度范围为 0℃ ~ 70℃。

异或逻辑

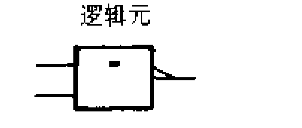
异或门应用广泛，不同的应用场合可用下列几种不同的逻辑符号。

异或



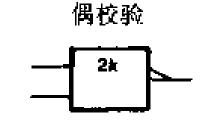
对于'86 或'LS86A 系列，这五种"异或"符号是等效的；"取反"操作可在任意两端出现。

逻辑元



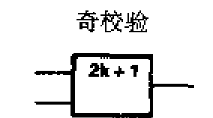
当输入量状态相同时（如 A=B），输出有效（低）。

偶校验



当有偶数个输入量（如 0 或 2）有效时，输出有效（低）。

奇校验



当有奇数个输入量（如 1）有效时，输出有效（高）。

图 B.37

SN5490A, SN5492A, SN5493A, SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93
十进制，十二进制和二进制计数器

1974年3月，1988年3月修订

'90A、'LS90…十进制计数器
'92A、'LS92…十二进制计数器
'93A、'LS93…4位二进制计数器

类型	典型耗散功率
'90	145 mW
'92A、'93A	130 mW
'LS90、'LS92、'LS93	45 mW

说明

每个计数器由四个主从触发器和辅助门电路组成。这些辅助门电路构成一个二进制计数器和一个三级二进制计数器。对于'90A和'LS90系列，该三级计数器实现五进制计数；对于'92A和'LS92系列，它实现六进制计数；而对于'93A和'LS93，它实现八进制计数。

所有这些计数器都有清零输入端，'90A和'LS90系列还有门控预置"9"输入端。

将CKB输入端与Q_A输出端相连，可实现这些计数器的最大计数周期（十进制、十二进制或4位二进制）。计数脉冲由CKA输入，输出端的变化可见功能表。将'90A或'LS90系列计数器的输出Q_D连到时钟CKA端，计数脉冲由CKB输入，则可实现十进制计数，Q_A端输出十进制方波。

SN5490A, SN54LS90 . . . J 或 W 封装
SN7490A . . . N 封装
SN74LS90 . . . D 或 N 封装

引脚	名称	引脚	名称
1	CKB	14	CKA
2	R0(1)	13	NC
3	R0(2)	12	Q_A
4	NC	11	Q_D
5	V_{CC}	10	GND
6	R9(1)	9	Q_B
7	R9(2)	8	Q_C

SN5492A, SN54LS92 . . . J 或 W 封装
SN7492A . . . N 封装
SN74LS92 . . . D 或 N 封装

引脚	名称	引脚	名称
1	CKB	14	CKA
2	NC	13	NC
3	NC	12	Q_A
4	NC	11	Q_B
5	V_{CC}	10	GND
6	R0(1)	9	Q_C
7	R0(2)	8	Q_D

SN5493A, SN54LS93 . . . J 或 W 封装
SN7493 . . . N 封装
SN74LS93 . . . D 或 N 封装

引脚	名称	引脚	名称
1	CKB	14	CKA
2	R0(1)	13	NC
3	R0(2)	12	Q_A
4	NC	11	Q_D
5	V_{CC}	10	GND
6	NC	9	Q_B
7	NC	8	Q_C

NC－无内部连接

图 B.38

SN5491A, SN54LS91, SN7491A, SN74LS91

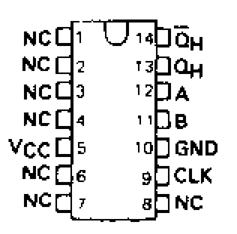
8位移位寄存器

1974年3月，1988年3月修订

● 主要应用于：数字计算机系统；数据处理系统；控制系统

类型	典型最大时钟频率	典型耗散功率
'91A	18 MHz	175 mW
'LS91	18 MHz	60 mW

SN5491A, SN54LS91 . . . J 封装
SN7491A . . . N 封装
SN74LS91 . . . D 或 N 封装



SN5491A, SN54LS91 . . . W 封装

NC 1 | 14 $\overline{Q}_H$
NC 2 | 13 Q_H
NC 3 | 12 B
VCC 4 | 11 GND
NC 5 | 10 A
NC 6 | 9 CLK
NC 7 | 8 NC

NC－无内部连接

说明

这种串入－串出8位移位寄存器使用晶体管－晶体管逻辑（TTL）电路，由8个R-S主从触发器、输入门电路和一个时钟驱动器组成。输入端A和B一个用为数据输入端，一个用为输入控制端。在寄存器内部还有一个反相器，用于反相输出。内部时钟由反相时钟驱动器驱动，在该时钟脉冲反相器的作用下，输入数据在每一个时钟上升沿到来时移一位。

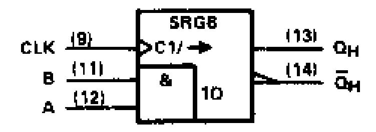
功能表

输入 AT t_n		输出 AT t_{n+8}	
A	B	Q_H	$\overline{Q}_H$
H	H	H	L
L	X	L	H
X	L	L	H

t_n = 时钟低参考位时间

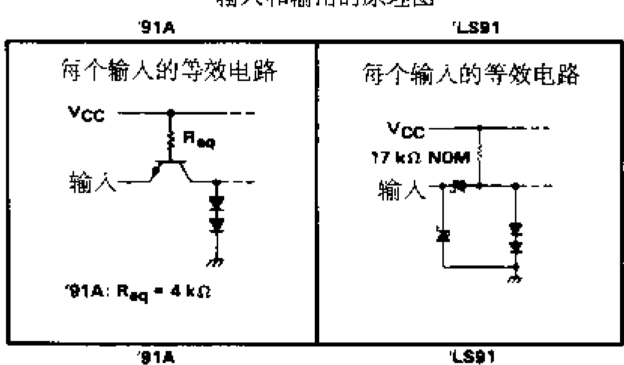
t_{n+8} = 时钟第8次从低电平到高电平的位时间

逻辑符号[†]



[†] 该符号依据ANSI/IEEE标准91-1984和IEC Publication 617-12。

输入和输出的原理图



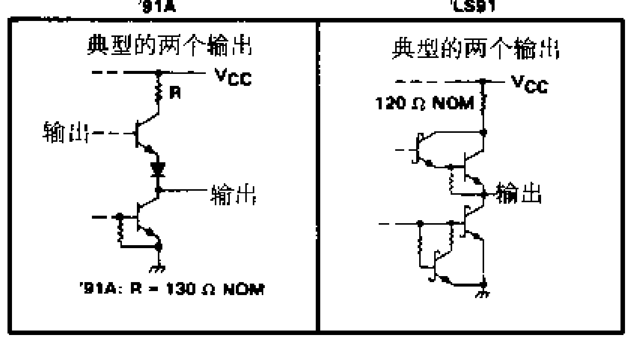


图 B.39

SN54111, SN74111
DUAL J-K MASTER-SLAVE
带有数据锁存的双 J–K 主从触发器

1983年12月，1988年3月修订

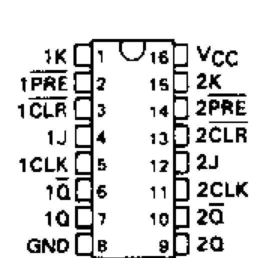
● 封装类型包括塑料双列直插式封装、陶瓷双列直插式封装及陶瓷扁平封装
● 质量和可靠性高

说明

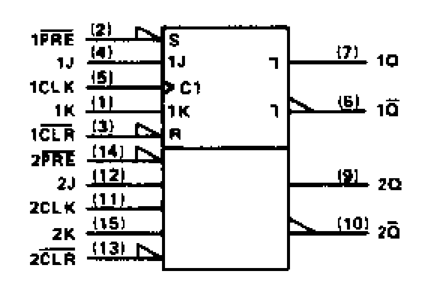
SN54111 和 SN74111 是 d-c 耦合的、时偏可变的 J-K 触发器，使用 TTL 电路，典型时钟最高频率为 25 MHz。此类触发器允许 J、K 输入端接收数据的时间很短（最大保持时间为 30 ns），很快时钟脉冲的上升沿来到。当时钟脉冲处于高电平时，输入端的数据可能会改变，但不会影响主触发器的状态。当时钟脉冲的下降沿到达阈电平时，存放在主触发器中的数据传送到输出端。因此，允许的有效时钟偏移为最小传输延迟时间减去保持时间，再加上时钟脉冲宽度。这样，就允许设计者根据不同的时钟脉冲宽度设置所允许的最大时钟偏移，从而使系统设计得到简化，对复杂时钟分配系统的需求降到最低，甚至完全不需要。该触发器还有一个特点——由于输入端只能在很短的时间内接收数据，所以同步输入端的敏感性降低，从而有效地提高了系统的抗噪声能力。

SN54111是军用品，工作的温度范围为-55℃～125℃；而SN74111是民用品，工作的温度范围为0℃～70℃。

SN54111 . . . J 封装
SN74111 . . . N封装



逻辑符号†



† 该符号依据 ANSI/IEEE 标准 91-1984 和 IEC Publication 617-12。

功能表

输入					输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H‡	H‡
H	H	⎍	L	L	Q_0	$\overline{Q}_0$
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	翻转	

‡ 这是一种不稳态，当PRE或CLR变为高电平时，输出状态也会随着改变。

图 B.40

SN54116, SN74116

有清零端的双4位锁存器

1972年12月，1988年3月修订

- 一个封装内有两个独立的4位锁存器
- 两个锁存器的清零端是分开的
- 每个锁存器有两个门控使能输入端，从而简化寄存器级联
- 可以和TTL电路兼容使用
- 输入箝位二极管简化了系统设计

SN54116 . . . J或W封装
SN74116 . . . N封装

引脚	名称	引脚	名称
1	$1\overline{CLR}$	24	V_{CC}
2	$1\overline{C}1$	23	2Q4
3	$1\overline{C}2$	22	2D4
4	1D1	21	2Q3
5	1Q1	20	2D3
6	1D2	19	2Q2
7	1Q2	18	2D2
8	1D3	17	2Q1
9	1Q3	16	2D1
10	1D4	15	$2\overline{C}2$
11	1Q4	14	$2\overline{C}1$
12	GND	13	$2\overline{CLR}$

说明

该锁存器使用D型双稳触发器，在一个封装内实现两个独立的4位锁存器。每一个4位锁存器有1个独立的异步清零输入端和一个门控双输入使能电路。当两个使能输入都为低电平时，输出等于输入；而当其中有一个或两个使能输入都为高电平时，输出保持原态不变。

清零输入优先。当其为低电平时，无论使能端状态如何，输出为低电平。

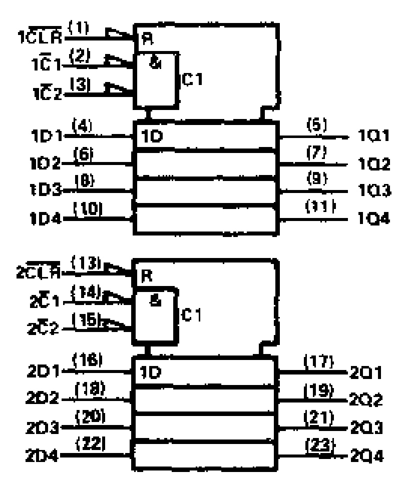
SN54116是军用品，工作的温度范围为-55℃～125℃；而SN74116是民用品，工作的温度范围为0℃～70℃。

功能表（每一个锁存器）

输入				输出
$\overline{CLEAR}$	使能		数据	Q
	$\overline{C}1$	$\overline{C}2$		
H	L	L	L	L
H	L	L	H	H
H	X	H	X	Q_0
H	H	X	X	Q_0
L	X	X	X	L

H－高电平，L－低电平，X－任意值
Q_0－原态，输入条件未建立起来时的输出状态

逻辑符号†



† 该符号依据ANSI/IEEE标准91-1984和IEC Publication 617-12。

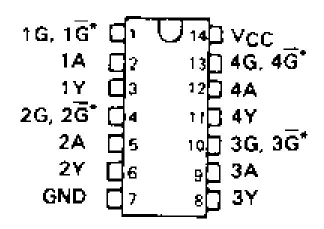
图B.41

SN54125, SN54126, SN54LS125A, SN54LS126A, SN74125, SN74126, SN74LS125A, SN74LS126A
三态输出的四总线缓冲器

1983 年 12 月，1988 年 3 月修订

● 四总线
● 3 态输出
● 每一通道独立控制

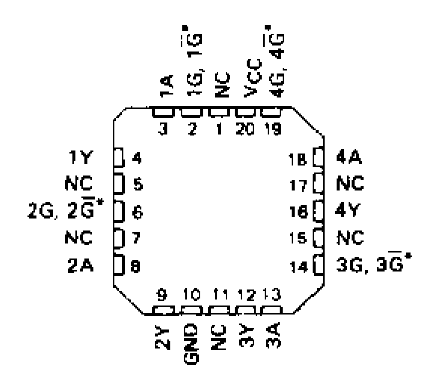
SN54125, SN54126, SN54LS125A, SN54LS126A . . . J 或 W 封装
SN74125, SN74126 . . N 封装
SN74LS125A, SN74LS126A . . . D 或 N 封装



说明

该总线缓冲器为三态输出，当输出使能时，呈现低阻态，输出为高电平时可以具有驱动能力，不需外加上拉电阻即可驱动总线负载。当输出禁止时，所有的输出晶体管都关闭，输出呈高阻态，所以输出既不能用为负载，也不能用为驱动器。对'125 和'LS125A 而言，当 G̅ 为高电平时输出禁止；对'126 和'LS126A 而言，当 G 为低电平时输出禁止。

SN54LS125A, SN54LS126A . . FK 封装



'125, 'LS125A

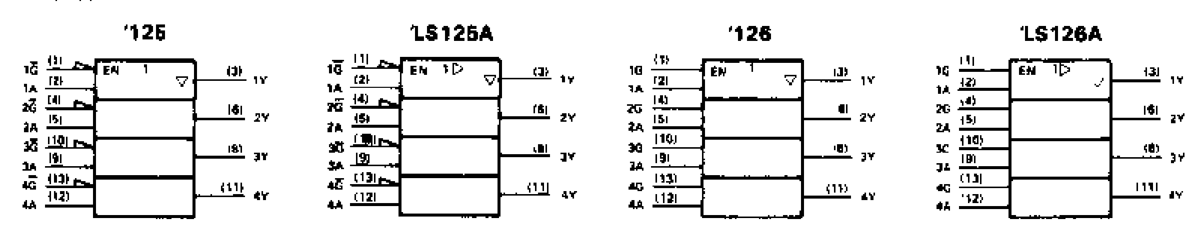
'126, LS126A

正逻辑 Y = A

* '125 和'LS125A 的使能端是 G̅，'126'LS126A 的使能端是 G

NC－ 无内部连接

逻辑符号[†]



† 该符号依据 ANSI/IEEE 标准 91-1984 和 IEC Publication 617-12。
图示引脚数是对 D，J，N 和 W 封装而言的。

图 B.42

SN54S135, SN74S135

四异或/异或非门

1972年12月，1988年3月修订

- 可以和大多数TTL和TTL MSI电路完全兼容
- 内部采用肖特基结构，降低了延迟时间，典型延迟时间为8 ns
- 可作为异或门（C输入为低电平）或者异或非门（C输入为高电平）

SN54S135 . . . J 或 W 封装
SN74S135 . . . D 或 N 封装

引脚	名称	引脚	名称
1	1A	16	VCC
2	1B	15	4B
3	1Y	14	4A
4	1C,2C	13	4Y
5	2A	12	3C,4C
6	2B	11	3B
7	2Y	10	3A
8	GND	9	3Y

SN54S135 . . . FK 封装

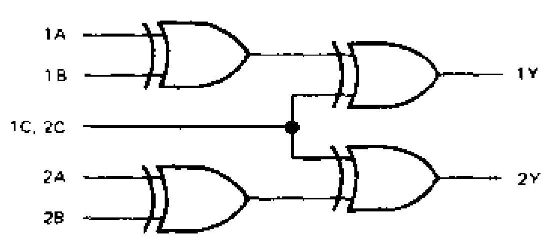
引脚	名称	引脚	名称
3	1B	18	4A
2	1A	17	4Y
1	NC	16	NC
20	VCC	15	3C,4C
19	4B	14	3B
4	1Y	9	2Y
5	1C,2C	10	GND
6	NC	11	NC
7	2A	12	3Y
8	2B	13	3A

NC－无内部连接

功能表

输入			输出
A	B	C	Y
L	L	L	L
L	H	L	H
H	L	L	H
H	H	L	L
L	L	H	H
L	H	H	L
H	L	H	L
H	H	H	H

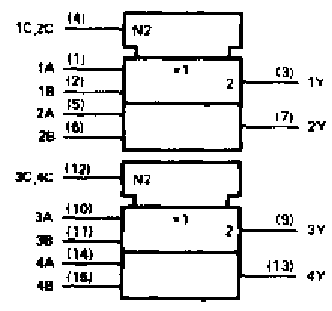
逻辑图



正逻辑

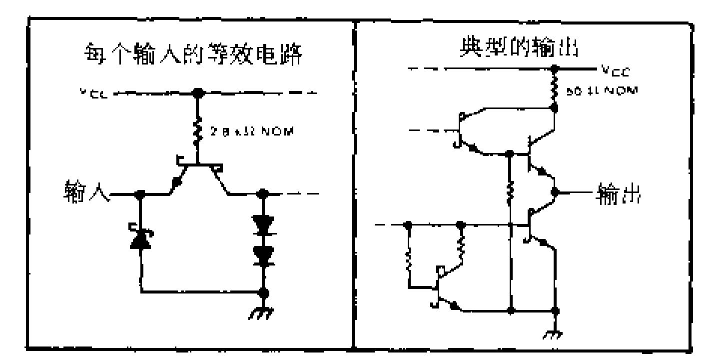
$$Y = A \oplus B \oplus C = A\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}\bar{B}C + ABC$$

逻辑符号[†]



[†] 该符号依据ANSI/IEEE 标准 91-1984和IEC Publication 617-12。
图示引脚数是对D、J、N和W封装而言的。

输入和输出的原理图



图中电阻值为标称值

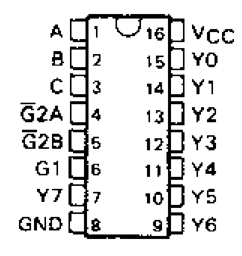
图 B.43

SN54LS138, SN54S138, SN74LS138, SN74S138A
3-8 线译码器/分配器

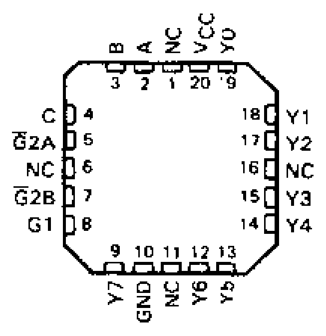
1972 年 12 月　1988 年 3 月修订

● 主要应用于高速场合：
存储译码器
数据传输系统
● 3 个使能输入端可以简化级与（级或）的数据接收
● 使用肖特基管箝位，提高了系统性能

SN54LS138, SN54S138 . . . J 或 W 封装
SN74LS138, SN74S138A . . . D 或 N 封装

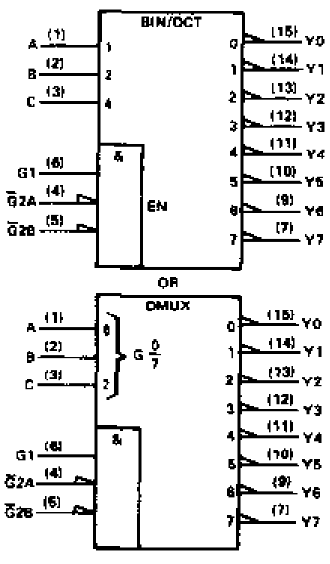


SN54LS138, SN54S138　FK 封装



NC－无内部连接

逻辑符号[†]



[†] 该符号依据 ANSI/IEEE 标准 91-1984 和 IEC Publication 617-12。
图示引脚数是对 D、J、N 和 W 封装而言的。

说明

该器件是肖特基箝位 TTL MSI 电路，可以缩短传输延迟时间，主要用于高性能存储器的译码和数据传递。在高性能存储系统中，这类译码器可以减小系统译码效应。当将其应用于带有快速使能电路的高速存储器中时，译码器的延迟时间和存储器的使能时间通常都低于存储器的典型存取时间，这就意味着由肖特基箝位系统译码器引入的有效系统延迟可以忽略。

对于 LS138、SN54S138 和 SN74S138A 系列来说，8 线中究竟选择哪个输出取决于 3 个二进制选择输入端和 3 个使能输入端的状态。器件外有 2 个低电平使能端和 1 个高电平使能端，这样在系统扩展时降低了对外加门电路或反相器的需求，不需要使用外部反相器就可以实现 24 线译码，只需使用 1 个反相器就可以实现 32 线译码。如果作为数据分配器，其中 1 个使能端可作为数据输入端。

所有这类译码器/分配器都采用全缓冲式输入，而所有输入都利用高性能肖特基二极管箝位来压缩线路循环及简化系统设计。

SN54LS138 和 SN54S138 是军用品，工作的温度范围为 -55℃～125℃；而 SN74LS138 和 SN74S138A 是民用品，工作的温度范围为 0℃～70℃。

图 B.44

SN54LS139A, SN54S139, SN74LS139A, SN74S139A

3-8 线译码器 / 分配器

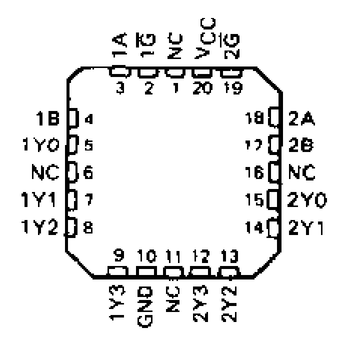
1972 年 12 月，1988 年 3 月修订

- 主要应用于高速场合：
  存储译码器
  数据传输系统
- 两个 2-4 线译码器 / 分配器是完全独立的
- 使用肖特基管箝位，提高了系统性能

SN54LS139A, SN54S139 . . . J 或 W 封装
SN74LS139A, SN74S139A . . . D 或 N 封装

引脚		引脚	
1G̅	1	16	VCC
1A	2	15	2G̅
1B	3	14	2A
1Y0	4	13	2B
1Y1	5	12	2Y0
1Y2	6	11	2Y1
1Y3	7	10	2Y2
GND	8	9	2Y3

SN54LS139A, SN54S139 . . . FK 封装



NC－无内部连接

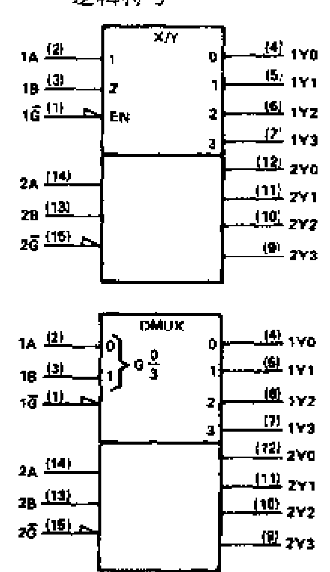
说明

该器件是肖特基箝位TTL MSI电路，可以缩短传输延迟时间，主要用于高性能存储器的译码和数据传递。在高性能存储系统中，这类译码器可以减小系统译码效应。当将其应用于带有快速使能电路的高速存储器中时，译码器的延迟时间和存储器的使能时间通常都低于存储器的典型存取时间。这就意味着由于肖特基箝位系统译码器而引入的有效系统延迟可以忽略。

一个封装内有两个独立的2-4线译码器。如果作为数据分配器，低电平有效的使能端可作为数据输入端。

所有这类译码器 / 分配器都是缓冲式输入，而所有输入都利用高性能肖特基二极管箝位来压缩线路循环及简化系统设计。SN54LS139A 和 SN54S139 是军用品，工作的温度范围为 -55℃～125℃；而 SN74LS139A 和 SN74S139A 是民用品，工作的温度范围为 0℃～70℃。

逻辑符号†



†该符号依据 ANSI/IEEE 标准 91-1984 和 IEC Publication 617-12，图示引脚数是对 D，J，N 和 W 封装而言的。

功能表（每一个锁存器）

输入			输出			
使能	选择					
G̅	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H－高电平，L－低电平，X－任意值

图 B.45

SN54147, SN54148, SN54LS147, SN54LS148, SN74147, SN74148 (TIM9907), SN74LS147, SN74LS148
10–4 线和 8–3 线优先编码器

1976 年 10 月，1988 年 3 月修订

'147，'LS147

- 将 10 线十进制数转换为 4 线 BCD 码
- 主要应用场合：

  键盘编码

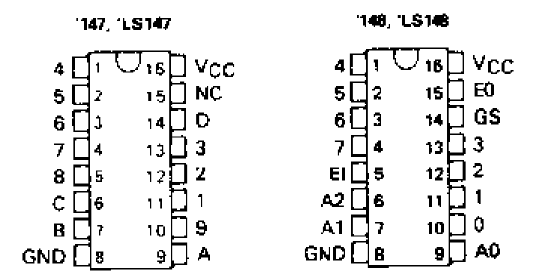
  范围选择：'148、'LS148
- 将 8 位数据转换为 3 线二进制数（八进制）
- 主要应用场合：

  N 位编码

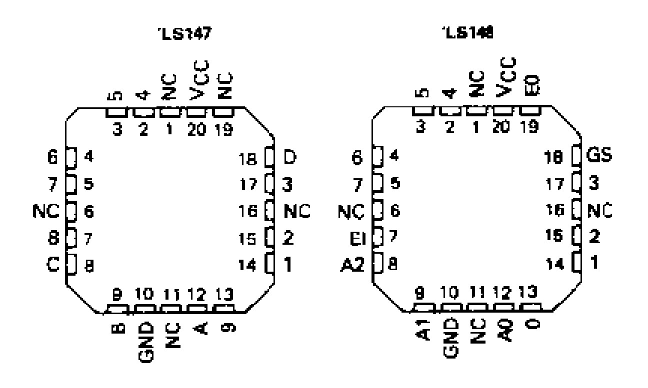
  代码转换和生成

类型	典型数据延迟时间	典型耗散功率
'147	10 ns	225 mW
'148	10 ns	190 mW
'LS147	15 ns	60 mW
'LS148	15 ns	60 mW

SN54147，SN54LS147，
SN54148，SN54LS148 . . . J 或 W 封装
SN74147，SN74148 . . . N 封装
SN74LS147，SN74LS148 . . . D 或 N 封装



SN54LS147，SN54LS148 . . . FK 封装



NC－无内部连接

说明

这类TTL编码器的特点是对所有进行优先译码的输入进行编码，以确保对优先级最高的数据线优先编码。'147 和'LS147 系列是将 9 根数据线编码为 4 线（8–4–2–1）BCD 码，当 9 根输入线都为逻辑高电平时意味着对十进制数 0 进行编码。'148 和 LS148 系列是将 8 根数据线转换为 3 线（4–2–1）二进制数（八进制数）。如果利用级联电路（允许 EI 输入，EO 输出），则不需要使用外加电路就可以实现八进制扩展。对所有类型来说，数据输入和输出都是低电平有效，所有输入都是缓冲式输入。

'147，'LS147 功能表

输入									输出			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H－高电平，L－低电平，X－任意值

'148，'LS148 功能表

输入									输出				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

图 B.46

SN54150, SN54151A, SN54LS151, SN54S151, SN74150, SN74151A, SN74LS151, SN74S151 数据选择器

1972年12月，1988年3月修订

- '150系列是16选1数据选择器
- 其他类型为8选1数据选择器
- 所有类型都实现并行－串行转换
- 所有类型都实现N选1功能
- 也可用做布尔函数发生器
- 输入箝位二极管简化了系统设计
- 和大多数TTL电路兼容

类型	典型平均传输延迟时间（数据输入到W输出）	典型耗散功率
'150	13 ns	200 mW
'151A	8 ns	145 mW
'LS151	13 ns	30 mW
'S151	4.5 ns	225 mW

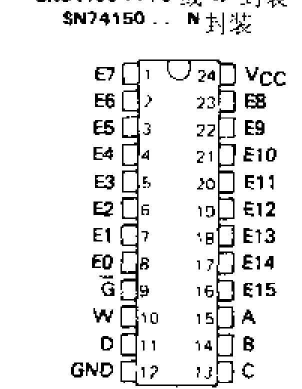
说明

此类数据选择器内部包含二进制译码器，用以选择所需的数据源。'150系列是16选1数据选择器，而'151A、'LS151和'S151系列是8选1数据选择器。'150、'151A、'LS151和'S151都有1个选通输入端，低电平有效，当选通端为高电平时，W输出高电平，而各Y输出端为低电平。

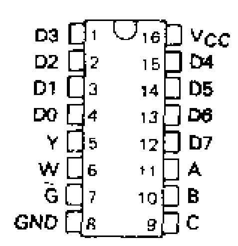
'150只有反相输出端W，而'151A、'LS151和'S151为互补输出W和Y。

'151A和'152A是带地址缓冲器的数据选择器，互补通道是对称的传输延迟时间，这样可以缩短输出的过渡过程。

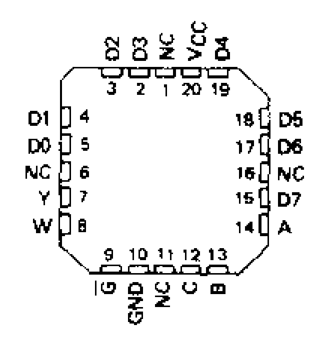
SN54150 . . . J或W封装
SN74150 . . . N封装



SN54151A, SN54LS151, SN54S151 . . . J或W封装
SN74151A . . . N封装
SN74LS151, SN74S151 . . . D或N封装



SN54LS151, SN54S151 . . . FK封装



NC－无内部连接

图B.47

SN54153, SN54LS153, SN54S153
SN74153, SN74LS153, SN74S153
双 4-1 线数据选择器

1972 年 12 月。1988 年 3 月修订

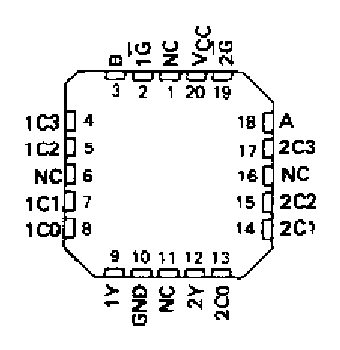
- 实现 N 选 1 功能
- 实现并行 - 串行数据转换
- 利用选通线可实现级联（N 线到 n 线）
- 高扇出、低阻态、推拉式输出
- 和大多数 TTL 电路兼容

SN54153, SN54LS153, SN54S153 . . . J 或 W 封装
SN74153 . . . N 封装
SN74LS153, SN74S153 . . . D 或 N 封装

引脚	名称	引脚	名称
1	1$\overline{G}$	16	V_{CC}
2	B	15	2$\overline{G}$
3	1C3	14	A
4	1C2	13	2C3
5	1C1	12	2C2
6	1C0	11	2C1
7	1Y	10	2C0
8	GND	9	2Y

类型	典型平均传输延迟时间 由数据输入到输出	由选通端到输出	由选择端到输出	典型耗散功率
'153	14 ns	17 ns	22 ns	180 mW
'LS153	14 ns	19 ns	22 ns	31 mW
'S153	6 ns	9.5 ns	12 ns	225 mW

SN54LS153, SN54S153 . . . FK 封装



NC- 无内部连接

说明

每个数据选择器包含反相器和驱动器，可为与 - 或门提供互补的二进制译码数据选择。每个数据选择器有独立的选通端。

功能表

选择输入 B	选择输入 A	数据输入 C0	C1	C2	C3	选通 $\overline{G}$	输出 Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

选择输入 A 和 B 是各部分的公用端

H- 高电平，L- 低电平，X- 任意值

工作温度范围内的绝对最大标称值

电源电压 V_{CC}（见注释 1）	7 V
输入电压 '153, 'S153	5.5 V
'LS153	7 V
工作环境温度范围 SN54'	-55°C ~ 125°C
SN74'	0°C ~ 70°C
存储温度范围	-65°C ~ 150°C

注释 1：电压值是以电路中的"地"为参考点而得到的。

图 B.48

SN54157, SN54LS157, SN54LS158, SN54S157, SN54S158, SN74157, SN74LS157, SN74LS158, SN74S157, SN74S158
四2-1线数据选择器

1974年3月，1988年3月修订

- 缓冲输入和输出
- 可提供3种速度/功率范围

类型	典型平均传输延迟时间	典型耗散功率
'157	9 ns	150 mW
'LS157	9 ns	49 mW
'S157	5 ns	250 mW
'LS158	7 ns	24 mW
'S158	4 ns	195 mW

应用

- 可扩充任一数据输入点
- 多路传输双数据总线
- 生成2个变量的4种功能（1个变量是公用的）
- 可编程源计数器

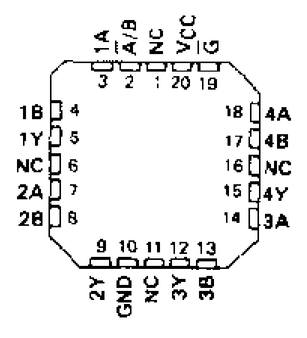
说明

此类数据选择器包含反相器和驱动器，为4个输出门电路提供完全的数据选择。每个选择器有独立的选通输入端 根据选择输入选择相应的4位字，将其传递到4个输出端。'157，'LS157和'S157系列是原码输出，而'LS158和'S158是反码输出，这样可减少数据传输延迟时间。

SN54157, SN54LS157, SN54S157, SN54LS158, SN54S158 . . J 或 W 封装
SN74157 . . . N 封装
SN74LS157, SN74S157, SN74LS158, SN74S158 . . D 或 N 封装

引脚	名称	引脚	名称
1	$\overline{A}$/B	16	VCC
2	1A	15	$\overline{G}$
3	1B	14	4A
4	1Y	13	4B
5	2A	12	4Y
6	2B	11	3A
7	2Y	10	3B
8	GND	9	3Y

SN54LS157, SN54S157, SN54LS158, SN54S158 . . FK 封装



NC-无内部连接

功能表

输入				输出Y	
使能 $\overline{G}$	选择 $\overline{A}$/B	A	B	'157, 'LS157, 'S157	'LS158 'S158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

选择输入A和B是各部分的公用端

H-高电平，L-低电平，X-任意值

工作温度范围内的绝对最大标称值

电源电压 VCC（见注释1）	7 V
输入电压 '157, 'S158	5.5 V
'LS157, 'LS158	7 V
工作环境温度范围 SN54'	-55°C ~ 125°C
SN74'	0°C ~ 70°C
存储温度范围	-65°C ~ 150°C

图B.49

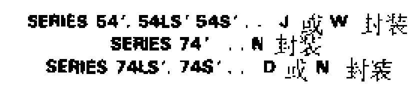
SN54160 THRU SN54163, SN54LS160A THRU SN54LS163A, SN54S162, SN54S163, SN74160 THRU SN74163, SN74LS160A THRU SN74LS163A, SN74S162, SN74S163
同步4位计数器

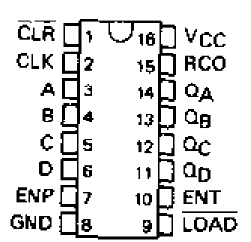
1976年10月、1988年3月修订

'160、'161、'LS160A、'LS161A...具有直接清零功能的同步计数器

'162、'163、'LS162A、'LS163A、'S162、'S163……全同步计数器

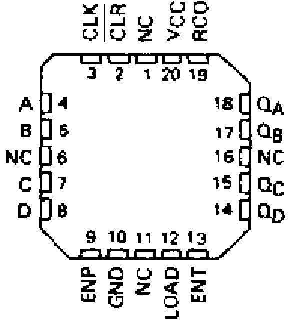
- 有内部超前电路、可实现快速计数
- 借助于进位输出可实现n位级联
- 同步计数
- 同步可编程
- 置数控制线
- 二极管箝位输入





NC－无内部连接

SERIES 54LS', 54S'... FK 封装



NC－无内部连接

类型	典型平均传输延迟时间（由时钟输入到Q输出）	典型最大时钟频率	典型耗散功率
'160～'163	14 ns	32 MHz	305 mW
'LS162A，'LS163A	14 ns	32 MHz	93 mW
'S162、'S163	9 ns	70 MHz	475 mW

说明

此类同步计数器带有预置数功能，内部有超前进位电路，可用于高速计数设计。'160，'162、'LS160A、'LS162A和'S162是十进制计数器，而'161、'163、'LS161A、'LS163A和'S163是4位二进制计数器。由于各触发器的时钟输入相同，在计数使能输入和内部门电路的作用下可得到同步输出。这种操作模式可消除异步计数器中的输出计数尖顶信号，但在（RCO）脉动进位输出时可能会产生计数尖顶信号。在时钟输入的上升沿，缓冲时钟输入触发4个触发器。

该计数器具有可编程性，即可对输出进行预置。当为同步预置时，即置数输入为低电平，且时钟上升沿到达时，输出状态为数据的输入状态。对于'160～'163系列，在状态转换或转换之前如果使能输入为高电平，时钟输入为低电平，要避免置数输入由低向高转换。而'LS160A～'LS163A、'S162或'S163系列没有这个限制。'160，'161，'LS160A和'LS161A是异步清零，在清零输入端输入低电平可使4个触发器复位，与时钟输入、置数输入和使能输入的状态无关。而'162、'163，'LS162A，'LS163A，'S162和'S163是同步清零，当清零输入为低电平，且下一个时钟脉冲到来后，4个触发器同时复位，与使能输入无关。这种同步清零使计数长度的改变简化，只要外加一与非门就可实现。将与非门的输出连接到清零输入端，可将计数器同步清零为0000（LLLL）。对'162和'163系列来说，在状态转换或转换之前，如果使能输入和置数输入都为高电平，时钟输入为低电平，要避免清零输入由低向高转换。

图B.50

SN54164, SN54LS164, SN74164, SN74LS164

8位并行输出串行移位寄存器

1974年3月，1988年3月修订

- 门控串行输入
- 全缓冲时钟和串行输入
- 异步清零

类型	典型最大时钟频率	典型耗散功率
'164	36 MHz	20 mW/位
'LS164	36 MHz	10 mW/位

说明

此类8位移位寄存器的特点是门控串行输入和异步清零。当两个串行输入或其中一个为低电平时，禁止输入新数据，并在下一个时钟上升沿到达时将移位寄存器的第一级复位到低电平。当高电平输入使能另一输入时，这个输入确定第一级触发器的状态，串行输入数据可在时钟高电平或低电平时发生变化，只有满足建立时间要求的信息才能输入。时钟在上升沿时进行移位。二进制箝位输入可以降低传输线效应。

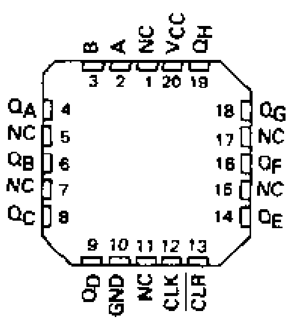
SN54164和SN54LS164是军用品，工作的温度范围为-55℃～125℃；而SN74164和SN74LS164是民用品，工作的温度范围为0℃～70℃。

SN54164, SN54LS164 . . . J或W 封装
SN74164 . . . N封装
SN74LS164 . . . D或N 封装

A	1	14	VCC
B	2	13	QH
QA	3	12	QG
QB	4	11	QF
QC	5	10	QE
QD	6	9	CLR
GND	7	8	CLK

NC－无内部连接

SN54LS164 . . . FK 封装



NC－无内部连接

功能表

输入				输出		
清零	时钟	A	B	Q_A	Q_B ...	Q_H
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

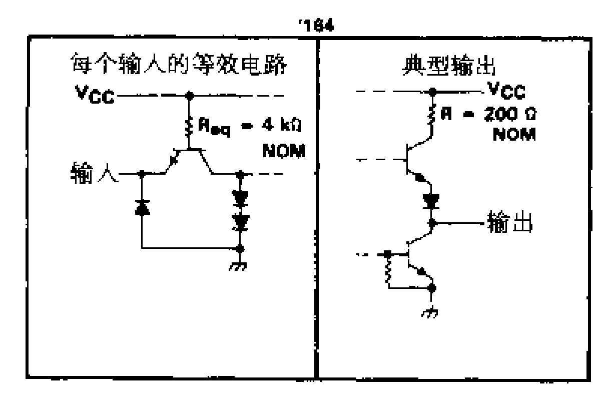
H＝高电平（稳态），L＝低电平（稳态），X＝任意值

↑＝上升沿，由低电平向高电平转换

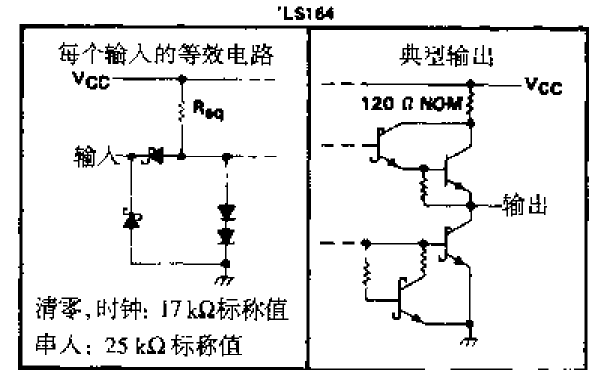
Q_{A0}，Q_{B0}，Q_{H0}＝分别表示Q_A、Q_B或Q_H的原态，即稳定输入建立前的状态

Q_{An}，Q_{Gn}＝最近的一个时钟脉冲上升沿到来前Q_A和Q_G的状态

'164



'LS164



图B.51

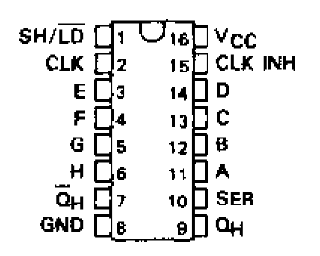
SN54165, SN54LS165A, SN74165, SN74LS165A
8位并行预置移位寄存器

1976年10月、1988年3月修订

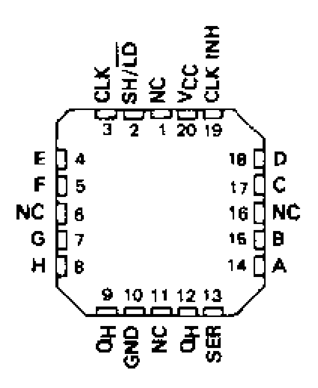
- 互补输出
- 直接优先置数（数据）输入
- 门控时钟输入
- 并行－串行数据转换

类型	典型最大时钟频率	典型耗散功率
'165	26 MHz	210 mW
'LS165A	35 MHz	90 mW

SN54165, SN54LS165A . . . J 或 W 封装
SN74165 . . . N 封装
SN74LS165A . . . D 或 N 封装



SN54LS165A . . . FK 封装



说明

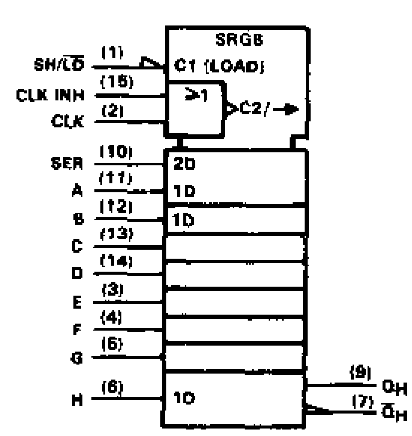
'165和'LS165A是8位串行移位寄存器，在时钟脉冲作用下，数据按照由Q_A到Q_H的方向移动。当移位/预置控制输入（SH/LD）为低电平时，将8位数据A～H并行置入。该移位寄存器还具有门控时钟输入和互补输出、采用二极管箝位输入可以降低传输线效应，因此简化了系统设计。

通过1个二输入正逻辑或非门完成时钟控制，其中一个输入端用于时钟禁止功能。当某一时钟输入为高电平时，则禁止另一时钟输入，寄存器保持原状态；其中有一个为低电平且移位/预置控制输入为高电平时，另一时钟输入有效。只有当时钟输入为高电平时，时钟禁止输入才可以变换为高电平。当移位/预置输入为高电平时，并行置数被禁止；当移位/预置输入为低电平时，将8位数据A～H直接送入寄存器内，与时钟、时钟禁止和串行输入状态无关。

功能表

输入					内部输出		输出
移/置控制	时钟禁止控制	时钟	串入	并入 A…H	$\overline{Q}_A$	$\overline{Q}_B$	Q_H
L	X	X	X	a…h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}

逻辑符号†



† 该符号依据ANSI/IEEE 标准91-1984和IEC Publication 617-12。图示引脚数是对D、J、N和W封装而言的。

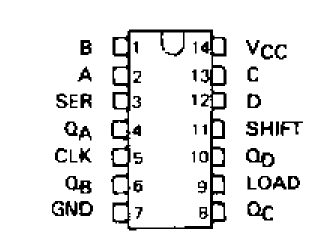
图 B.52

SN54178, SN74178
4位并行存取移位寄存器

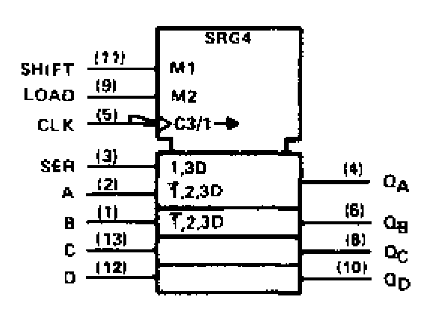
1972年12月，1988年3月修订

- 典型最大时钟频率为39 MHz
- 三种操作模式：
  同步并行置数
  右移
  保持
- 负边沿触发
- d-c耦合简化了系统设计

SN54178 . . . J 或 W 封装



逻辑符号†



† 该符号依据ANSI/IEEE标准91-1984和IEC Publication 617-12

说明

该类移位寄存器使用全d-c耦合存储单元，其特点是同步并入-并出。

移位输入为低电平且置数输入为高电平时，4位数据同步并行置入，并在时钟下降沿时同步到达输出端。在并行置数期间，禁止串行输入。

当移位输入为高电平时，在时钟脉冲的下降沿实现右移。这种模式下，串行数据送入串行数据输入端。

当移位和置数输入都为低电平时，时钟控制仍可继续，但工作模式改变，每一个输出反馈到触发器的输入端，从而保持输入不变。因此，此时系统时钟仍可自由运行，但不会影响寄存器的内容。

功能表

输入								输出			
移位控制	并行置数控制	时钟	串行	并行 A	并行 B	并行 C	并行 D	Q_A	Q_B	Q_C	Q_D
X	X	H	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
L	L	↓	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
L	H	↓	X	a	b	c	d	a	b	c	d
H	X	↓	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}
H	X	↓	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}

H＝高电平（稳态），L＝低电平（稳态），X＝任意值

↓＝由高电平向低电平转换

a，b，c，d＝分别为输入端A，B，C，D的稳态输入

Q_{A0}、Q_{B0}、Q_{C0}、Q_{D0}分别为Q_A、Q_B、Q_C、Q_D的原态，即稳定输入建立前的状态

Q_{An}、Q_{Bn}、Q_{Cn}分别为最近的一个时钟脉冲下降沿到来前，Q_A、Q_B和Q_C的状态

图B.53

SN54180, SN74180
9位奇偶产生器/校验器

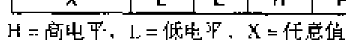
1972年12月。1988年3月修订

SN54180 . . . J 或 W 封装
SN74180 . . . N 封装

G 1	14 V_{CC}
H 2	13 F
EVEN 3	12 E
ODD 4	11 D
ΣEVEN 5	10 C
ΣODD 6	9 B
GND 7	8 A

功能表

输入			输出	
A到H中"H"的个数	偶数	奇数	偶数和	奇数和
偶数	H	L	H	L
奇数	H	L	L	H
偶数	L	H	L	H
奇数	L	H	H	L
X	H	H	L	L
X	L	L	H	H



说明

这种通用的9位（8个数据位和1个奇偶校验位）奇偶生成器/校验器为TTL电路，通过控制输入可以选择输出的状态。根据选择不同的校验，如奇数奇偶校验或偶数奇偶校验，奇、偶输入端既可作为奇偶位，也可作为第9位输入。通过级联可以很容易地实现字长的扩展。

SN54180/SN74180可以与其他TTL或DTL电路完全兼容。电路中有输入缓冲器，这样每一个数据输入只能表示一种标准54/74系列负载。当输出为低电平时，每个输出的全扇出系数为10；而当输出为高电平时，扇出系数为20。典型的耗散功率为170 mW。

SN54180是军用品，工作的温度范围为 -55℃ ~ 125℃；而SN74180是民用品，工作的温度范围为0℃ ~ 70℃。

工作温度范围内的绝对最大标称值

电源电压 V_{CC}（见注释1）		7 V
输入电压		5.5 V
工作环境温度范围	SN54180	−55°C ~ 125°C
	SN74180	0°C ~ 70°C
存储温度范围		−65°C ~ 150°C

注释1：电压值是以电路中的“地”为参考点而得到的。

推荐工作条件

	SN54180			SN74180			单位
	最小	标称	最大	最小	标称	最大	
电源电压，V_{CC}	4.5	5	5.5	4.75	5	5.25	V
高电平输出电流，I_{OH}			−800			−800	μA
低电平输出电流，I_{OL}			16			16	mA
工作环境温度，T_A	−55		125	0		70	°C

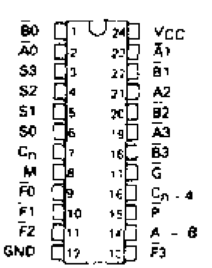
图 B.54

SN54LS181, SN54S181, SN74LS181, SN74S181
算术逻辑单元/函数发生器

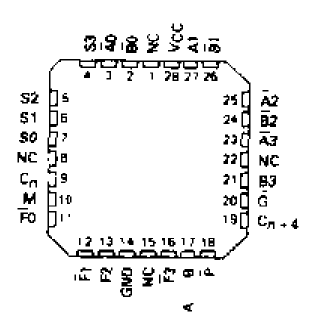
1972年12月。1988年3月修订

- 全超前进位、在字长比较长时可实现高速操作
- 输入箝位二极管降低了传输线效应
- 达林顿管输出降低了关闭时间
- 算术操作模式：
  加法
  减法
  移位
  数值比较
  其他12种算术操作
- 逻辑功能模式：
  异或
  比较器
  与、与非、或、或非
  其他10种逻辑操作

SN54LS181, SN54S181 . . . J 或 W 封装
SN74LS181, SN74S181 . . . DW 或 N 封装



SN54LS181, SN54S181 FK 封装



NC—无内部连接

位数	加法时间				ALU之间的进位方式
	使用'LS181和'LS182	使用'LS181和'LS182	算术/逻辑单元	超前进位发生器	
1 ~ 4	24 ns	11 ns	1		无
5 ~ 8	40 ns	18 ns	2		脉动
9 ~ 16	44 ns	19 ns	3或4	1	全超前
17 ~ 64	68 ns	28 ns	5 ~ 16	2 ~ 5	全超前

说明

'LS181和'S181是算术逻辑单元（ALU）/函数发生器，一块芯片上含有75个等效门电路。这种器件可以实现16种、两个4位字的二进制算术操作，包括加法、减法、递减和直接转换等，具体的操作模式由4根功能选择线（S0，S1，S2和S3）确定。实现算术操作时，必须在模式控制输入端（M）加低电平，使内部的进位位有效。使用两个级联输出（引脚15和17），根据全超前进位原理可以实现快速、同时进位。与SN54S182或SN74S182全超前进位电路连接，就可以进行高速算术运算。表中的典型加法时间是当使用全超前进位时不同字长的加法时间，在'S182的典型应用手册中介绍过，将'S182电路与ALU级联，可提供多级全超前进位。

如果不是高速应用场合，可使用脉动进位输入（C_n）和脉动进位输出（C_{n+4}）。由于脉动进位延迟已被最小化，所以无需外加电路即可实现较短字长的算术操作。

图B.55

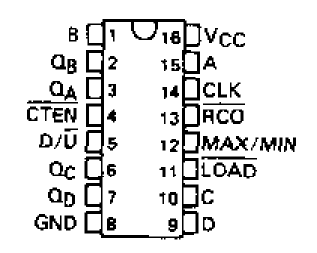
SN54190, SN54191, SN54LS190, SN54LS191, SN74190, SN74191, SN74LS190, SN74LS191
同步加/减计数器（带有加/减模式控制）

1972年12月，1988年3月修订

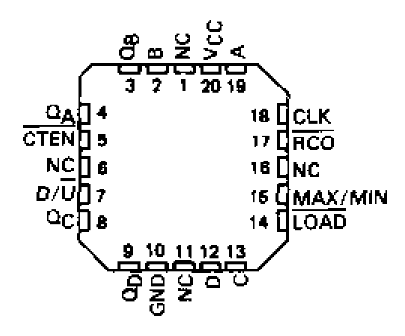
- 8-4-2-1 BCD码或二进制计数器
- 一根加/减计数控制线
- 计数使能控制输入
- 级联时的脉动时钟输出
- 异步预置，带有置数控制
- 并行输出
- 通过级联实现n位扩展

类型	平均传输延迟时间	典型最大时钟频率	典型耗散功率
'190、'191	20 ns	25 MHz	325 mW
'LS190，'LS191	20 ns	25 MHz	100 mW

SN54190，SN54191，SN54LS190，SN54LS191 . . . J封装
SN74190，SN74191 . . . N或 封装
SN74LS190，SN74LS191 . . . D N



SN54LS190，SN54LS191 . . FK封装



NC－无内部连接

说明

'190、'LS190，'191和'LS191是同步可逆加/减计数器，其内部有58个等效门电路。'19.和'LS191是4位二进制计数器，而'190和'LS190是BCD码计数器。这种同步计数器的同步操作是通过对所有触发器同时加时钟而实现的，消除了异步计数器中通常存在的输出计数尖峰信号问题。

当使能输入端为低电平时，4个主从触发器在时钟的上升沿输出，而当使能端为高电平时禁止计数。使能端电平状态的改变只能在时钟输入为高电平时进行。计数器计数的方向是由加/减控制端确定的，当其为低电平时，计数器执行加计数；而当其为高电平时，计数器执行减计数。加/减控制输入状态的改变应在时钟输入为高电平时进行，否则可能出现时钟错误。在置数脉冲过程中，如果时钟和使能输入都为低电平，同时加/减控制输入为高电平，这时可能出现脉动进位错误。

这种计数器是可编程的，即可通过置数输入的低电平，将输入数据A，B，C，D送到Q_A，Q_B，Q_C，Q_D输出端，进行预置数，与时钟输入无关。利用这个特点，只要使用预置输入修改计数长度，计数器便可作为模为N的除法器。

时钟、加/减和置数控制输入都为缓冲输入，可以降低驱动要求，例如，在要求为长的并行字时可以大大减少时钟驱动器的数目。

计数器有两个输出端可实现级联功能，这两个输出端分别为脉动时钟和最大/最小计数输出端。当计数器发生溢出或下溢时，最大/最小输出端输出一个高电平脉冲，其宽度约等于时钟周期；而脉动时钟输出端则输出一低电平脉冲，其宽度为时钟脉冲输入的低电平部分。在进行级联时，若使用并行时钟，则将脉动时钟输出送到下一级计数器的使能输入端；若使用并行使能，则将其送到下一级计数器的时钟输入端。高速应用时，可用最大/最小计数输出完成超前进位。

54'和54LS'系列是军用品，工作的温度范围为-55℃～125℃；而74'和74LS'系列是民用品，工作的温度范围为0℃～70℃。

图 B.56

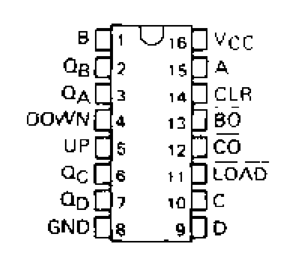
SN54192, SN54193, SN54LS192 SN54LS193, SN74192, SN74193, SN74LS192, SN74LS193
同步4位加/减计数器（带有清零端，双时钟控制）

1972年12月。1988年3月修订

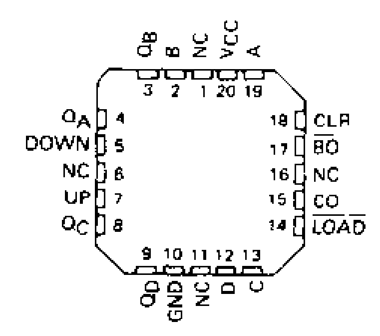
- 级联电路内部提供
- 同步操作
- 每个触发器的预置端独立
- 完全独立的清零输入端

类型	典型最大计数频率	典型耗散功率
'192、'193	32 MHz	325 mW
'LS192、'LS193	32 MHz	95 mW

SN54192, SN54193, SN54LS192, SN54LS193 . . J 或 W 封装
SN74192, SN74193 　N 封装
SN74LS192, SN74LS193 . 　D 或 N 封装



SN54LS192, SN54LS193 . 　FK 封装



NC—无内部连接

说明

此类电路是同步可逆（加/减）计数器，其内部可以等效为55个门电路。'192和'LS192是BCD码计数器，而'193和'LS193是4位二进制计数器，这种同步计数器的同步操作是通过对所有触发器同时加时钟而实现的，消除了异步计数器中通常存在的输出计数尖峰信号问题。

4个主从触发器在计数（时钟）脉冲的上升沿输出，计数器有两个计数输入端，计数方向取决于计数脉冲所加的输入端，此时另一计数输入端加高电平。

这种计数器是可编程的，即可通过置数输入的低电平，将输入数据A，B，C，D送到Q_A、Q_B，Q_C，Q_D输出端，进行预置数，与时钟输入无关。利用这个特点，只要使用预置输入修改计数长度，计数器便可作为模为N的除法器。

电路有清零输入端，当其为高电平时，使所有输出为0，与时钟和置数输入无关。清零、计数和置数输入都为缓冲输入，可以降低驱动要求。例如，在要求为长的并行字时可以大大减少时钟驱动器的数目。

此类计数器不需要外加电路就可以实现级联。计数器有借位及进位这两个输出端，以便将加计数功能和减计数功能级联起来。当计数器发生下溢时，便产生一个借位脉冲，其宽度等于减计数输入；同样，当计数器出现溢位时，便产生一个进位脉冲，其宽度等于加计数输入。因此，只要将借位和进位输出分别连到下一级计数器的减计数和加计数输入端，即可很容易地实现级联。

工作环境温度范围内的绝对最大标称值

	SN54'	SN54LS'	SN74'	SN74LS'	单位
电源电压，V_{CC}（见注释1）	7	7	7	7	V
输入电压	5.5	7	5.5	7	V
工作环境温度范围	−55 ~ 125		0 ~ 70		℃
存储温度范围	−65 ~ 150		−65 ~ 150		℃

注释1：电压值是以电路中的“地”为参考点得到的。

图B.57

SN54194, SN54LS194A, SN54S194, SN74194, SN74LS194A, SN74S194
4位通用双向移位寄存器

1974年3月，1988年3月修订

- 并行输入和输出
- 4种操作模式
- 同步并行置数
  右移
  左移
  保持
- 正边沿触发
- 直接优先清零

类型	典型最大时钟频率	典型耗散功率
'194	36 MHz	195 mW
'LS194A	36 MHz	75 mW
'S194	105 MHz	425 mW

说明

此类双向移位寄存器具有多种功能，其内部可等效为46个门电路，可实现并入、并出、右移、左移、操作模式控制和直接优先清零功能。该寄存器有4种操作模式，分别为：

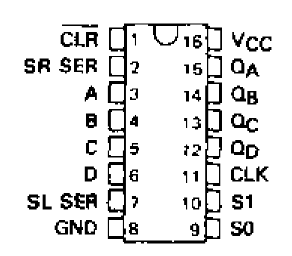
时钟禁止（保持）
右移（方向为由 Q_A 到 Q_D）
左移（方向为由 Q_D 到 Q_A）
并行置数

当模式控制端S0和S1都为高电平时，可实现同步并行置数。此时，输入数据送入相应触发器中，在时钟输入的正边沿到来时送到输出端。在并行置数时，串行数据是禁止的。

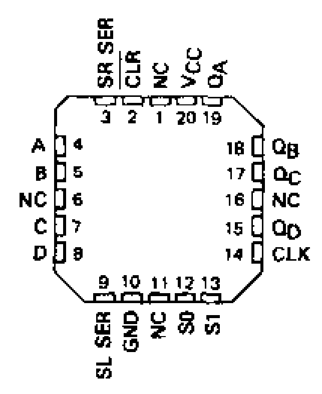
当S0为高电平，S1为低电平时执行右移操作，在时钟脉冲的上升沿到来时，完成同步右移。在这种工作模式下，串行数据送入右移数据输入端；而当S0为低电平，S1为高电平时，完成同步左移，串行数据送入左移数据输入端。

当两个模式控制端都为低电平时，时钟输入禁止，寄存器工作在保持模式下。

SN54194, SN54LS194A, SN54S194 . . . J 或 W 封装
SN74194 . . . N 封装
SN74LS194A, SN74S194 . . . D 或 N 封装

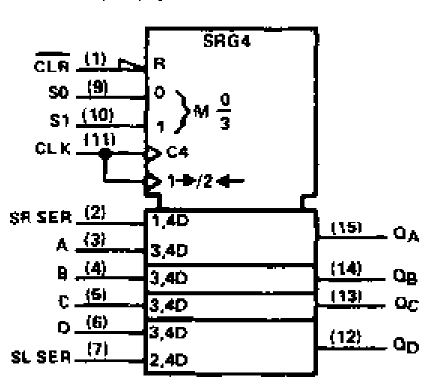


SN54LS194A, SN54S194 . . . FK 封装



NC-无内部连接

逻辑符号†



† 该符号依据ANSI/IEEE 标准 91-1984 和 IEC Publication 617-12。图示引脚数是对D，J，N和W封装而言的。

图 B.58

SN54198, SN54199 SN74198, SN74199

8位移位寄存器

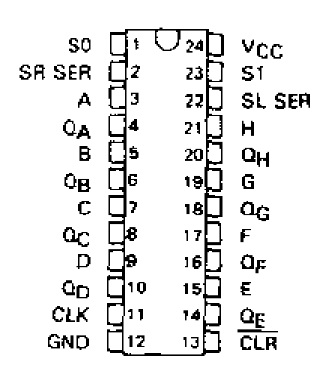
1972年12月，1988年3月修订

说明

该8位移位寄存器可与大多数TTL和MSI逻辑电路兼容；采用缓冲输入可以降低对标准54/74系列负载的驱动要求，输入箝位二极管可以缩短转换的过渡过程，从而简化系统设计，典型最大输入时钟频率为35 MHz，典型功率耗散值是360 mW。

54系列器件是军用品，工作的温度范围为−55℃～125℃；而74系列器件是民用品，工作的温度范围为0℃～70℃。

SN54198 . . . J 或 W 封装
SN74198 . . . N 封装



SN54198和SN74198

这类双向移位寄存器具有多种功能，其内部可等效为87个门电路，可实现并入、并出、右移、左移、操作模式控制和直接优先清零功能，该寄存器有4种操作模式，分别为：

时钟禁止（保持）
右移（方向为由 Q_A 到 Q_H）
左移（方向为由 Q_H 到 Q_A）
并行置数

当模式控制端S0和S1都为高电平时，可实现同步并行置数。此时，输入数据送入相应触发器中，在时钟输入的正边沿到来时送到输出端。在并行置数时，串行数据是禁止的。

当S0为高电平，S1为低电平时执行右移操作，在时钟脉冲的上升沿到来时，完成同步右移。在这种工作模式下，串行数据送入右移数据输入端；而当S0为低电平，S1为高电平时，完成同步左移，串行数据送入左移数据输入端。

当两个模式控制端都为低电平时，时钟输入禁止，寄存器工作在保持模式下。

'198功能表

输入							输出			
$\overline{清除}$	模式		时钟	串行		并行	Q_A	Q_B …	Q_G	Q_H
	S_1	S_0		左	右	A…H				
L	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	Q_{A0}	Q_{B0}	Q_{G0}	Q_{H0}
H	H	H	↑	X	X	a…h	a	b	g	h
H	L	H	↑	X	H	X	H	Q_{An}	Q_{Fn}	Q_{Gn}
H	L	H	↑	X	L	X	L	Q_{An}	Q_{Fn}	Q_{Gn}
H	H	L	↑	H	X	X	Q_{Bn}	Q_{Cn}	Q_{Hn}	H
H	H	L	↑	L	X	X	Q_{Bn}	Q_{Cn}	Q_{Hn}	L
H	L	L	X	X	X	X	Q_{A0}	Q_{B0}	Q_{G0}	Q_{H0}

H＝高电平（稳态），L＝低电平（稳态），X＝任意值

↑＝电平由低向高转换

a ... h ＝分别为输入端 A ... H 的状态值

Q_{A0}，Q_{B0}，Q_{G0}，Q_{H0}＝分别为 Q_A，Q_B，Q_G 或 Q_H 的原态，即在指定稳定输入条件建立前的状态

Q_{An}，Q_{Bn} 等＝最近一个时钟脉冲上升沿到来前，Q_A，Q_B 的状态

图 B.59

SN54LS242, SN54LS243, SN74LS242, SN74LS243

四总线收发器

1985年4月、1988年3月修订

- 数据总线间为双向异步通信
- PNP输入降低了D-C负载
- 输入端的磁滞（典型值为400 mV）提高了噪声容限

SN54LS242, SN54LS243 . . . J 或 W 封装
SN74LS242, SN74LS243 . . . D 或 N 封装

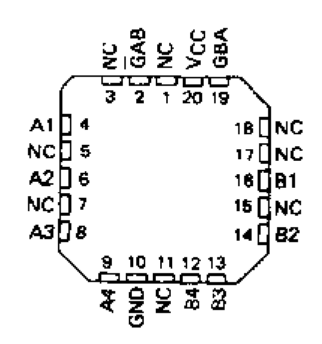
引脚		引脚	
$\overline{GAB}$	1	14	VCC
NC	2	13	GBA
A1	3	12	NC
A2	4	11	B1
A3	5	10	B2
A4	6	9	B3
GND	7	8	B4

说明

这种4数据线收发器用于数据总线间的异步双向通信。SN74LS用于驱动阻值下至133 Ω的端接线。

SN54系列是军用品，工作的温度范围为-55℃～125℃；而SN74'系列是民用品，工作的温度范围为0℃～70℃。

SN54LS242, SN54LS243 . . . FK封装



NC－无内部连接

功能表（每个收发器）

$\overline{GAB}$	GBA	'LS242	'LS243
L	L	$\overline{A}$ → B	A → B
H	H	$\overline{B}$ → A	B → A
H	L	隔离	隔离
L	H	锁存A和B (A = $\overline{B}$)	锁存A和B (A = B)

输入和输出原理图

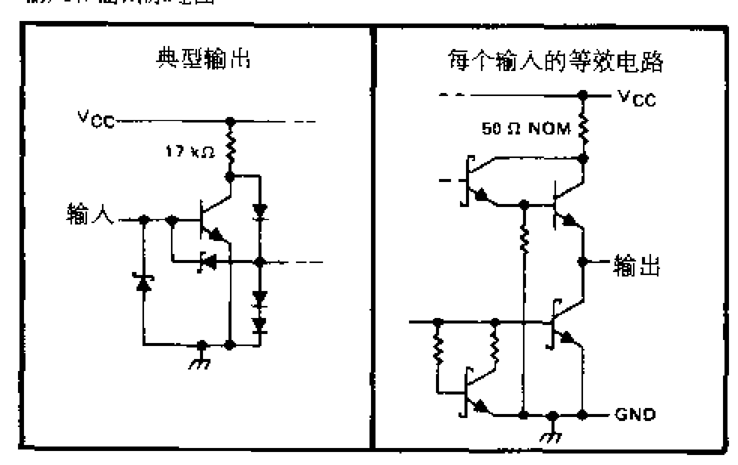


图 B.60

SN54LS245, SN74LS245

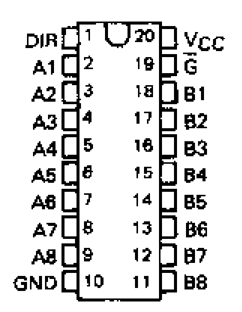
带有3态输出的八总线收发器

1976年10月，1988年3月修订

- 双向总线收发器，高集成度、20引脚封装，3态输出直接驱动总线
- PNP输入减小了总线上的D-C负载
- 总线输入端的磁滞提高了噪声容限
- 典型传输延迟时间为8 ns（端口对端口）

类型	I_{OL}（吸收电流）	I_{OH}（源电流）
SN54LS245	12 mA	-12 mA
SN74LS245	24 mA	-15 mA

SN54LS245 . . J或W封装
SN74LS245 . . DW或N封装



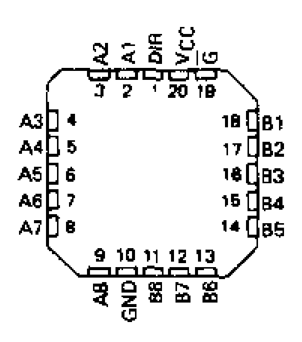
说明

此类八总线收发器用于数据总线间的异步双向通信。控制功能的实现使外部的时限要求最小化。

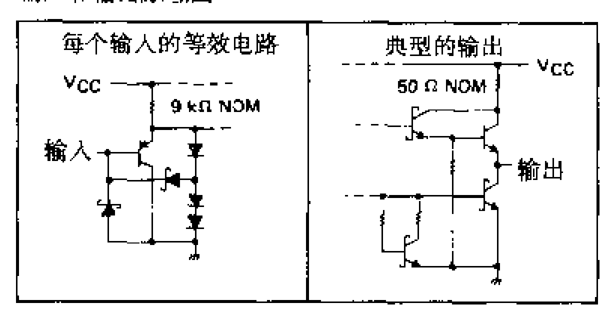
根据方向控制输入端（DIR）的逻辑状态不同，数据可由A总线向B总线传递，也可由B总线向A总线传输。使能输入端（$\bar{G}$）可以禁止器件工作，从而将总线有效隔离。

SN54LS245是军用品，工作的温度范围为-55℃～125℃；而SN74LS245是民用品，工作的温度范围为0℃～70℃。

SN54LS245 . . FK封装



输入和输出原理图



功能表

使能 $\bar{G}$	方向控制	操作
L	L	B的数据到A总线
L	H	A的数据到B总线
H	X	隔离

H＝高电平，L＝低电平，X＝任意值

图B.61

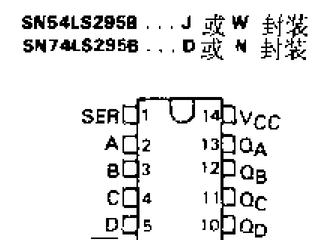
SN54LS295B, SN74LS295B

带有3态输出的4位双向移位寄存器

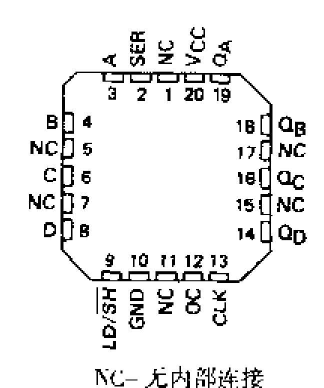
1976年10月 1988年3月修订

- TLS295B吸收电流的能力是TLS295A的3倍
- 肖特基箝位晶体管
- 功耗低，典型值为80 mW
- 应用于：
  N位串－并行转换器
  N位并－串行转换器
  N位存储寄存器

SN54LS295B . . . J 或 W 封装
SN74LS295B . . . D 或 N 封装

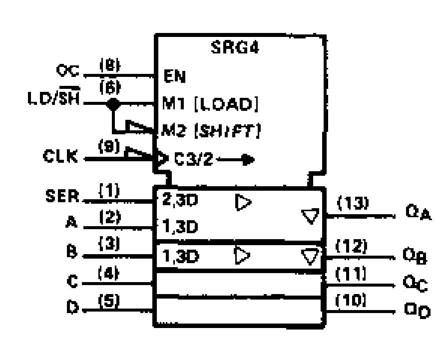


SN54LS295B . . FK 封装



NC－无内部连接

逻辑符号[†]



[†]该符号依据ANSI/IEEE 标准 91－1984和IEC Publication 617－12。

图示引脚数是对D、J、N和W封装而言的。

说明

此类双向移位寄存器有并入、并出、时钟（CLK）、串行（SER）、模式（LD/SH）及输出控制（OC）引脚。该寄存器有3种操作模式，分别为：

并行置数
右移（方向为由 Q_A 到 Q_D）
左移（方向为由 Q_D 到 Q_A）

当模式控制输入端为高电平时，可实现并行置数。此时，输入数据送入相应触发器中，在时钟输入的负边沿到来后送到输出端。并行置数时，串行数据输入是禁止的。

当输出控制端为高电平时，4个输出为标准逻辑电平值，用以驱动负载或数据总线。当输出控制端为低电平时，输出被禁止，与时钟输出无关。此时输出为高阻态，既不能带动负载，也不能驱动数据总线，然而寄存器的时序操作并不受影响。

SN54LS295B是军用品，工作的温度范围为－55℃～125℃；而SN74LS295B是民用品，工作的温度范围为0℃～70℃。

图 B.62

SN54390, SN54LS390, SN54393, SN54LS393, SN74390, SN74LS390, SN74393, SN74LS393
双4位译码及二进制计数器

1976年10月，1988年3月修订

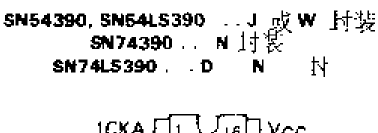
- 等效于两个通用'90A、'LS90和'93A、'LS93
- '390、'LS390：同时钟A和B端分别送入时钟脉冲可实现二进制和五进制计数
- '393、'LS393：带有独立时钟的双4位二进制计数器
- 每一个4位计数器都有直接清零端
- 通过降低计数器封装数50%，此类双4位计数器显著提高了系统集成度
- 典型最大计数频率为35 MHz
- 缓冲输出降低了集电极换向的可能性

说明

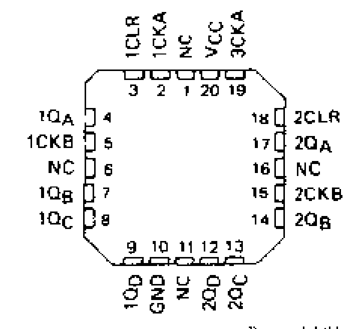
此类电路包含8个主从触发器和一些附加的门电路，在一个封装内实现了两个独立的4位计数器。'390和'LS390将两个二进制计数器和两个五进制计数器合并在一起，可用其实现计数长度为2，4，5，10，20，25，50及100的计数。当将其连接为二-五混合进制计数器时，独立的二进制电路可用于产生矩形波。'393和'LS393包含两个独立的4位二进制计数器，每个计数器有一个清零端和一个时钟输入端。每一个封装的计数容量为256，所以多个连接可以实现N位二进制计数。'390，'LS390，'393和'LS393都有并行输出口，所有输入计数频率的任一个分谐波都可作为系统时钟信号。

54和54LS系列是军用品，工作的温度范围为-55℃～125℃；而74和74LS系列是民用品，工作的温度范围为0～70℃。

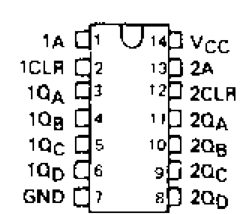
SN54390, SN54LS390 . . . J 或 W 封装
SN74390 . . . N 封装
SN74LS390 . . . D 或 N 封装



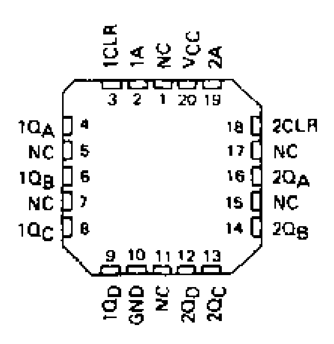
SN54LS390 . . . FK 封装



SN54393, SN54LS393 . . . J 或 W 封装
SN74393 . . . N 封装
SN74LS393 . . . D 或 N 封装



SN54LS393 . . . FK 封装



NC－无内部连接

图B.63

附录C　IEEE 标准综述（91-1984）逻辑符号说明

F. A. Mann 半导体组

1.0　绪论

国际电工委员会（International Electrotechnical Commission，IEC）开发了一套非常有效的符号系统，利用它可以明确地表示数字逻辑电路中输入与输出之间的关系。该系统的核心部分是相关性符号，将在第 4 节详细说明。

美国在 IEEE/ANSI 标准 Y32.14-1973 中曾介绍了该系统的雏形。由于没有完全开发相关的标记法，它只是利用不同形状的图形来表示与、或、非这些基本的逻辑功能。

国际上，IEC 技术委员会 TC-3 的第二工作组将始于 20 世纪 60 年代中期的初期工作与 1972 年的出版物（出版号 117-15）结合起来，出版了一份新的文件（出版号 617-12），此后又做了一些修正和补充。与此类似，IEEE 委员会 SCC 11.9 也重新修订了出版物 IEEE Std 91/ANSI Y32.14，目前它的编号为 IEEE Std 91-1984，IEEE 标准包含所有的 IEC 内容。Texas Instruments 公司参与了该项工作的组织和推广。

下面对这一新的符号系统进行了简要的说明，目地是更好地理解用于不同数据表中的符号，并对逻辑图、功能图或功能表中的符号进行比较。

2.0　符号组成

一个完整的符号通常由方框与多个定性符号组成。通常，方框不足以说明某个单元的功能，如图 1，利用通用定性符号可确定该单元实现的逻辑功能。表 1 列出了新标准中定义的总定性符号。输入线在方框图的左侧，输出线在方框图的右侧，但有时也会有例外，如图 11 所示，这时需要用箭头标明信号的流向。

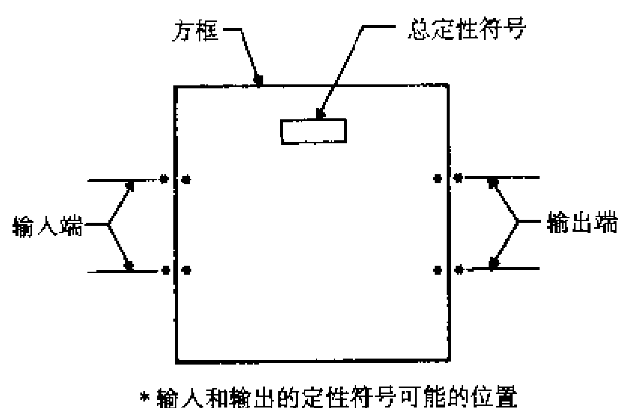


图 1　符号组成

通常，单个单元的全部输出的内部逻辑状态相同，而内部逻辑状态是由该单元的功能确定的。但也有例外，这时由关联的定性符号或单元内的标识符来指示。

各单元的方框可以彼此毗连，也可以嵌入。如果是后一种情况，则需要遵循下面的约定：当方框上的公用线与信号流的方向一致时，各单元间没有逻辑连接；如果公用线垂直于信号流的方向，则各单元间至少有一个逻辑连接。通过使用定性符号，可以确定单元间逻辑连接的数目，后面会讨论到这种情况。如果在公用线上没有特别说明，那就只有一个连接。

如果电路中有一个或多个公共输入端，就需要使用公共控制模块。在IEC系统中，它的方框表示与众不同，如图2所示。如果没有相关注释，公共控制模块的输入是该模块下面所有单元的公共输入。

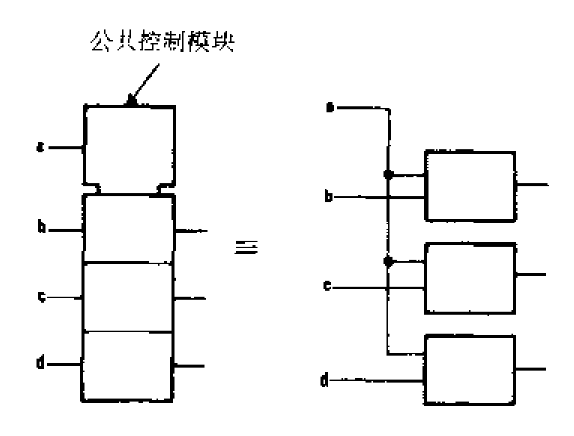


图2 公共控制模块

由阵列中所有单元确定的输出为公共输出。如图3所示，公共输出单元的输出表示公共输出，它的顶端为两根线。此外，公共输出单元还可以有其他的输入。公共输出单元的功能必须由总定性符号说明。

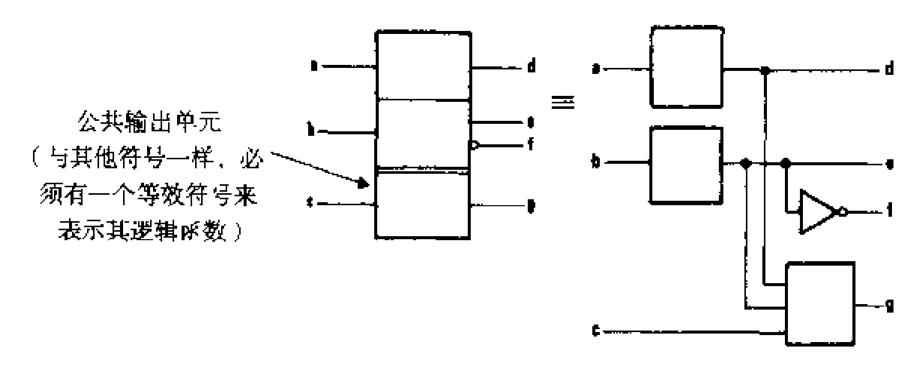


图3 公共输出单元

3.0 定性符号

3.1 总定性符号

表1所示是IEEE标准91所定义的总定性符号。这些定性符号通常位于方框的上部中心或几何中心，用以确定方框图所代表器件的基本功能。

3.2 与输入和输出有关的定性符号

表2所示是与输入和输出有关的定性符号，除了逻辑极性和模拟信号的指示符外，大多数都是用户所熟悉的定性符号。过去的逻辑非符号表示外部输入0在内部取反为1，而内部的1态为有效

状态。逻辑非可用于逻辑图中，由于在正逻辑（1 = H，0 = L）和负逻辑（1 = L，0 = H）系统中，1和0所对应的电平状态不同，所以在确定1和0的对应状态时，必须事先给定采用的逻辑系统。而目前在不同器件的数据表中都使用了逻辑极性指示符，其中的三角形极性符号表示外部输入的低电平状态在内部生成逻辑1（有效状态）；而在输出端，内部的逻辑1产生的是低电平输出。读图时要注意，在正逻辑或负逻辑系统中动态输入转换的有效方向及其相关的极性指示符。

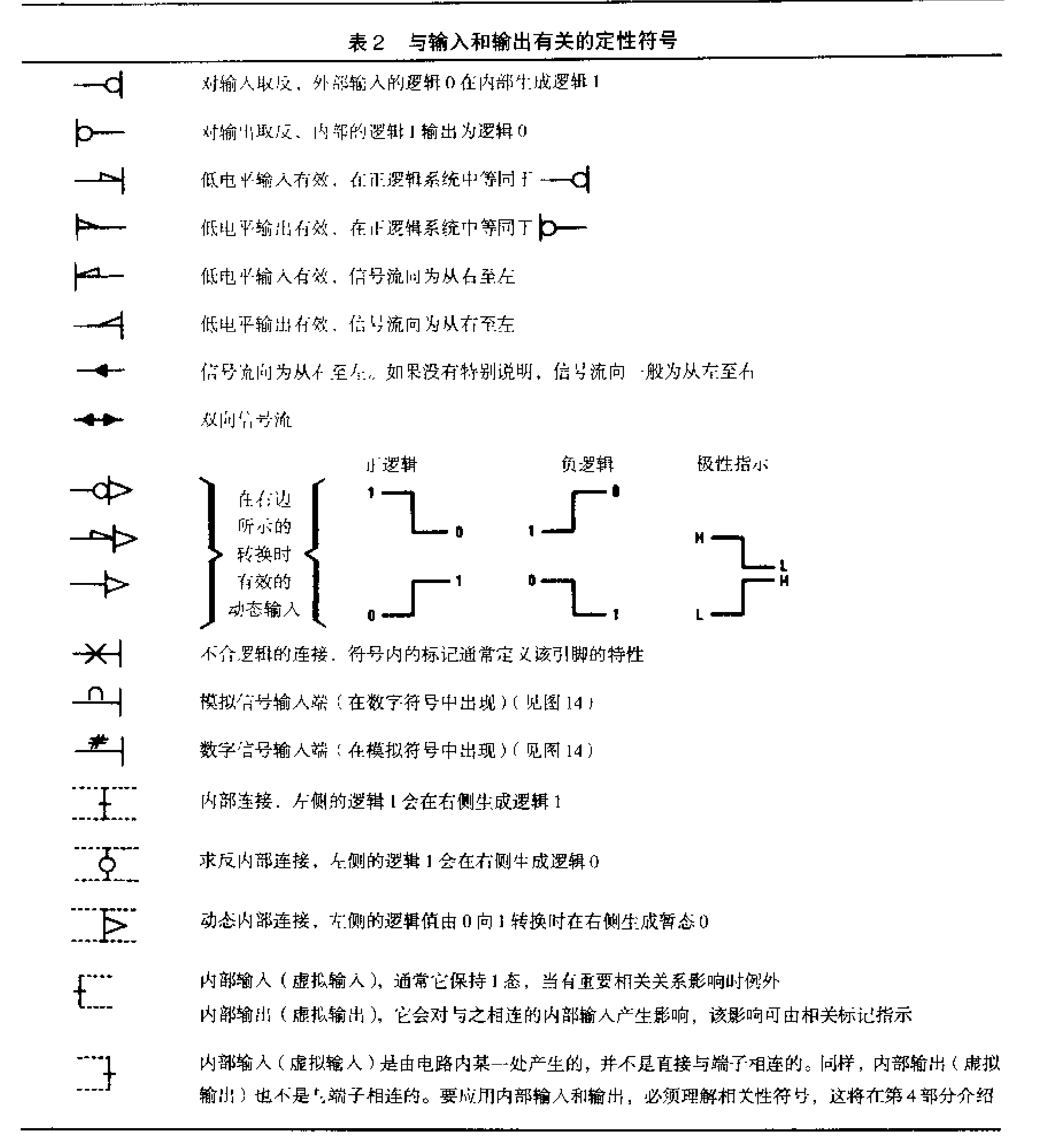
表1　总定性符号

符号	说明	CMOS 例子	TTL 例子
&	与门或与操作	'HC00	SN7400
≥1	或门或或操作：为了使输出有效，至少需要一个输入有效	'HC02	SN7402
=1	异或：为了使输出有效，有且只能有一个输入有效	'HC86	SN7486
=	逻辑相等：所有输入状态必须相同	'HC86	SN74180
2k	必须有偶数个输入有效	'HC280	SN74180
2k + 1	必须有奇数个输入有效	'HC86	SN74ALS86
1	一个输入必须有效	'HC04	SN7404
▷或◁	输出容量大于标准容量的缓冲器或逻辑单元（符号指向为信号流向）	'HC240	SN74S436
⎍	施密特触发器：带有滞后现象的逻辑单元	'HC132	SN74LS18
X/Y	编码器，译码器（DEC/BCD，BIN/OUT，BIN/7-SEG，等等）	'HC42	SN74LS347
MUX	多路转换器 / 数据选择器	'HC151	SN74150
DMUX 或 DX	数据分配器	'HC138	SN74138
Σ	加法器	'HC283	SN74LS385
P–Q	减法器	*	SN74LS385
CPG	超前进位发生器	'HC182	SN74182
π	乘法器	*	SN74LS384
COMP	数值比较器	'HC85	SN74LS682
ALU	算术逻辑单元	'HC181	SN74LS381
⎍	可重复触发的单稳态触发器	'HC123	SN74LS422
1⎍	只能一次触发的单稳态触发器	'HC221	SN74121
G⎍⎍	多谐振荡器，图中的波形是可任选的	*	SN74LS320
!G⎍⎍	同步启动多谐振荡器	*	SN74LS624
G!⎍	多谐振荡器，由结束脉冲停止工作	*	*
SRGm	移位寄存器，m = 位数	'HC164	SN74LS595
CTRm	计数器，m = 位数，周期长度 = 2^m	'HC590	SN54LS590
CTR DIVm	计数器，周期长度 = m	'HC160	SN74LS668
RCTRm	异步（脉动进位）计数器，周期长度 = 2^m	'HC4020	*
ROM	只读存储器	*	SN74187
RAM	随机存取读 / 写存储器	'HC189	SN74170
FIFO	先进先出存储器	*	SN74LS222
I = 0	加电复位逻辑单元	*	SN74AS877
I = 1	加电置位逻辑单元	'HC7022	SN74AS877
Φ	非常复杂的功能；“黑箱子”符号	*	SN74LS608

* TI公司的CMOS或TTL数据表中并没有全部使用这些定性符号。

逻辑单元间的内部连接可用表2中的符号表示。根据公共线两侧的定性符号可以确定每一个逻辑连接。当可能发生连接数目混淆时，可以使用一个内部连接符号。

表2 与输入和输出有关的定性符号



符号	说明
	对输入取反，外部输入的逻辑0在内部生成逻辑1
	对输出取反，内部的逻辑1输出为逻辑0
	低电平输入有效，在正逻辑系统中等同于
	低电平输出有效，在正逻辑系统中等同于
	低电平输入有效，信号流向为从右至左
	低电平输出有效，信号流向为从右至左
	信号流向为从右至左。如果没有特别说明，信号流向一般为从左至右
	双向信号流
	在右边所示的转换时有效的动态输入（正逻辑；负逻辑；极性指示）
	不含逻辑的连接，符号内的标记通常定义该引脚的特性
	模拟信号输入端（在数字符号中出现）（见图14）
	数字信号输入端（在模拟符号中出现）（见图14）
	内部连接，左侧的逻辑1会在右侧生成逻辑1
	求反内部连接，左侧的逻辑1会在右侧生成逻辑0
	动态内部连接，左侧的逻辑值由0向1转换时在右侧生成暂态0
	内部输入（虚拟输入），通常它保持1态，当有重要相关关系影响时例外 内部输出（虚拟输出），它会对与之相连的内部输入产生影响，该影响可由相关标记指示
	内部输入（虚拟输入）是由电路内某一处产生的，并不是直接与端子相连的。同样，内部输出（虚拟输出）也不是与端子相连的。要应用内部输入和输出，必须理解相关性符号，这将在第4部分介绍

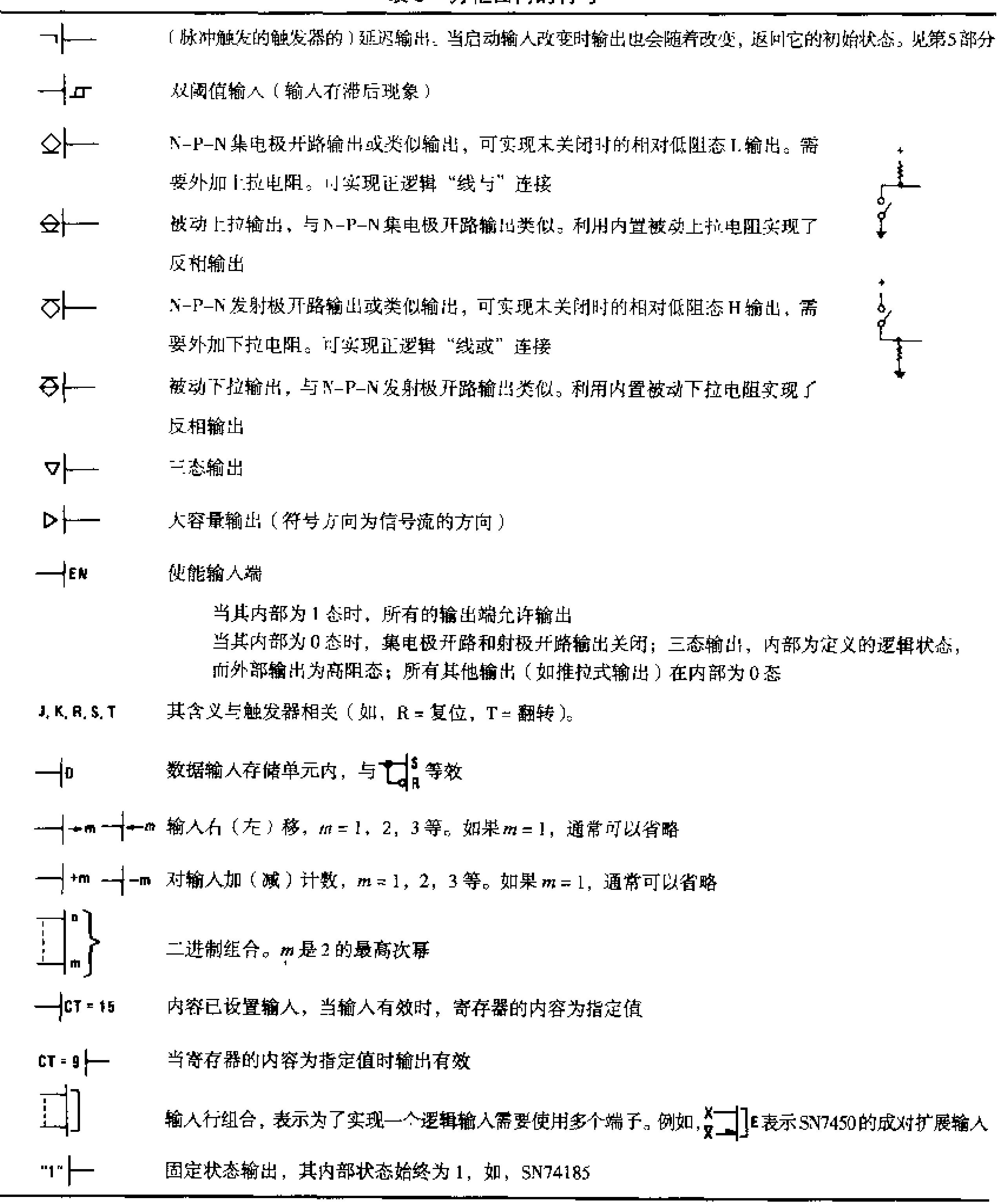
在单元阵列中，如果所有单元的输入、输出定性符号都相同，通常只在第一个单元上标出定性符号，这样可以减少混乱、节省辨别时间。类似地，如果有多个相同的大型单元，每一个又可以分为许多个小单元，那么这些大型单元就用一个完整的方框图表示。

3.3 方框图内的符号

表3所示的是用于方框图内的一些符号。需要注意的是，集电极开路（漏极开路）、射极开路（源极开路）和三态输出的表示符号很特别。同时也可以看到，如果电路中没有特别的标注，则表示EN（使能）输入会影响电路中的所有输出，对输入却没有作用。当使能输入只影响某些输出并/

或影响一个或多个输入时，就需要使用相关性符号（见4.9节）。表中还列出了EN输入对不同类型输出的作用。

表3 方框图内的符号



符号	说明
¬├	（脉冲触发的触发器的）延迟输出。当启动输入改变时输出也会随着改变，返回它的初始状态。见第5部分
─┤⎍	双阈值输入（输入有滞后现象）
◇├	N-P-N集电极开路输出或类似输出，可实现未关闭时的相对低阻态L输出。需要外加上拉电阻。可实现正逻辑“线与”连接
◇├	被动上拉输出，与N-P-N集电极开路输出类似。利用内置被动上拉电阻实现了反相输出
◇├	N-P-N发射极开路输出或类似输出，可实现未关闭时的相对低阻态H输出，需要外加下拉电阻。可实现正逻辑“线或”连接
◇├	被动下拉输出，与N-P-N发射极开路输出类似。利用内置被动下拉电阻实现了反相输出
▽├	三态输出
▷├	大容量输出（符号方向为信号流的方向）
─┤EN	使能输入端 当其内部为1态时，所有的输出端允许输出 当其内部为0态时，集电极开路和射极开路输出关闭；三态输出，内部为定义的逻辑状态，而外部输出为高阻态；所有其他输出（如推拉式输出）在内部为0态
J, K, R, S, T	其含义与触发器相关（如，R = 复位，T = 翻转）。
─┤D	数据输入存储单元内，与 S R 等效
─┤→m ─┤←m	输入右（左）移，$m = 1, 2, 3$ 等。如果 $m = 1$，通常可以省略
─┤+m ─┤−m	对输入加（减）计数，$m = 1, 2, 3$ 等。如果 $m = 1$，通常可以省略
0 … m }	二进制组合。m 是2的最高次幂
─┤CT = 15	内容已设置输入，当输入有效时，寄存器的内容为指定值
CT = 9├	当寄存器的内容为指定值时输出有效
⌊⌋	输入行组合，表示为了实现一个逻辑输入需要使用多个端子。例如，X X̄ E 表示SN7450的成对扩展输入
"1"├	固定状态输出，其内部状态始终为1，如，SN74185

尤其需要提出的是，D输入通常是指存储单元的数据输入。当内部为1态时，D输入将存储单元置位为1；而当内部为0态时，D输入将存储单元复位为0。

有关二进制组合符号将在第8部分详细讨论。输入量按照权值顺序排列，最低和最高有效位的二进制权值由相应数字表示，在二进制组合符号中，输入和输出量的权值用2的幂数表示，其余情况使用十进制数。输入组合生成内部数据，根据该数据可以实现数学功能或作为相关性符号的识别码（图28）。在存储器寻址时会频繁使用二进制组合符号。

反过来，二进制组合符号也可用于输出。与输入类似，按权输出，输出为电路生成的内部数据，

根据IEC/IEEE标准，方框图内还可以使用其他符号，这里不再过多介绍。通常这些符号与算术运算有关，不需加以说明。

当方框图内出现非标准信息时，通常使用方括号将这些信息括起来。

4.0 相关性符号

4.1 总说明

相关性符号是IEC符号系统中非常有用的工具，正是相关性符号将IEC符号与其他符号系统区别开来，使其更有效，更简洁。利用相关性符号可以了解输入和输出之间的关系，了解图中未画出的输入和输出及其内部连接。相关性符号所提供的信息是对定性符号的补充。

在相关性符号的协定中通常会使用“影响”和“受影响”这样的术语。当输入量的这种特性不明显时，可使用任何一种方便的方法来选择。

到目前为止，已定义了11类相关性，在不同的TI数据表中大量使用，X相关性主要用于CMOS电路中。下面各节依次列出了各类相关性。

4.2 G（与）相关性

两个信号之间的“与”关系通常用一个与门及其输入信号表示。1972年的IEC出版物和1973年的IEEE/ANSI标准规定了几种相关性符号来表示“与”关系。由于已经定义了其他十种形式的相关性符号，用于表示“与”相关性的符号目前减少到一种。

图4中，输入b和输入a求与，而b的反码和输入c求与。符号内的字母G表示与关系，放置在输入b的位置。在G后放置设计者认为合适的数字（在这里使用的是1），同时在每一个受影响的输入量后也要放置同样的数字。要注意输入c数字1上的横杠。

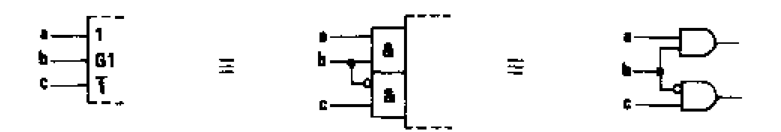


图4 输入量间的G相关性

图5中，输出变量b通过“与”关系会影响到输入a。图中第二行的例子表示，b的内部逻辑状态和a求与，不受取反操作的影响，即先求与，再取反。图6所示是输入a与动态输入b相与。

图5 输出和输入间的G相关性

图6 带有动态输入的G相关性

G相关性的规则可以总结如下：

当Gm输入或输出（m是数字）的内部状态为1时，所有受Gm影响的输入和输出都为正常定义的内部逻辑状态；当Gm输入或输出为0态时，所有受Gm影响的输入和输出都为内部0态。

4.3 相关性符号应用的总规则

应用相关关系的规则和G相关性类似：

1. 用相关字母（如，G表示“与”）标出影响其他输入或输出的输入（或输出）量，在其后加上一个合适的识别数字；
2. 用同样的数字标记每一个受影响的输入和输出。

如果是反变量影响输入或输出，那么就要在“受影响”输入或输出的识别数字上加一横杠（见图4）。

如果两个“影响”输入或输出的识别字母和数字相同，表示二者相或（见图7）。

图7 或“影响”输入

如果“受影响”输入或输出需要一个标注来指示其功能（如“D”），要在该标注前加上识别数字（见图15）。

如果输入或输出受多个输入的影响，那么就要在“受影响”量的标注里标出每一个“影响”输入的识别数字，之间用逗号隔开。这些数字的次序与“影响”关系的顺序相同（见图15）。

如果必须对指示“受影响”输入或输出功能的标注编号（如编码器的输出），为了避免表述不清，可使用另外一种字符来编号，如希腊字母（见图8）。

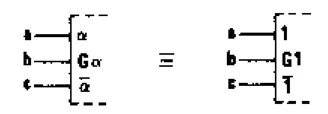


图8 替换数字

4.4 V（或）相关性

用于指示“或”相关性的符号是字母“V”（见图9）。

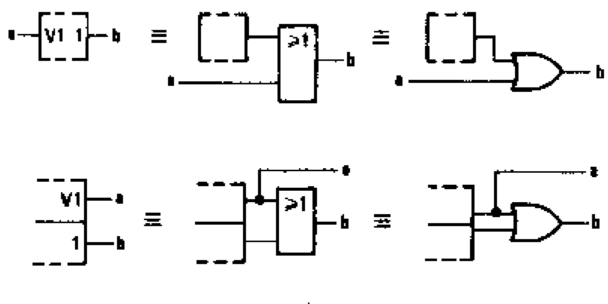


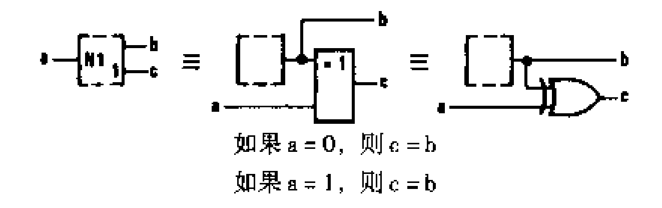
图9 V（或）相关性

当Vm输入或输出的内部状态为“1”时，所有受Vm影响的输入和输出都为内部“1”态；当Vm输入或输出的内部状态为“0”时，所有受Vm影响的输入和输出都为正常定义的内部状态。

4.5 N（取反）（异或）相关性

用于指示“取反”相关性的符号是字母“N”（见图10）。每一个受影响的输入或输出量与Nm输入或输出之间是异或关系。

当Nm输入或输出为内部1态时，所有受Nm影响的输入和输出取反；当Nm输入或输出为0态时，所有受Nm影响的输入和输出都为正常定义的内部逻辑状态。



如果a = 0，则c = b

如果a = 1，则c = b

图10 N（取反）（异或）相关性

4.6 Z（互连）相关性

用于指示“互连”相关性的符号是字母“Z”。

互连相关性用于表示输入、输出、内部输入和内部输出之间存在内部逻辑连接。

如果没有其他的相关性符号，Zm输入或输出的内部逻辑状态与受其影响的输入或输出变量的内部逻辑状态相同（见图11）。

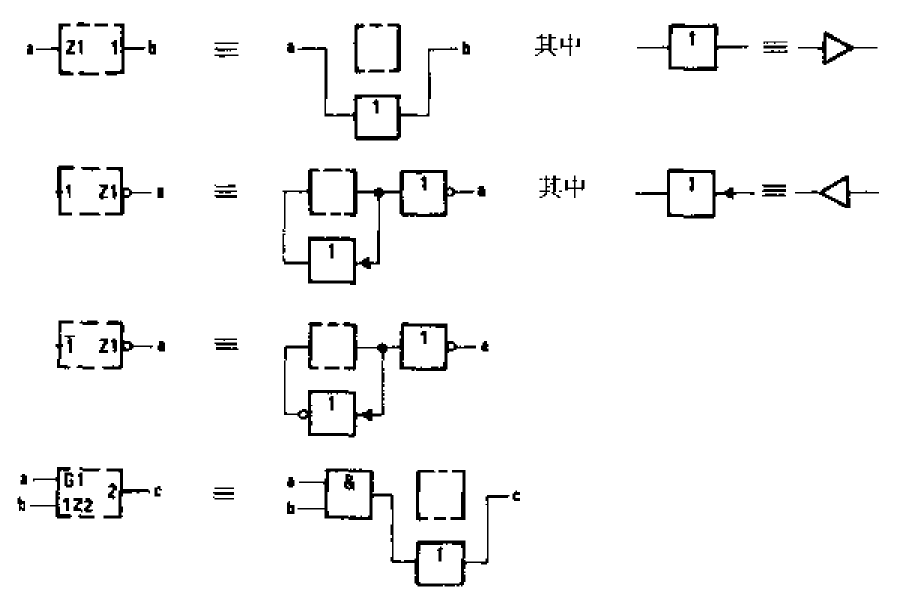


图 11 Z（互连）相关性

4.7 X（传输）相关性

用于指示“传输”相关性的符号是字母“X”。

传输相关性用于表示“受影响”输入/输出端间的受控双向连接（图 12）。

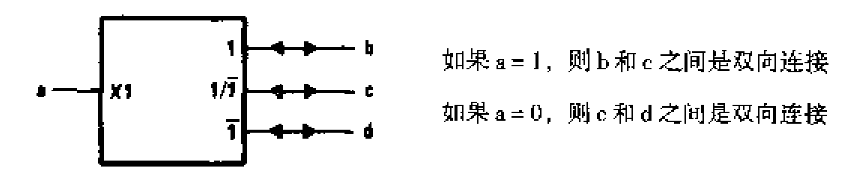


图 12 X（传输）相关性

当 Xm 输入或输出保持为内部 1 态，所有受其影响的输入－输出间是双向连接，且内部逻辑状态或模拟信号幅度相同；而当 Xm 输入或输出为内部 0 态时，这种连接不再存在。

尽管X相关性表示双向传输，但也可以改变这种特性。这与一根导线可以限制其只单向传送电流是类似的。如果是这种特殊应用，图 12，13 和 14 中的双向箭头要去掉。

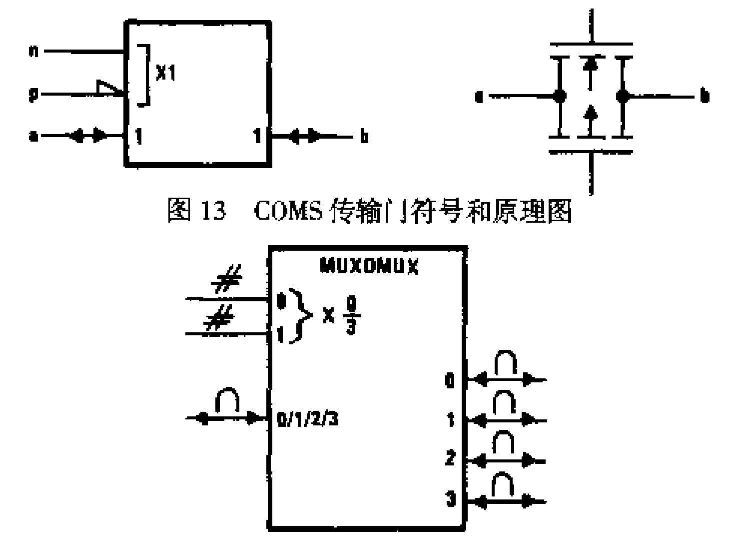


图 13 COMS 传输门符号和原理图

图 14 模拟数据选择器（多路数据分配器/多路数据选择器）

4.8　C（控制）相关性

用于指示"控制"相关性的符号是字母"C"。

控制输入端主要用于控制是否允许存储单元的数据（D，J，K，R或S）输入。如果控制输入在内部为1态（有效态），1既可以是静态值，也可以是动态值。如果是动态值，要标注动态输入符号，如图15的第3个例子所示

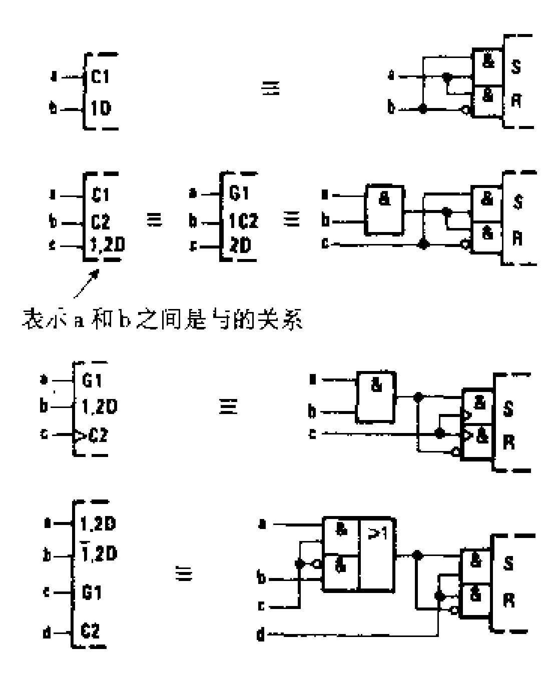


图15　C（控制）相关性

如果*Cm*输入或输出在内部为1态，受其影响的输入端对单元的功能具有规定的作用，如输入操作可以进行；而当*Cm*输入或输出在内部为0态时，受其影响的输入端被禁止，对单元的功能没有作用。

4.9　S（置位）和R（复位）相关性

用于指示"置位"相关性的符号是字母"S"，用于指示"复位"相关性的符号是字母"R"。

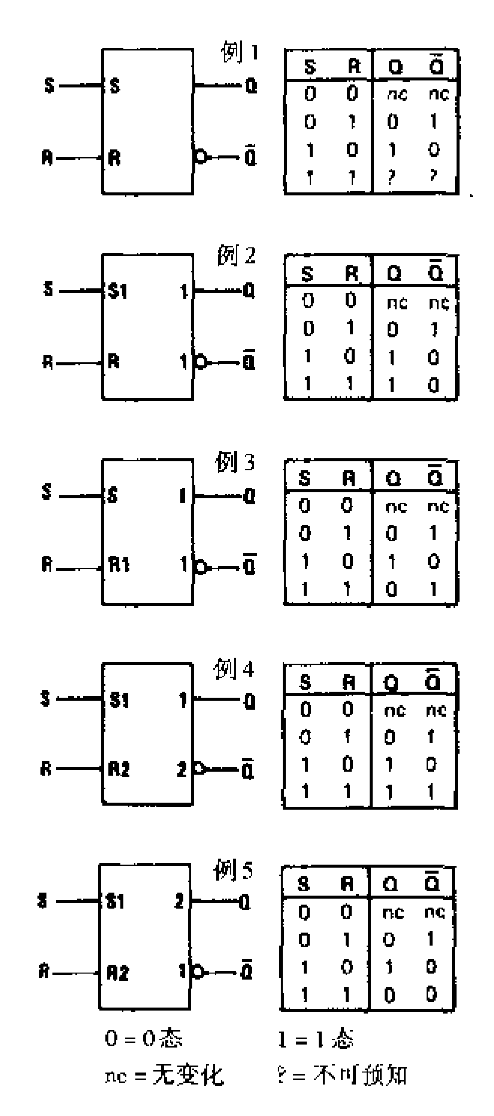
在双稳单元中，如果要求确定在输入组合为R = S = 1时的输出状态，就需要使用置位和复位相关性。在图16的例1中没有使用S或R相关性。

当S*m*输入在内部为1态时，不管R输入的状态如何，受S*m*影响的输出都会动作，动作的结果与S = 1，R = 0相同。见图16中的例2，4和5。

当R*m*输入在内部为1态时，不管S输入的状态如何，受R*m*影响的输出都会动作，动作的结果与S = 0，R = 1相同。见图16中的例3，4和5。

当S*m*或R*m*输入在内部为0态时，对输出没有影响。

注意例4和例5中的非互补输出方式，这是一种不稳态；在S = R = 0时，为不可预知的稳定、互补输出。



例1

S	R	Q	Q̄
0	0	nc	nc
0	1	0	1
1	0	1	0
1	1	?	?

例2

S	R	Q	Q̄
0	0	nc	nc
0	1	0	1
1	0	1	0
1	1	1	0

例3

S	R	Q	Q̄
0	0	nc	nc
0	1	0	1
1	0	1	0
1	1	0	1

例4

S	R	Q	Q̄
0	0	nc	nc
0	1	0	1
1	0	1	0
1	1	1	1

例5

S	R	Q	Q̄
0	0	nc	nc
0	1	0	1
1	0	1	0
1	1	0	0

图16 S（置位）和R（复位）相关性

4.10 EN（使能）相关性

用于指示“使能”相关性的符号是字母“EN”。

EN*m*输入与EN输入对输出有同样的作用（见3.1），但它只影响带有识别数字*m*的输出，同时它也会影响带有识别数字*m*的输入。而EN输入对所有的输出都有影响，却不影响输入。EN*m*输入对“受影响”输入的作用与C*m*输入相同（见图17）。

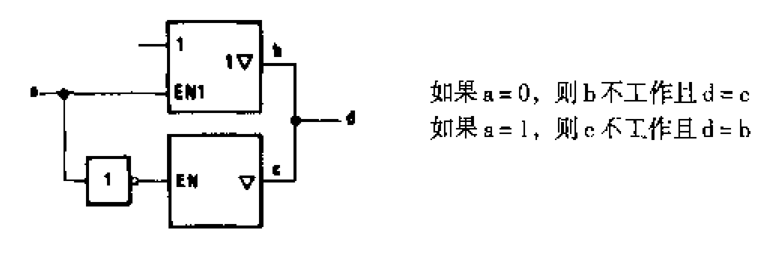


图17 EN（使能）相关性

如果EN*m*输入在内部为1态，受其影响的输入对单元的功能具有规定的作用，受其影响的输出为已定义的内部逻辑状态，如输入和输出操作可以进行。

当EN*m*输入在内部为0态时，受其影响的输入被禁止，对单元的功能没有作用，同时受其影响的输出也被禁止。集电极开路输出关闭，三态输出在内部为规定的逻辑状态，对外则呈现高阻态；所有其他输出（如，推拉输出）在内部为0态。

4.11 M（模式）相关性

用于指示"模式"相关性的符号是字母"M"。

模式相关性用于指示逻辑单元特殊输入和输出的作用，该作用取决于逻辑单元的工作模式。

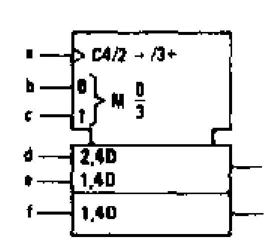
如果某个输入或输出在不同的工作模式下作用不同，就要在该"受影响"输入或输出的标注中注明与"影响"输入M*m*相同的识别数字，这些识别数字要注在圆括号内，相互之间用斜杠隔开（见图22）。

4.11.1 M相关性的"影响"输入

M相关性对输入的影响与C相关性相同。如果M*m*输入或输出在内部为1态，受其影响的输入端对单元的功能具有规定的作用，如输入操作可以进行。

当M*m*输入或输出在内部为0态时，受其影响的输入端被禁止，对单元的功能没有作用。如果某个"受影响"输入有几个不同的标注集合，之间用"/"隔开，（如，C4/2→/3+），那么任一个有M*m*输入或输出识别数字的标注没有作用，可以忽略。它表示多功能输入端的某些功能不可以使用。

图18中的电路利用b和c输入控制4种工作模式（0，1，2，3），在任何时候都有效。输入端d，e和f是D输入，由a输入端进行动态控制（时钟控制）。输入端e和f的第1个识别数字1表示e和f输入只有在模式1中使能（并行加载），而输入端d的第1个识别数字2表示d输入只有在模式2中使能（串行加载）。需要注意的是，输入a有三个作用：它是数据输入的时钟控制端；模式2中引起数据右移；模式3中引起寄存器中的内容依次递增。



注意所有的操作都是同步的。
在模式0（b＝0，c＝0），因为输入都没有影响，所以输出保持现在的状态。
在模式1（b＝1，c＝0），通过e和f输入进行并行加载。
在模式2（b＝0，c＝1），通过d输入进行移位和串行加载。
在模式3（b＝c＝1），在每个时钟脉冲作用下加1计数。

图18 M（模式）相关性的"影响"输入

4.11.2 M相关性的"影响"输出

如果M*m*输入或输出在内部为1态，受其影响的输出在内部为规定的逻辑状态，如输出操作可以进行。

当M*m*输入或输出在内部为0态时，受其影响的输出端被禁止，对单元的功能没有作用。如果某个"受影响"输出有几个不同的标注集合，之间用"/"隔开（如2，4/3，5），只有那些含有M*m*输入或输出识别数字的标注集合才可以忽略。

图19所示的器件有两种输出方式：三态输出和集电极开路输出。输出方式是由输入端a确定的。当a的内部逻辑状态为1时，器件工作在模式1下，为三态输出；当a = 0时，器件工作在非模式1下，为集电极开路输出。

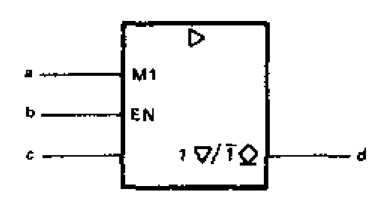


图19 由工作模式确定的输出类型

图20中，如果输入a在内部为1态，器件工作在模式1下，这时只有当寄存器中的内容为9时，输出b在内部才为1。因为输出端b位于公共控制模块内，只在模式1中起作用，所以在模式1以外的情况下没有定义它的功能。

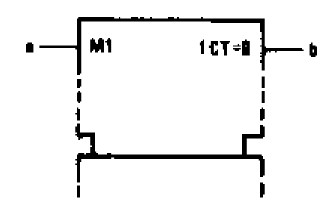


图20 公共控制模块中的一个输出

图21中，如果输入a在内部为1态，器件工作在模式1下，这时只有当寄存器中的内容为15时，输出b在内部才为1。如果输入a在内部为0态，当寄存器中的内容为0时，输出b在内部为1。

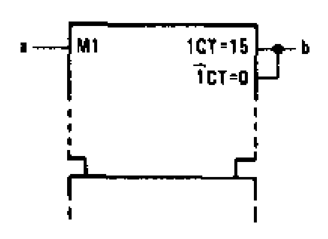


图21 确定输出的功能

图22中，输入a和b为二进制的权，用以生成数字0，1，2和3，从而确定器件的工作模式。

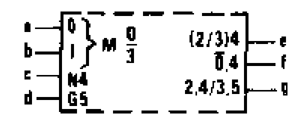


图22 由模式影响的相关关系

输出e的标注集合表明，只有在模式2和3下，输出e才执行取反操作（当c = 1时）；在模式0和1下，输出为正常的规定状态，标注不起作用。输出f的标注集合表示，当模式为非0（即工作模式为1、2和3）时，输出f执行取反操作（当c = 1时）；在模式0下，输出为正常的规定状态。在该例中 ，4与(1/2/3)4等效。输出g有两个标注集合，第1个标注表示只有在模式2下，输出才执行取反操作（当c = 1时）；第2个标注表示只有在模式3下，g与d才具有与相关性。

上例中，模式0下所有的相关关系对输出都不起作用，所以e，f和g的状态相同。

4.12　A（地址）相关性

用于指示“地址”相关性的符号是字母“A”。

地址相关性在存储器中使用得很多，对于那些需要使用地址控制输入来选择多维阵列中某一特定部分的逻辑单元，采用地址相关性可以非常清楚地表示这种控制功能。在存储阵列中，这样一个特定的部分通常称为一个字。地址相关性的目的是为整个阵列提供一种符号表示。阵列的输入为阵列中所有被选中部分的相应单元所公用，而阵列输出是对被选中部分相应单元的所有输出求或。

不受地址输入影响的输入对阵列的所有部分都具有正常规定的功能，而受地址输入影响的输入只有在该部分被地址输入选中后，才具有正常规定的功能。

地址输入的标注是由字母A加上识别数字构成的，它与由该地址选中的阵列部分具有对应关系。在逻辑符号的公共部分，受A*m*影响的输入和输出标注中只有字母A，它代表了所有的识别数字，如特定部分的地址。

图23所示的是一个3字2位（每个字由2位构成）存储器，每个字有一条独立的地址线，使用EN相关性控制相应的功能。例如，要选择字1，a端应输入1，使器件工作在模式1下。此时，数据在时钟输入的控制下送入标注为“1,4D”的输入端，除非字2和字3也被选中，否则数据不能进入标注为“2,4D”和“3,4D”的输入端。该存储器的输出是对所有被选中的输出求或。

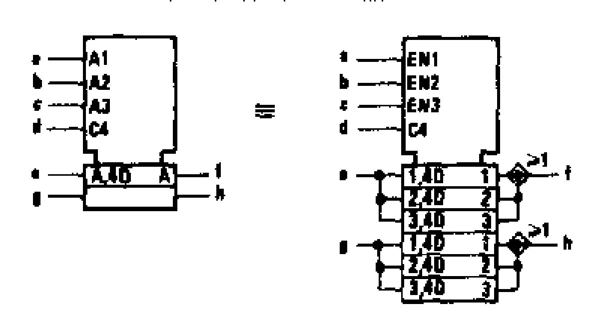


图23　A（地址）相关性

地址输入的识别数字与由这些输入所选中部分的地址相对应。由于在逻辑符号的公共部分不需要识别数字，由字母A来替代，所以它们可以和其他相关输入（如G，V和N等）的识别数字相同。

为了实现独立且同时访问阵列的某些部分，采用了多个A*m*输入，那么标注中字母A就要更改为1A，2A，3A等。由于它们访问的是阵列的同一部分，所以这些A输入的识别数字可能相同。'HC170或SN74LS170的逻辑符号就使用了这种表示方法。

图24是另外一种概念的图解。

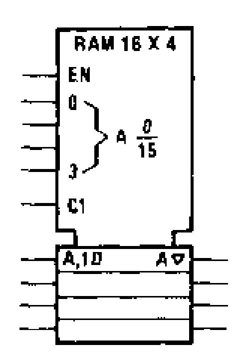


图24　利用带有三态输出的四透明锁存器组成16字×4位随机存取存储器

表4是相关性符号小结

表4 相关性符号小结

相关性的类型	字母符号*	"影响"输入为1态	"影响"输入为0态
地址	A	允许进行相应操作（地址选择）	禁止相应操作（不进行地址选择）
控制	C	允许进行相应操作	禁止相应操作
使能	EN	允许进行相应操作	禁止输入 ◇输出关闭 输出对外呈现高阻态，内部逻辑状态没有改变 其他输出在内部为0态
与	G	允许进行相应操作	受其影响的输入输出均为0态
模式	M	允许进行相应操作（模式选择）	禁止相应操作（不进行模式选择）
取反（异或）	N	反码状态	没有作用
复位	R	"受影响"输出动作，动作的结果与S=0，R=1相同	没有作用
置位	S	"受影响"输出动作，动作的结果与S=1，R=0相同	没有作用
或	V	受其影响的输入输出均为1态	允许执行相应操作
传输	X	存在双向连接	不存在双向连接
互连	Z	受其影响的输入输出均为1态	受其影响的输入输出均为0态

* 在"影响"输入（或）输出的字母符号后要加上识别数字，受其影响的输入（或输出）符号中也要加上同样的识别数字。在输入端符号中，如果EN，R和S的后边没有识别数字，则表中的说明无效。关于此输入的作用在3.3节中有说明。

5.0 双稳元件

利用动态输入符号、延迟输出符号和相关标注可以区分四种主要双稳元件，很简单地分清同步和异步输入（见图25）。第1列所示的是4种元件的不同特点，而其余各列为例子。

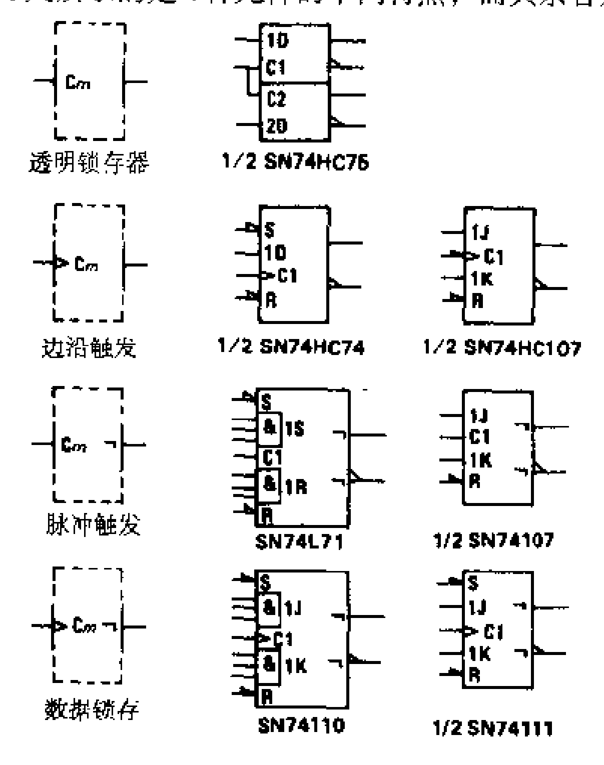


图25 四种类型的双稳电路

透明锁存器有一个级操作控制输入端，只有C输入在内部为1态时，D输入才有效，此时输出会立刻响应。边沿触发单元在C的有效转换时间从D，J，K，R或S输入端接收数据。脉冲触发单元要求在控制脉冲开始作用前已建立输入数据；只要C端为1态，输入数据必须保持，所以C输入是静态的；输出会延迟，直到C返回0态。数据锁存输出单元与脉冲触发单元类似，但有一点不同，当C经历有效变换后，数据输入被禁止，数据不需要保持，所以C输入是动态的。但输出也会延迟，直到C输入返回其初始外部状态。

观察图25，同步输入和异步输入可以通过它们的相关标注相区分。同步输入的标注有1D，1J，1K，1S和1R，而异步输入的标注有S和R，与C输入无关。

6.0 编码

图26所示的是编码器或代码转换器的通用符号。X和Y可以由其他适当的代码指示代替，分别用于表示输入和输出的信息。

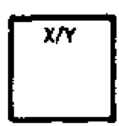


图26 编码器的通用符号

关于代码转换的指示基于下列原则：

根据输入代码，输入量的内部逻辑状态确定内部值。根据输出代码的不同，由输出的内部逻辑状态复制该值。

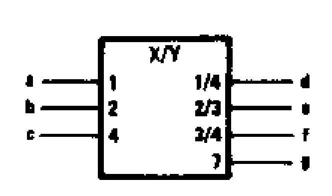
关于输入量内部逻辑状态和内部值之间的关系可用下列方法来表示：

1. 用数字对输入端进行标注。在这种情况下，将所有内部逻辑状态为1的输入量按权相加，其和即为内部值；
2. 用输入代码的适当指示来代替X，并用与代码相应的字符来标注输入。

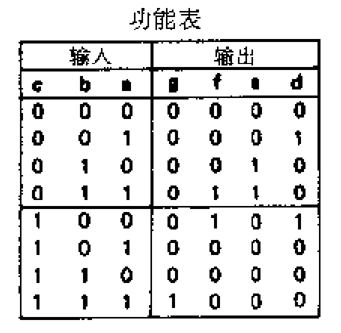
关于内部值和输出量内部逻辑状态之间的关系可用下列方法来表示：

1. 每一个输出用一个数字表来标注，这些数字表表示的是导致输出内部状态为1的内部值。数字表内的数字间用“/”隔开，如图27所示。如果用指示相关类型的字母代替Y，也可使用如上所述的标注（参见第7部分）。如果连续范围内的内部值都可使输出在内部为1态，那么就可以用两个数字来指示这一范围，这两个数字应分别是这一范围的起始和结束值。而两个数字间用3个黑点隔开（如，4...9 = 4/5/6/7/8/9）。
2. 用输出代码的适当指示来代替Y，并用与代码相应的字符来标注输出（如图28所示）。

此外，参考输入输出关系指示表，可以将多个通用符号一起使用。在PROM编程后，推荐使用这种符号表示。

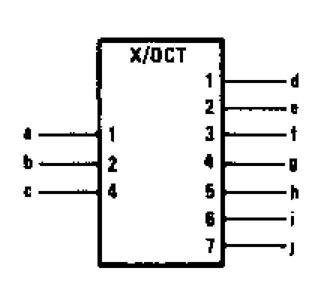


功能表



输入			输出			
c	b	a	g	f	e	d
0	0	0	0	0	0	0
0	0	1	0	0	0	1
0	1	0	0	0	1	0
0	1	1	0	1	1	0
1	0	0	0	1	0	1
1	0	1	0	0	0	0
1	1	0	0	0	0	0
1	1	1	1	0	0	0

图 27　X/Y 代码转换器



功能表

输入			输出						
c	b	a	j	i	h	g	f	e	d
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	0
0	1	1	0	0	0	0	1	0	0
1	0	0	0	0	0	1	0	0	0
1	0	1	0	0	1	0	0	0	0
1	1	0	0	1	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0

图 28　X/ 八进制代码转换器

7.0　使用编码器生成“影响”输入

如果相关标注中的“影响”输入是由对某些输入信号进行译码而得到的，在这种情况下，可将编码器符号作为嵌套符号（如图 29 所示）。

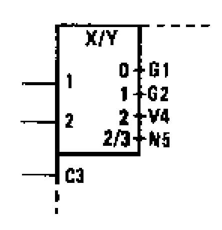


图 29　生成不同类型的相关性

如果由编码器生成的所有“影响”输入类型相同，并且它们的识别数字标注在编码器的输出端，这时可用指示相关性类型的字母来取代 Y（定性符号 X/Y 中的 Y），同时“影响”输入的指示符可以省略（见图 30）。

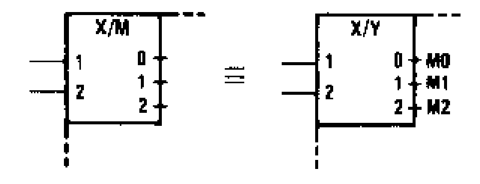


图 30　生成一种类型的相关性

8.0 使用二进制组生成“影响”输入

如果由编码器生成的所有“影响”输入类型相同，识别数字连续且不需要与编码器输出端的数字相对应，这时可使用二进制组符号。k根外部连线可生成2^k个有效内部输入，将这些输入用大括号括起来，括号后紧跟着相关类型的字母表示及m1/m2，其中m1指的是最小的识别数字，而m2表示最大的识别数字，如图31所示。

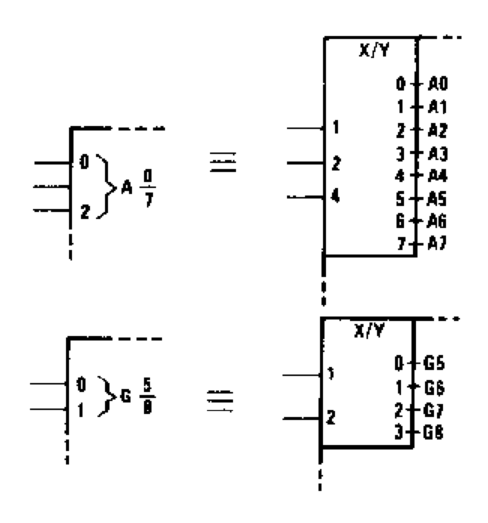


图31 使用二进制组符号

9.0 输入标注的顺序

如果某个“受影响”输入具有单一功能，该功能的定性符号前面应是与“影响”输入相对应的标注，标注的次序与“影响”输入的效能有关。分别考虑这些“影响”输入，如果某一“影响”输入的逻辑状态会影响到“受影响”输入，使其对逻辑单元的作用消失，而与其他“影响”输入无关，就应将它的标注排列在前面。

如果某一输入有多种不同的功能或有几个不同的“影响”输入集合，那么不同的标注间用“/”隔开（见图32）。如果某个输入的某个功能未在图中标注出，那么就要在第一个标注前加上“/”。

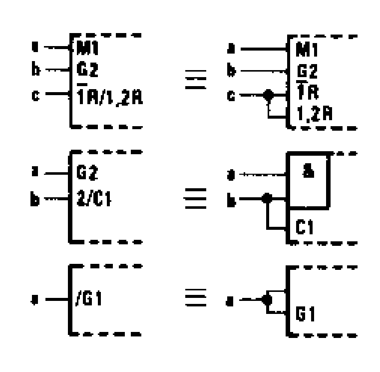


图32 输入标注

如果一个组合单元的所有输入都禁用（因此对该单元的功能不起作用），那么该单元输出的内部逻辑状态就不能根据逻辑符号来确定；如果一个顺序单元的所有输入都禁用，那么该单元的内容不会改变，且输出保持原来的内部逻辑状态。

使用代数方法可以对标注进行分解（见图33）。

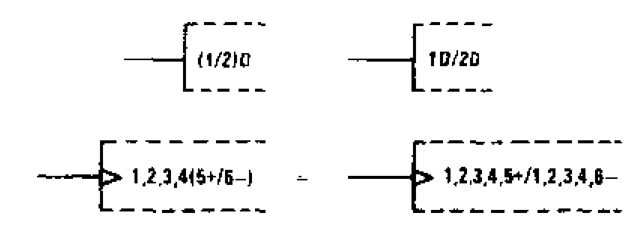


图 33　分解输入标注

10.0　输出标注的顺序

如果输出有多个不同的标注，按如下顺序排列：

1. 如果有延迟输出符号，则应放在前面。如果需要，可在其前面加上所应用输入的指示。
2. 接下来是指示输出量内部逻辑状态变化的标注，其从左至右的次序与它们的作用次序相对应。
3. 最后是指示输出对输入及其他输出作用的标注。

如果需要应用开路或三态输出符号，应把其放置在图形符号的外围线以内，与输出线相邻（如图 34 所示）。

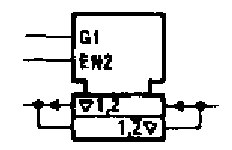


图 34　三态符号的放置

如果某个输出需要多个不同的标注集合来表示不同的功能，这些标注集合可在不同的输出线上标出，但在边框外这些输出线应连接在一起。但是，在某些情况下这种标注方法不合适，这时可采用图 35 所示的方法，将标注集合放置在一起，之间用“/”隔开。

图 35　输出标注

如果标注集合中两个相邻的识别数字之间未用非数字字符隔开，则需用逗号分隔。

如果输出端某个没有“/”的标注集合内含有 Mm 输入的识别数字，而 Mm 输入的内部逻辑状态为 0，则该标注集合对输出没有作用。

标注可利用代数方法进行分解（见图 36）。

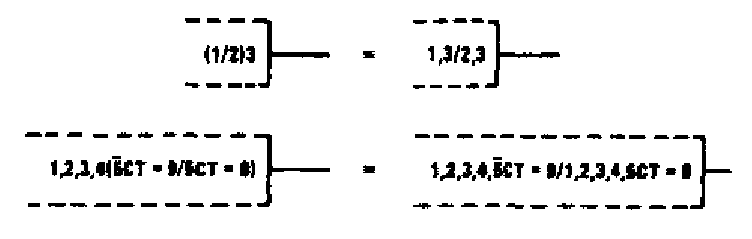


图 36　输出标注的分解

附录D　部分习题答案①

第2章　计数系统与编码

复习题答案

2.2节

A. 对
B. 计数减
C. $1000_{(2)}$
D. 基数相乘法或加权求和法
E. $255_{(10)}$
F. 计数器产生的最大状态数
G. $5_{(10)}$
H. $15_{(10)}$
I. $13_{(10)}$
J. $84_{(10)}$
K. $33_{(10)}$
L. $238_{(10)}$
M. $3.75_{(10)}$
N. $100_{(2)}$
O. $1010_{(2)}$
P. $1111_{(2)}$
Q. $10000_{(2)}$
R. $10100_{(2)}$
S. $10001100_{(2)}$
T. $101110111_{(2)}$
U. $10111.1001_{(2)}$
V. $1100.011_{(2)}$

2.3节

A. 8
B. $20_{(8)}$
C. $15_{(10)}$
D. $22_{(10)}$
E. $64_{(10)}$
F. $375_{(10)}$
G. $681_{(10)}$
H. $12_{(8)}$
I. $32_{(8)}$
J. $144_{(8)}$
K. $513_{(8)}$
L. $145_{(8)}$
M. $1000_{(2)}$
N. $11010_{(2)}$
O. $1100111_{(2)}$
P. $567_{(8)}$
Q. $1\,520_{(8)}$
R. $13.4_{(8)}$

2.4节

A. $200_{(16)}$
B. $1FE_{(16)}$
C. $202_{(10)}$
D. $258_{(10)}$
E. $2\,998_{(10)}$
F. $4\,773_{(10)}$
G. $111_{(16)}$
H. $1CE_{(16)}$

① 为了保持一致，答案中的图号与各章的图号是连续的。

I. $2A9_{(16)}$

J. $3E8.C_{(16)}$

K. $11010_{(2)}$

L. $1010110011_{(2)}$

M. $1111111111_{(2)}$

N. $11001110110010_{(2)}$

O. $1A1_{(16)}$

P. $1EBD_{(16)}$

Q. $11_{(16)}$

R. $184_{(16)}$

2.5 节

A. 容易辨认
   容易编码
   容易译码

B. 需要更多的位数和存储空间
   消耗更多的能量
   更低的效率
   在算术运算中需要附加电路

C. $0010\ 1001_{(BCD)}$

D. $0001\ 0010\ 0100\ 0110_{(BCD)}$

E. $78_{(10)}$

F. $237_{(10)}$

2.6 节

A. 减小误差

B. 错

C. $0111_{(G)}$

D. $10110101_{(G)}$

E. $1001_{(2)}$

F. $11011011_{(2)}$

2.7 节

A. $0111\ 1100_{(XS3)}$

B. $0100\ 1011\ 1011_{(XS3)}$

C. 93

D. 美国标准信息交换码

阶段性练习答案

2.1 节 ~ 2.4 节

1. b
2. c
3. c
4. d
5. b
6. d
7. a
8. b
9. c
10. c
11. $10101_{(2)}$
12. $101110_{(2)}$
13. $11111010_{(2)}$
14. $1101001_{(2)}$
15. $23_{(10)}$
16. $43_{(10)}$
17. $31_{(10)}$
18. $501_{(10)}$
19. $85_{(10)}$
20. $475_{(10)}$
21. $111111111101_{(2)}$
22. $950_{(10)}$
23. $FF_{(16)}$
24. $1666_{(8)}$
25. $653_{(8)}$
26. $0.656\ 25_{(10)}$
27. $0.44_{(8)}$
28. $26.4_{(8)}$

2.5节~2.7节

1. b
2. c
3. b
4. c
5. b
6. a
7. b
8. d
9. a
10. d
11. c
12. b
13. b
14. c
15. d
16. d
17. a
18. d

第3章 逻辑门

复习题答案

3.1节

A. 见图3.1(a)。
B. 只要有一个输入为0，输出就为0。
C. 逻辑1。
D. 逻辑0。
E. 见图3.76。

输入				输出
A	*B*	*C*	*D*	*Y*
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

图3.76

3.2节

A. 见图3.4(a)和(b)。
B. 只要有一个输入为1，输出就为1。
C. 逻辑0。
D. 逻辑1。
E. 见图3.4(c)和(d)。

3.3节

A. 见图3.7(a)。
B. 见图3.7(c)。
C. 上划线表明变量被反相。
D. 处于有效电平的信号。
E. 低电平有效。

3.4 节

A. 将“任何一个”变为“所有”，并将输入和输出的逻辑电平反相。

B. 对。

C. 错。

D. 所有输入为1，输出才为1。

E. 见图3.77。

A	B	C	Y	Z
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

图3.77

3.5 节

A. 见图3.15(a)。

B. 短逻辑为“所有输入为0，输出才为1”，$\overline{\text{短}}$逻辑为“所有输入为1，输出才为0”。

C. 逻辑1。

D. 逻辑0。

E. 见图3.78。

输入			输出
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

或

输入			输出
A	B	C	Y
H	H	H	L
L	X	X	H
X	L	X	H
X	X	L	H

图3.78

3.6 节

A. 见图3.19(a)和(b)。

B. 短逻辑为“只要有一个输入为1，输出就为0”。$\overline{\text{短逻辑}}$为“所有输入为0，输出才为1”。

C. 逻辑0。

D. 逻辑1。

E. 逻辑0。

3.7 节

A. 输入变化时，逻辑门的工作过程。

B. 见图3.79。

C. 见图3.80

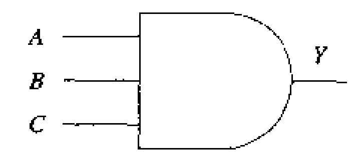
D. 见图3.81。

E. 图3.36(a)中，禁止信号 = 逻辑0，使能信号 = 逻辑1。

图3.36(b)中，禁止信号 = 逻辑0，使能信号 = 逻辑1。

图3.36(c)中，禁止信号 = 逻辑1，使能信号 = 逻辑0。

图3.36(d)中，禁止信号 = 逻辑1，使能信号 = 逻辑0。



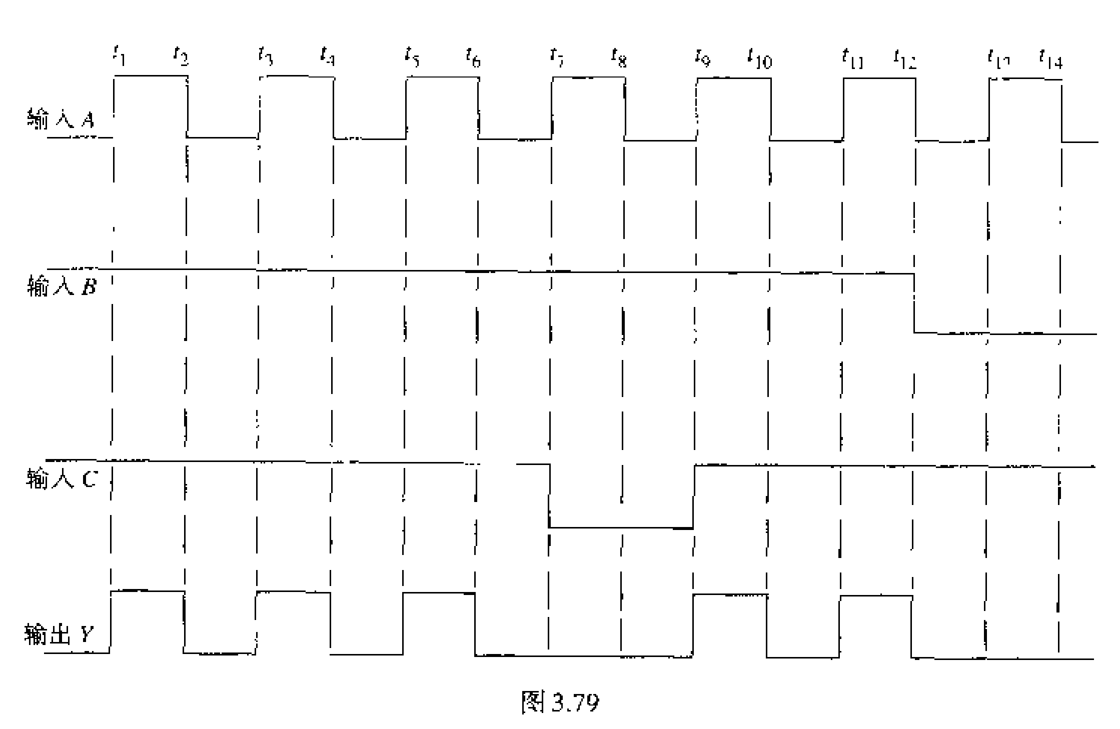


图3.79

3.8节

A. +5 V

B. 0~0.4 V

C. 2.4~5 V

D. 高集成度 / 低功耗

E. 开路输入

F. 是

G. 不是

H. 是

I. 不是，高电平将禁止该逻辑门

J. 是

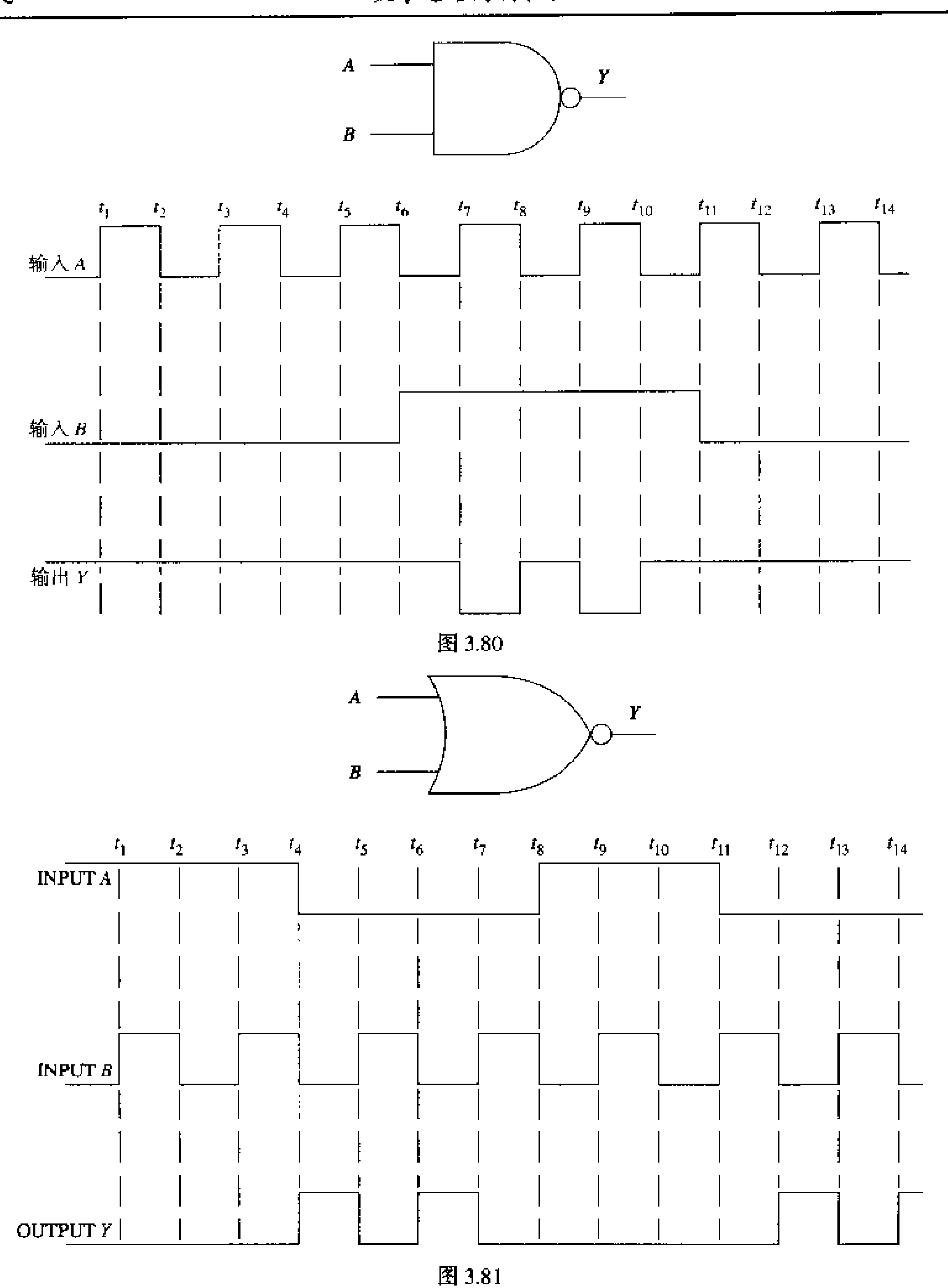


图 3.80

图 3.81

3.9 节

A. 故障诊断，确定一条导线或芯片上的输入/输出引脚是否为低电平、高电平、脉冲或死机了。

B. 逻辑 1。

C. 脉冲 / 变化电平。

D. 向一个数字电路或芯片中注入逻辑脉冲。

E.(1) 输出引脚在内部被短接到地。

  (2) 逻辑门输出端到负载之间的连线短路接地。

  (3) 负载逻辑门的输入引脚被短接到地。

F.(1) 输出引脚在内部被短接到 V_{CC}。

  (2) 逻辑门输出端到负载之间的连接短接到 V_{CC}。

  (3) 引脚2在内部处于悬空状态。

G. 无错误，正常运行。

3.10节

A. 使能该逻辑门。

B. 如果第一个或非门的 $\overline{MEMR}$ 断开，悬空输入将使该逻辑门的输出一直处于低电平。由于第二个或非门的输入总是为低电平，其输出将保持为高电平。如果给收发器的DIR引脚加上逻辑1信号，数据就只能从右向左传输。因此，就不能对ROM进行读操作，这将使计算机无法运行。

阶段性练习答案

3.1节～3.3节

1. b
2. c
3. a
4. a
5. b
6. d
7. b
8. a
9. a
10. d
11. a
12. a
13. c
14. b
15. a

3.4节～3.6节

1. d
2. c
3. c
4. d
5. a
6. d
7. c
8. b
9. a
10. b

3.7节

1. a
2. b
3. a
4. b
5. a
6. b
7. a
8. b
9. a
10. a

3.8节～3.9节

1. b
2. a
3. b
4. d
5. b
6. a
7. b
8. a
9. d
10. c

第 4 章　布尔代数与逻辑电路

复习题答案

4.1 节

A. $A \times B$, $A \cdot B$, AB

B. AB

C. $A + B$

D. $\overline{AB}$

E. $A + B$

F. 高电平

G. 低电平

H. 到 / 从逻辑门或电路的低电平和高电平输入 / 输出。

I. 布尔表达式中画在两个或更多个变量上的横线。

4.2 节

A. 对

B. 错

C. 对

D. 对

E. 错

F. 对

G. 对

H. 对

I. 错

4.3 节

A. 对

B. 对

C. 错

D. $ABC = \overline{\overline{A} + \overline{B} + \overline{C}}$

E. $X + Y = \overline{XY}$

4.4 节

A. 错

B. 对

C. 对

D. $A + B$

E. AB

F. $\overline{A}\,\overline{B}\,\overline{C}D$

4.5 节

A. 见图 4.28 和图 4.30。

B. (1) $\overline{\overline{A} + \overline{B}}$

(2) $\overline{\overline{A}\,\overline{B}}$

(3) $\overline{A} + B$

(4) $\overline{A}B$

(5) $A + \overline{B}$

(6) $\overline{A\overline{B}}$

C. 用摩根定理断开联结符号并改变逻辑运算符，或使用其逆定理。如果写在复习题(b)中的表达式是正确的，可以证明其等价性。

D. 当 A 和 B 为高电平或 C 和 D 为高电平时，电路的输出为高电平：$AB+CD$。

E. 当 A 或 B 为高电平，C 或 D 为高电平时，电路的输出为高电平：$AC+AD+BC+BD$

F. 当 E 为高电平或 A 或 B 或 C 或 D 为高电平时，电路的输出为高电平：$A+B+C+D+E$

G. 见图4.105。

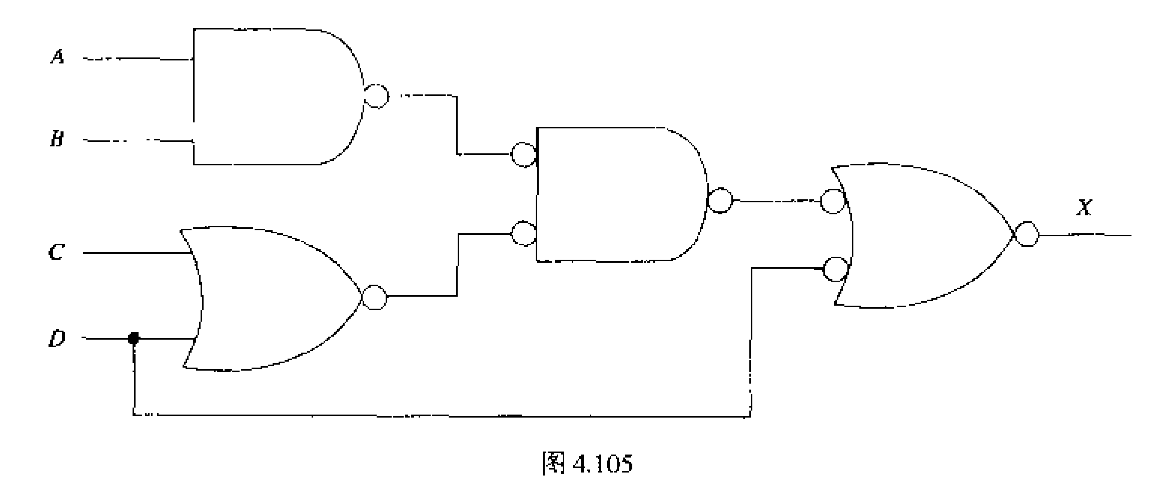


图4.105

4.6节

A. $\bar{A}B+A\bar{B}+AB=A+B$

B. $ABC+\bar{A}BC+AB\bar{C}=AC+ABC$

C. $\bar{A}B\bar{C}+\bar{A}BC+ABC+ABC=\bar{A}\bar{C}+AC$

D. $\bar{A}\bar{B}C+\bar{A}BC+A\bar{B}\bar{C}+AB\bar{C}=\bar{A}C+A\bar{C}$

E. $\bar{A}BC+\overline{A\bar{B}\bar{C}}=(A+B+\bar{C})(\bar{A}+B+C)$

注意：第一个表达式写成SOP表达式形式，其中的联结符号表示低电平输出。
第二个表达式写成POS表达式形式。这两个表达式是等价的。

F. $(A+B)(\bar{A}+\bar{B})$

4.7节

A. AB

B. $A+B$

C. 1

D. $B+AC$

E. $BC+\bar{B}\bar{C}+A\bar{B}$ 或 $BC+BC+AC$

F. 1

G. $X+\bar{Y}+\bar{Z}$

H. $AB+\bar{C}+D$

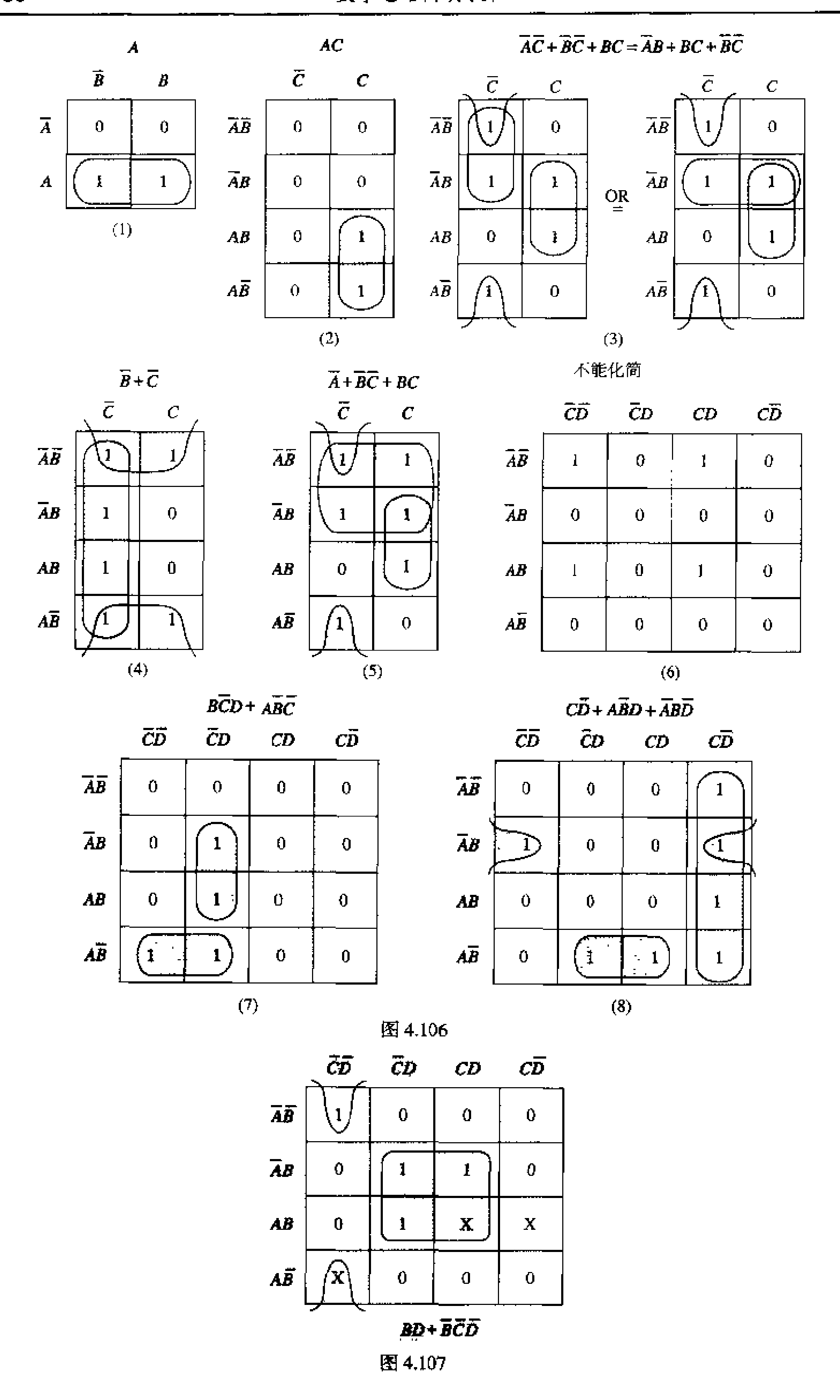
4.8节

A. 见图4.54。**注意**：卡诺图中标在每个方块中的变量不必画出。

B. 见图4.59。

C. 见图4.106。

D. 见图4.107。



A
AC
$\overline{A}\overline{C}+\overline{B}\overline{C}+BC=\overline{A}B+BC+\overline{B}\overline{C}$
OR
(1)
(2)
(3)
$\overline{B}+\overline{C}$
$\overline{A}+\overline{B}\overline{C}+BC$
不能化简
(4)
(5)
(6)
$B\overline{C}D+A\overline{B}\overline{C}$
$C\overline{D}+A\overline{B}D+\overline{A}B\overline{D}$
(7)
(8)

图 4.106

$BD+\overline{B}\overline{C}\overline{D}$

图 4.107

4.9节

A. 见图4.93。
B. 见图4.93。
C. 见图4.108。
D. 见图4.109。

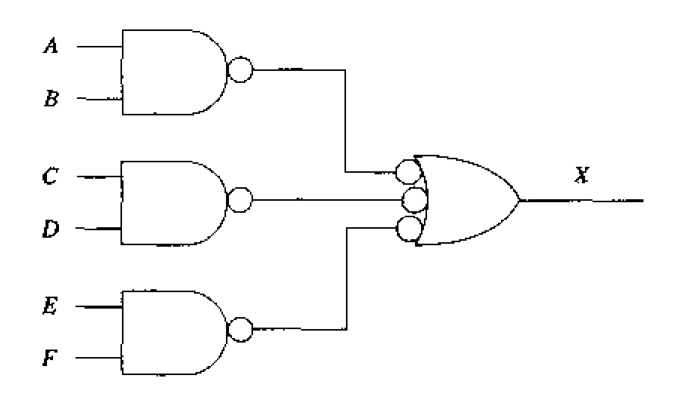


图4.108

图4.109

阶段性练习答案

4.1节～4.3节

1. c
2. a
3. d
4. a
5. b
6. a
7. b
8. a
9. d
10. d
11. c
12. c
13. b
14. a
15. a
16. c

4.4节～4.6节

1. a
2. b
3. a
4. a
5. b
6. a
7. c
8. g, h, e,f
9. c
10. a
11. d
12. c
13. d
14. b
15. b

4.7 节 ~ 4.8 节

1. $A+\bar{B}+C$
2. $A+BC$
3. 1
4. $AB+B\bar{C}$
5. $Y+Z$
6. Y
7. $A+B+C$
8. $\bar{X}+Y+Z$
9. $\bar{A}\bar{B}+A\bar{C}$
10. $A\bar{B}\bar{C}+AE$
11. $BC+AB$
12. $\bar{A}C+\bar{B}\bar{C}$
13. $\bar{B}+\bar{A}C$
14. $\bar{A}BD+\bar{A}\bar{B}C$
15. $\bar{A}$
16. $\bar{C}$
17. $\bar{A}C+B\bar{C}$
18. $\bar{B}\bar{D}+\bar{A}\bar{B}\bar{C}$

4.9 节 ~ 4.10 节

1. b
2. d
3. d
4. c
5. a

第 5 章　组合逻辑电路

复习题答案

5.1 节

A. 见图 5.2(b)。

B.

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

C.

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

D. $\overline{\overline{A+C}+\overline{\overline{A}+\overline{C}}} =$

$(A+C)(\bar{A}+\bar{C}) =$

$A\bar{A}+A\bar{C}+\bar{A}C+C\bar{C} =$

$0+A\bar{C}+\bar{A}C+0 =$

$\bar{A}C+A\bar{C}$

E. X-OR

F. $\overline{A}C + A\overline{C}$ = 异或门

$\overline{\overline{A}}C + \overline{A}\,\overline{C}$ = 带非门的异或门

$AC + \overline{A}\,\overline{C}$ = 同或函数

G. $AC + \overline{A}\,\overline{C}$ = 同或门

$A\overline{C} + \overline{A}\,\overline{\overline{C}}$ = 带非门的同或门

$A\overline{C} + \overline{A}C$ = 异或函数

5.2 节

A. (1) 1

(2) 0

(3) 1

(4) 1

B. (1) 0

(2) 1

(3) 0

(4) 1

5.3 节

A. 见图 5.26(a)。

B. 史密特触发输入电路将慢变输入信号转变为快变的，无抖动的矩形或直角波形输出信号。

5.4 节

A. $\overline{S}A_0 + SA_1$

$\overline{S}B_0 + SB_1$

B. $A_1 = 0$，$B_1 = 1$

C. 选择数据

D. 分配数据

5.5 节

A. 四位二进制加计数模式

B. BCD 减计数模式

C. 在计数终值时，$\overline{\text{Carry Out}}$ 不能变为有效信号（低电平）。

D. $F_{(16)}(1111_{(2)})$

E. 无；与非门 #1 的输出是有效的，但是没有使用。

F. ROM 芯片 #3。

G. 无；所有的编码逻辑门都被禁止了。

H. 当被使能时，允许数据在一个方向上或另一个方向上运动的发送器 / 接收器电路。

I. $\overline{\text{MEMR}} = 0$，$\overline{\text{IOR}} = 1$

$\overline{\text{MEMW}} = 1$，$\overline{\text{IOW}} = 1$

5.6 节

A. 正常运行，$\overline{C}_{out}$ 在计数值为 0000 时变为有效电平。

B. 在计数终值时，$\overline{C}_{out}$ 不会变为低电平。

C. BCD 加计数

D. 正常运行，$\overline{C}_{out}$ 在计数值为 1001 时变为有效电平。

E. $\overline{C}_{out}$ 在全部奇计数值和计数终值时变为有效的低电平。

阶段性练习答案

5.1 节 ~ 5.2 节

1. d
2. c
3. c
4. d
5. a
6. b
7. a
8. b
9. d
10. a
11. a
12. b
13. a
14. a
15. a

5.3 节 ~ 5.6 节

1. d
2. d
3. c
4. a
5. b
6. a
7. c
8. c
9. a
10. a
11. d
12. b
13. d
14. b

第 6 章　锁存器和触发器电路

复习题答案

6.1 节

A. $Q = 0$

B. 错

C. 与非门

D. $\overline{SET} = 0$

   $\overline{CLR} = 1$

E. 对

6.2 节

A. 低电平（0）

B. 对

C. 或非门

D. SET = 1

CLR = 0

E. RETAIN

F.

SET	CLR	Q	$\bar{Q}$	状态
A	I	1	0	SET
I	A	0	1	CLEAR
I	I	NC	NC	RETAIN
A	A	0	0	INVALID

6.3 节

A. 同步

B. 高电平

C. 高电平

D. 低电平

E. 对

6.4 节

A. 脉冲

B. 边沿

C. 边沿触发

D. 对

E. 错

F. 对

G. 错

H. 翻转

I. 对

6.5 节

A. J-K 触发器

B. SET

C. SET

D. CLEAR

E. CLEAR

F. 保持前一个状态

G. TOGGLE

H. RETAIN

I. INVALID

J. 正边沿触发

6.6 节

A. 主－从

B. 对

C. CLEAR状态（主触发器处于SET状态，但是从触发器仍然处于CLEAR状态）

D. SET

E. 具有数据封锁功能的主从触发器

6.7节

A. 时序逻辑电路

B. 寄存器是一组用于传输或存储数据的锁存器或触发器

C. 0011（Q_A~Q_D）

D. 模或MOD

E. $1111_{(2)}=15_{(10)}$

6.8节

A. V_{CC}和接地线

B. 对

C. 2

D. 对

阶段性练习答案

6.1节~6.3节

1. b
2. a
3. a
4. a
5. b
6. b
7. d
8. c
9. a
10. b
11. c
12. d
13. d
14. b
15. c
16. b
17. a
18. b

6.4节~6.6节

1. c
2. b
3. c
4. a
5. a
6. b
7. d
8. b
9. a
10. a
11. a
12. b
13. b
14. a
15. b
16. d
17. c
18. b
19. a
20. b

7.5 节

A. 对

B. 对

C. 101 = $\overline{\text{LOAD}}$ = 0/1

  110 = t_1

  111 = t_2

  000 = t_3

  001 = t_4

  010 = t_5

D. 如图 7.149 所示。

E. 如图 7.150 所示。

F. 如图 7.151 所示。

注意： 左边计数器的 RCO 输出可以与第二个计数器的 ENP 相接，而 ENT 接高电平。另一种连接方式是去掉与非门，预置0110，将每一个RCO通过反相器连回到 $\overline{\text{LOAD}}$ 输入端，如图 7.56 所示。

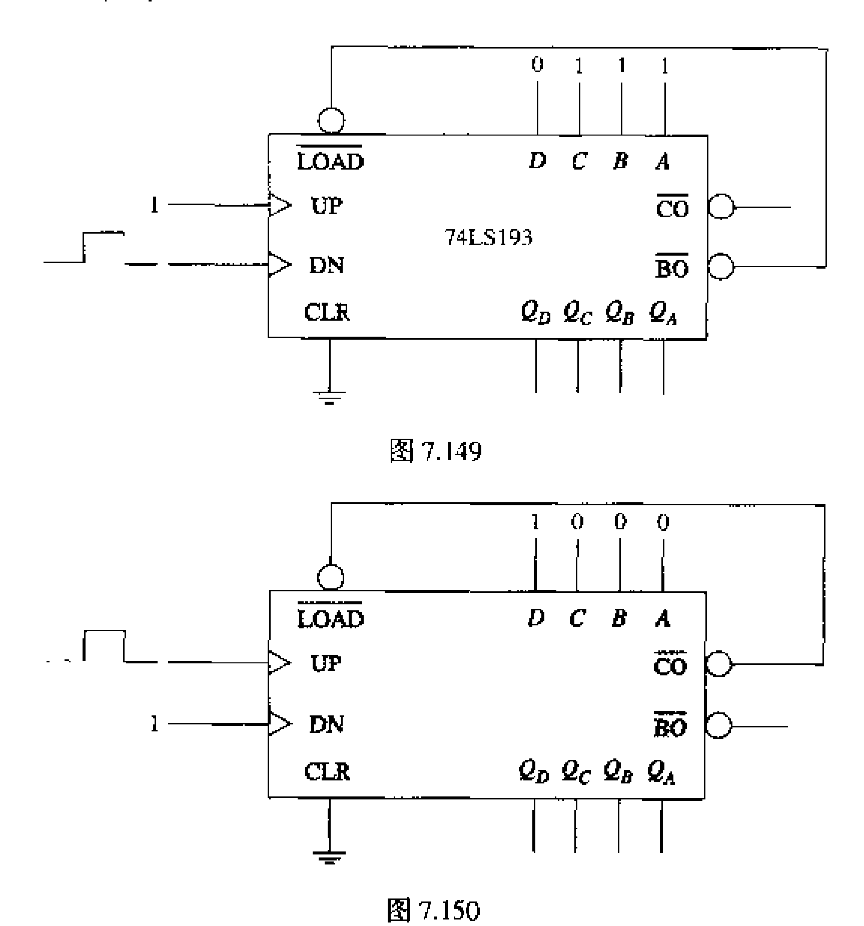


图 7.149

图 7.150

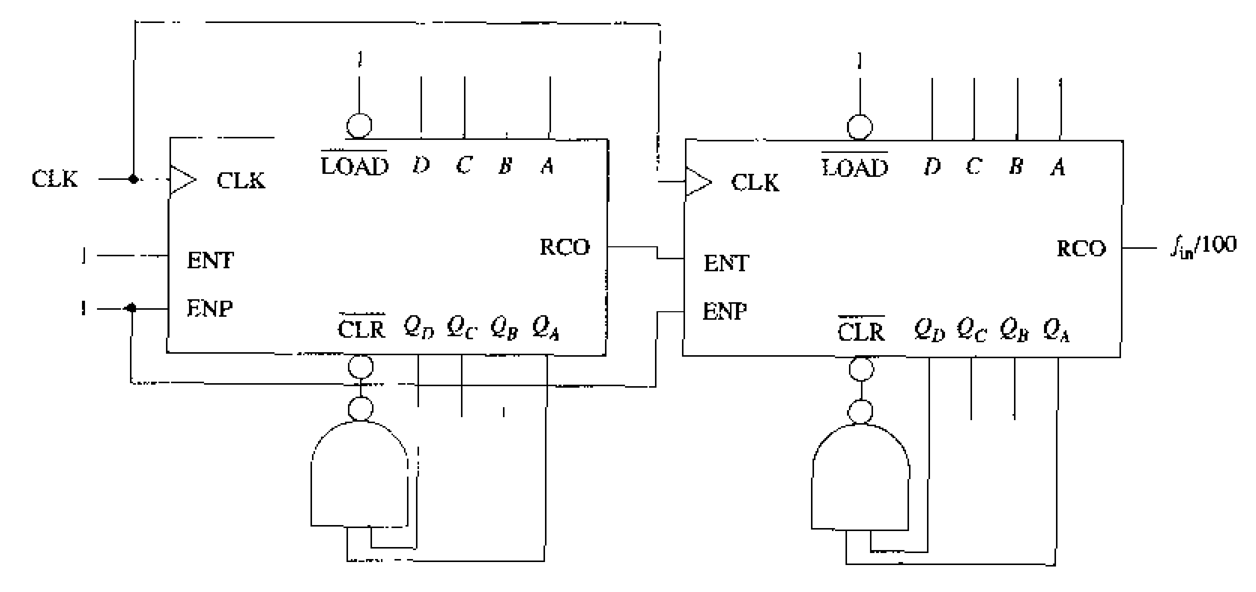


图 7.151

G. $\overline{LOAD}$ = 1

$\overline{CTEN}$ = 0

D/$\overline{U}$ = 1

CLK = 时钟

H. 高电平有效

I. 1001

J. PE = 0

BIN/$\overline{DECADE}$ = 1

UP/$\overline{DN}$ = 0

Clock = 时钟

7.7 节

A. 混合计数器可以产生对称输出。

B. 对

C. 如图 7.152 所示。

D. 如图 7.153 所示。

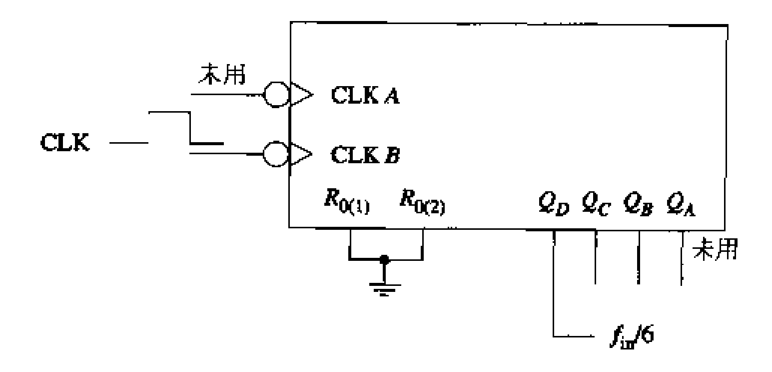


图 7.152

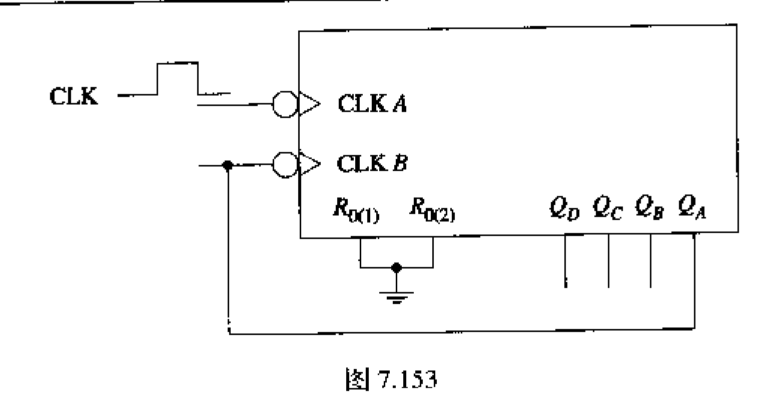


图 7.153

7.8 节

A. 对

B. 低电平

C. 对

D. 如图 7.154 所示。

E. 高电平

F. 如图 7.155 所示。

G. 低电平

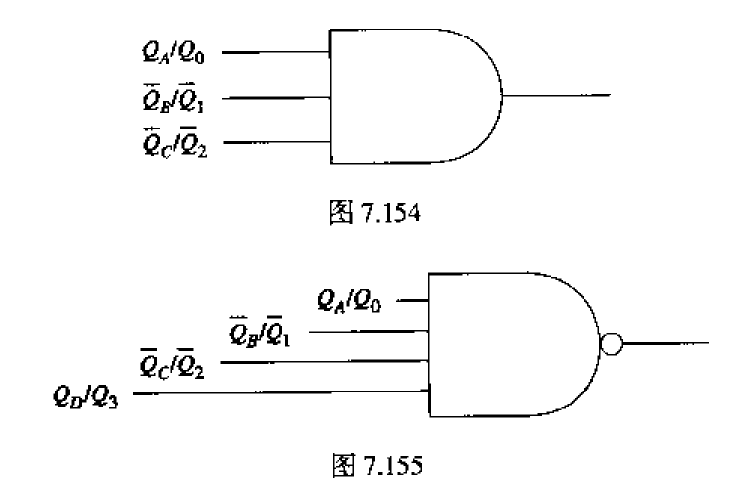


图 7.154

图 7.155

7.9 节

A. 环形计数器

B. 是

C. 不是

D. 如图 7.156 所示。

E. 111

F. 模 6

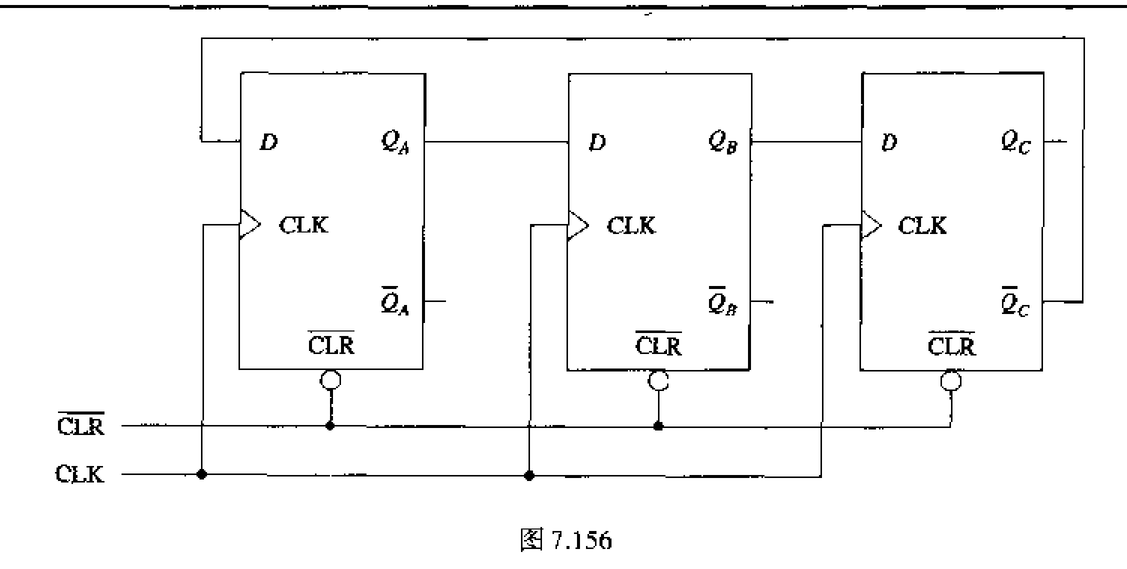


图7.156

阶段性练习答案

7.1节~7.2节

1. b
2. a
3. d
4. b
5. a
6. c
7. d
8. c
9. a
10. b
11. b
12. c
13. b
14. c
15. b
16. b

7.3节~7.5节

1. a
2. b
3. a
4. c
5. c
6. d
7. a
8. d
9. d
10. c
11. b
12. d
13. b
14. c
15. d
16. a
17. a
18. b
19. c
20. a

7.7节~7.9节

1. c
2. d
3. a
4. d
5. b
6. c
7. a
8. c
9. a
10. b
11. a
12. b
13. b
14. b
15. c

第 8 章　寄存器

复习题答案

8.1 节

A. 寄存器是一组用于传输、存储或移动数据的锁存器或触发器。

B. 串行入/串行出，串行入/并行出

C. 8

D. 8

E. 对

F. 16 位移位寄存器

8.2 节

A. 并行入/串行出，并行入/并行出

B. 1

C. 错

D. 对

E. 对

8.3 节

A. 错

B. 对

C. 对

D. 0010

F. 乘法

E. 模4

G. 2

H. 右移

8.4 节

A. **观察到的结果**

Q_A	Q_B	Q_C	Q_D	
0	0	0	1	t_1
0	0	1	1	t_2
0	1	1	0	t_3
1	1	0	0	t_4
1	0	0	0	t_5
0	0	0	1	t_6
0	0	1	1	t_7
0	1	1	0	t_8

B. 观察到的结果

Q_A	Q_B	Q_C	Q_D	
0	0	0	0	CLR
1	0	0	1	t_1
1	0	1	0	t_2
1	1	0	0	t_3
1	0	0	0	t_4
1	0	0	1	t_5

C. 将与门隔离或将与门的输出与D触发器的数据输入端断开。

D. 对

阶段性练习答案

8.1节~8.2节

1. a
2. c
3. c
4. a
5. b
6. a
7. b
8. c
9. d
10. d
11. c
12. b

8.3节~8.4节

1. b
2. d
3. b
4. a
5. b
6. c
7. b
8. c
9. a
10. a

第9章 数字运算与电路

复习题答案

9.1节

A. (1) 8

(2) 4

(3) 0

(4) 71

(5) 208

B. (1) 9

(2) 5

(3) 1

(4) 72

(5) 209

C.(1) 1100

(2) 0111

(3) 00111011

(4) 10110111

D.(1) 1101

(2) 1000

(3) 00111100

(4) 10111000

E.(1) 1011

(2) 1111

(3) 11000

(4) 10100

(5) 11011000

F. (1) 1010

$\underline{-0010}$　　$-0010 = 1101_{(模1)}$

$\underline{+\quad 1}$

$1110_{(模2)}$

$$\begin{array}{r} 1010 \\ \underline{+1110} \\ \textcircled{1}\,\mathbf{1000} \end{array}$$

└→ 结果为正

(2) 1111

$\underline{-0010}$　　$-0111 = 1000_{(模\ )}$

$\underline{+\quad 1}$

$1001_{(模2)}$

$$\begin{array}{r} 1111 \\ \underline{+1001} \\ \textcircled{1}\,\mathbf{1000} \end{array}$$

└→ 结果为正

(3) 0101

$\underline{-0100}$　　$-0100 = 1011_{(模1)}$

$\underline{+\quad 1}$

$1100_{(模2)}$

$$\begin{array}{r} 0101 \\ \underline{+1100} \\ \textcircled{1}\,\mathbf{0001} \end{array}$$

└→ 结果为正

(4) 1010

-1100 　 $-1100 = 0011_{(模1)}$

$+\quad 1$

$0100_{(模2)}$

1010

+0100

⓪1110

→ 结果为负的模2补码

1110 = 0001

$+\quad 1$

-0010

(5) 0011

-0101 　 $-0101 = 1010_{(模1)}$

$+\quad 1$

$1011_{(模2)}$

0011

+1011

⓪1110

→ 结果为负的模2补码

1110 = 0001

$+\quad 1$

-0010

9.2节

A. (1) 产生无效和时加0110。

(2) 当两个BCD数相加时，和产生进位输出时加0110。

B. (1) $0110_{(BCD)}$

(2) $0010\ 1001_{(BCD)}$

(3) $0001\ 0100\ 0000_{(BCD)}$

(4) $0001\ 0000\ 0000\ 0000_{(BCD)}$

C. (1) $0011\quad 0001_{(BCD)}$

$+0010\quad 0010_{(BCD)}$

$0101\quad 0011_{(BCD)} = 53_{(10)}$

(2) $0101\quad 0110_{(BCD)}$

$+0100\quad 0011_{(BCD)}$

$1001\quad 1001_{(BCD)} = 99_{(10)}$

(3) $0110\quad 1000\quad 0001_{(BCD)}$

$+0010\quad 0001\quad 0111_{(BCD)}$

$1000\quad 1001\quad 1000_{(BCD)} = 898_{(10)}$

(4)

$$\begin{array}{rrl} & \overset{1}{} & \\ & 0111 & 1000_{(BCD)} \\ + & 0001 & 1001_{(BCD)} \\ \hline & 1001 & 0001 \\ + & & 0110 \\ \hline & 1001 & 0111_{(BCD)} = 97_{(10)} \end{array}$$

(5)

$$\begin{array}{rrl} & 0100 & 0101_{(BCD)} \\ + & 0011 & 0110_{(BCD)} \\ \hline & 0111 & 1011 \\ + & 1 & 0110 \\ \hline & 1000 & 0001_{(BCD)} = 81_{(10)} \end{array}$$

(6)

$$\begin{array}{rrrl} & & \overset{1}{} & \\ & 0000 & 0111 & 0111_{(BCD)} \\ + & 0000 & 0011 & 1001_{(BCD)} \\ \hline & 0000 & 1011 & 0000 \\ + & 1 & 0110 & 0110 \\ \hline & 0001 & 0001 & 0110_{(BCD)} = 116_{(10)} \end{array}$$

D.(1) $0110_{(XS3)}$

(2) $1100_{(XS3)}$

(3) $0110\ 1011_{(XS3)}$

(4) $0100\ 1100\ 0111_{(XS3)}$

9.3 节

A. $\Sigma_3\sim\Sigma_0 = 0001$

$C_4 = 1$

B. $\Sigma_3\sim\Sigma_0 = 1110$

$C_4 = 1$

C. $\Sigma_7\sim\Sigma_0 = 0000\ 1101$

低一级加法器的 $C_4 = 0$

高一级加法器的 $C_4 = 1$

D. $\Sigma_3\sim\Sigma_0 = 0010$

$C_4 = 1$

E. $\Sigma_3\sim\Sigma_0 = 1010$

$C_4 = 1$

9.4 节

A. $\Sigma_3\sim\Sigma_0 = 1000$

$C_{out} = 0$

B. $\Sigma_3\sim\Sigma_0 = 0010$

$C_{out} = 1$

A. $\Sigma_3\sim\Sigma_0 = 0111$

$C_{out} = 1$

9.5节

A. 加，减，乘，除，增加，减少，比较，加倍

B. NOT，AND，OR，NAND，NOR，X-OR，X-NOR

C. $F_3 \sim F_0 = 1010 = A$

$\overline{C}_{n+4} = 0 =$ 进位为1（结果为正）

D. $F_3 \sim F_0 = 1001 = A$ 减 1

$C_{n-4} = 0 =$ 进位为1（结果为正）

E. $F_3 \sim F_0 = 1000 = AB$

F. $F_3 \sim F_0 = 0001 = A + \overline{B}$

阶段性练习答案

9.1节～9.2节

1. a. 7
   b. 89
   c. 33
   d. 617
2. a. 7
   b. 88
   c. 52
   d. 841
3. a. 10
   b. 0110
   c. 01111000
   d. 11001100
4. a. 1101
   b. 0001
   c. 01110011
   d. 10100100
5. a. 10000
   b. 1010
   c. 11110
   d. 100111111
6.

a.

1111
−0111 = 1000
+ 1
1001

1111
+1001
①1000
结果为正

b.

1011
−1000 = 0111
+ 1
1000

1011
+1000
①0011
结果为正

c.
```
  1000                    1000
 -0101 = 1010           + 1011
        +   1          ①0011
         1011            └──► 结果为正
```

d.
```
  0101                    0101
 -1000 = 0111           + 1000
        +   1          ⓪1101
         1000            └──► 求模2补码
                              得到答案

  1101 = 0010
        +   1
        -0011
```

7. a. $0011_{(BCD)}$

   b. 0001 0010 $0100_{(BCD)}$

8. a. 0100 $0011_{(XS3)}$

   b. 0101 1100 $1010_{(XS3)}$

9. a.
```
  0110  0100(BCD)
 +0011  0001(BCD)
  1001  0101(BCD)
```
   b.
```
  0001  0010  0111(BCD)
 +0001  0100  0001(BCD)
  0010  0110  1000(BCD)
```
   c.
```
  0001  1000(BCD)
 +0001  0110(BCD)
  0010  1110(BCD)
 +   1  0110(BCD)
  0011  0100(BCD)
```
d.
```
       1
  0001  1000(BCD)
 +0011  1000(BCD)
  0101  0000
 +      0110
  0101  0110(BCD)
```

9.3节～9.5节

1. a
2. c
3. b
4. c
5. b
6. b
7. a
8. d
9. b
10. d
11. c
12. d

第10章 MSI数字电路

复习题答案

10.1节

A. (1) 检测输入码/数并使其中一个输出有效

(2) 数码转换器

B. Y_3 (O_3)

C. Y_0 (0端)

D. 输出端都无效，因为 $G_1=0$ 且译码器不工作。

E. 4，10

F. 低电平（逻辑0）

G. 消除显示数据中的前导零或零的一种方法，

10.2节

A. 检测有效输入并将其转换为二进制码/数。

B. 11

C. 高电平

D. 000

E. 高电平（1）

F. 0输入没有输入端，此时的输入意味着编码器的输入端都无效。

10.3节

A. 选择数据的过程

B. 1

C. 数据选择

D. $1Y=2Y=3Y=4Y=1$

E. 1（选择 C 输入数据）

F. 0（选 D_7 输入数据）

G. 0（输出为0，因为数据选择器不工作）

10.4节

A. 数据分配的过程

B. 错

C. 对

D. $Y_7=0$，其他输出为1。

10.5节

A. 比较两个数值哪一个较大。

B. $A>B$，$A<B$ 和 $A=B$。高电平有效

C. $A>B=0$，$A<B=1$，$A=B=0$

D. $A>B=1$, $A<B=0$, $A=B=0$

E. $A>B=0$, $A<B=1$, $A=B=0$

阶段性练习答案

10.1 节 ~ 10.2 节

1. b
2. c
3. c
4. d
5. a
6. a
7. a
8. c
9. b
10. a
11. b
12. d
13. a
14. d
15. b
16. a
17. c
18. d

10.3 节 ~ 10.5 节

1. a
2. b
3. d
4. b
5. a
6. a
7. c
8. c
9. c
10. b
11. d
12. a
13. d
14. b
15. d

第 11 章　接口和数据转换

复习题答案

11.1 节

A. 双极型

B. 单极型

C. 增强型

D. 双极型和单极型

11.2 节

A. 错

B. 与非门

C. 对

D. 供出

E. 灌入

F. 灌

G. 门的输出能够可靠驱动的最大输入数目。

H. 对

I. 在保持可靠工作情况下，电路在其输入端能容许的噪声信号的能力。

J. 错

K. $AB \cdot CD$

L. 错

M. 集电极开路输出门

11.3 节

A. 集成电路输出端应用三态：逻辑0、逻辑1和Hi-Z。

B. 总线同时允许多个器件工作时引起的总线无效状态

C. 逻辑1

D. 悬空（Hi-Z）

E. 三态输出

F. 允许在两个数据总线之间实现异步双向传输的器件。

G. 数据 B 到总线 A

H. Hi-Z 状态

I. 左移

J. Hi-Z 状态

11.4 节

A. $V_{out} = V_{IN} \div 2^{N-n}$

$= +4\ V \div 2^{4-2} = +4\ V \div 2^2 =$

$+4\ V \div 4 = \mathbf{+1\ V}$

B. $V_{out} = V_{IN} \div 2 = 2\ V$，此时 D_2 对地短路

$V_{out} = V_{IN} \div 4 = 1\ V$，此时 D_3 对地短路

$V_{out} = \mathbf{3\ V}$

C. $2^{10} = \mathbf{1\,024}$

D. LSB = 5 V ÷ 1 024 = **0.004 88 V**

E. 0.004 88 V ÷ 5 V = 0.000 976 = **0.097 6%**

F. 当输出的递增或递减响应输入信号连续递增或递减时，数据转换器的操作。

G. 优点：高速操作。

缺点：高分辨率需要更多的运放比较器，既增加集成电路成本又增加功率消耗。

H. 为了重现周期性信号，采样频率至少应为被采样信号中最高频率的2倍。

I. 混叠

J. 抗混叠滤波器：防止采样频率低于被采样信号最高频率的2倍时引起的低频失真。

采样和保持电路：用于高频率转换的电路，该电路用比ADC转换更短的时间来采样ADC输入端的模拟信号。

ADC：用于把模拟输入量化并编为数字数码（代码）的电路。

信号处理：用于处理、限定或存储数据的数字电路。

DAC：用于把量化的数字信号转换为模拟信号的电路。

平滑滤波器：用于平滑模拟输出信号的滤波器。

阶段性练习答案

11.1 节～11.2 节

1. a
2. a
3. b
4. a
5. a
6. c
7. b
8. b
9. a
10. c
11. a
12. c
13. a
14. a
15. d

11.3 节～11.4 节

1. d
2. a
3. d
4. a
5. b
6. c
7. b
8. a
9. d
10. a
11. b
12. a
13. b
14. c
15. a

第 12 章 存储器

复习题答案

12.1 节

A. (1) h (2) i (3) e (4) d (5) g (6) a (7) c

B. (1) 当去掉外部电源电压时，存储内容会全部丢失的存储器。

(2) 当微处理器向存储器字单元或 I/O 端口写入（存储）数据时的总线周期。

(3) 8 位数据。

(4) 存储器内所包含的存储单元的数目。

C. 16 384

D. 4

E. 65 536

F. 14

G. 1 048 576

H. 8

I. 1 048 576

J. 20：利用多路转换技术通常只需要10个地址引脚，有关内容详见12.3节。

12.2节

A. 非易失性

B. 正确

C. MROM
　PROM
　EPROM（UVPROM）
　EEPROM（E^2PROM）

D. PROM

E. MROM

F. PROM

G. EPROM（UVPROM）

H. 有效数据输入和有效数据输出之间的时间间隔。

I. (1) CS：片选控制端，低电平有效，用于选中某一芯片。
　(2) OE：输出使能端，低电平有效，用于选中输出缓冲器。
　(3) $\overline{WE}$：写使能控制端，低电平有效，用于使能RAM的写操作。
　(4) RD/$\overline{WR}$：读/写控制端，外加高电平时系统执行读操作，外加低电平时系统执行写操作。
　(5) 一次可编程性：这是和PROM技术相关的一个概念——熔丝连接一旦被熔断，内部存储的程序不能再更改。
　(6) PROM熔固：由PROM编程员对PROM芯片编程的过程。

J. 闪速存储器

K. 错误

12.3节

A. 易失性

B. SRAM、DRAM，PSRAM

C. DRAM

D. DRAM

E. DRAM

F. 减少芯片上地址引脚的数目。

G. 集成度高，电路简单。

H. 错误

12.4节

A. 便于阅读。

B. 从地址的最低值到最高值的变化范围。

C. 13

D. 1111 101X XXXX XXXX XXXX

1111 1010 0000 0000 0000

1111 1011 1111 1111 1111

$= FA000_{(16)}$ = 最低地址

$= FBFFF_{(16)}$ = 最高地址

或

8 K = 8 192　　　　起始地址 = $FA000_{(16)}$

$\underline{-\quad 1}$　　　　　　$\underline{+\ 1FFF}$

8 191 = $1FFF_{(16)}$　最高地址 = $FBFFF_{(16)}$

E. 如图 12.52 所示。

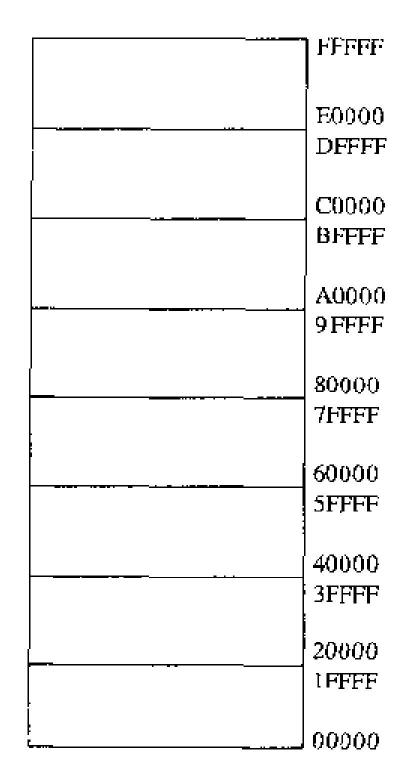


图 12.52

F. 0011 1XXX XXXX XXXX XXXX

0011 1000 0000 0000 0000 = $38000_{(16)}$

0011 1111 1111 1111 1111 = $3FFFF_{(16)}$

如图 12.53 所示。

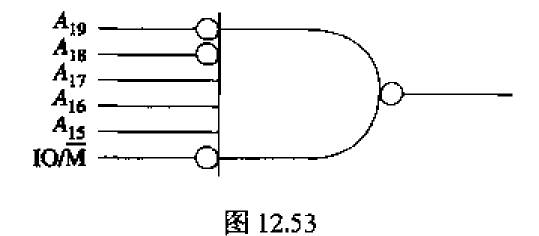


图 12.53

阶段性练习答案

12.1 节 ~ 12.2 节

1. a
2. c
3. c
4. a
5. a
6. d
7. b
8. b
9. b
10. c
11. a
12. d
13. a
14. b
15. a
16. b
17. c
18. a
19. c
20. d
21. a
22. c
23. d
24. c

12.3 节 ~ 12.4 节

1. a
2. b
3. a
4. c
5. b
6. c
7. c
8. d
9. b
10. a
11. a
12. a
13. d
14. d
15. a
16. b
17. b
18. a
19. b
20. d

第 13 章　可编程逻辑器件 / 阵列

复习题答案

13.1 节

A. 带有未开发逻辑阵列的集成电路。

B. SOP

C. 熔丝保持完整，可编程连接点。

C. 固定连接

D. 熔丝已熔断，可编程连接点。

13.2 节

A. PLE，PLA 和 PAL

B. 与门阵列和或门阵列

C. 与门阵列

D. 熔丝分布图、布尔表达式、真值表、原理图编辑。

E. (1) 16 个输入端和 8 个输出端；寄存器输出。

(2) 20 个输入端和 8 个输出端；低电平有效的组合逻辑输出。

(3) 22 个输入端和 10 个输出端；应用灵活，可实现组合或寄存器输出。

F. 专用集成电路

G. 优点：集成度高、体积小、能量消耗少、可靠性高。

缺点：价格昂贵，只适用于大批量生产；首次生产时间长。

13.3 节

A. 对　B. 逻辑　C. 对　D. 寄存器输出　E. (4)

F. 非反相　G. 防止复制或检测存储器的数据　H. (1)

I. (4)　J. PT Reset = 1 或 Global, $\overline{\text{RESET}} = 0$

K. 巨型块　L. 对

13.4 节

A. 寄存器

C. 译码逻辑模块

B. 错

D. 二输入或门

阶段性练习 答案

13.1 节 ~ 13.2 节

1. b
2. b
3. d
4. b
5. c
6. a
7. a
8. d
9. c
10. b
11. c
12. a

13.3 节 ~ 13.4 节

1. a
2. a
3. c
4. d
5. a
6. a
7. b
8. a
9. b
10. a

术 语 表

Active Clock Transition（**有效时钟转换**）：输入时钟脉冲由高电平向低电平或由低电平向高电平转换。

Active-High Latch（**高电平有效锁存**）：对于双稳存储器件，当向其置位SET或清零CLEAR输入端加上高电平时，存储器件被置位或清零，此时其他输入无效。

Active-High Signal（**高电平有效信号**）：信号状态必须为逻辑1时才能完成指定任务。

Active-Low Latch（**低电平有效锁存**）：对于双稳存储器件，当向其置位$\overline{SET}$或清零$\overline{CLEAR}$输入端加上低电平时，存储器件被置位或清零，此时其他输入无效。

Active-Low Signal（**低电平有效信号**）：信号状态必须为逻辑0时才能完成指定任务。

Address Bus（**地址总线**）：地址总线，用于微处理器对指定存储器或I/O单元寻址。

Aliasing（**混叠**）：以低于信号中最高频率两倍的频率进行信号取样时出现的一种效应，即取样状态还原时，还原后的信号将不再含有原来信号中的高频成分，并将显示为失真的低频信号。

Alternate Logic Gate Symbols（**可替换逻辑门符号**）：该符号与原逻辑门符号等效，实现的逻辑功能相同。可替换逻辑门符号以低电平有效信号来代替高电平有效信号，反之亦然。

American Standard Code for Information Interchange（**简称ASCII，美国国家信息交换标准码**）：一种标准码，使用二进制代码表示字母、数字、标点符号及其他特殊符号。

Analog-to-Digital Conversion（**模数转换**）：将模拟信号转换为数字信号的过程。

Analog-to-Digital Converter（**ADC，模数转换器**）：用于实现模数转换的电路。

AND Gate（**与门**）：一种逻辑电路，只有当所有输入都为高电平时，其输出才为高电平。

ANSI（**ANSI**）：美国国家标准协会。

Antialiasing Filter（**抗混叠滤波器**）：用以防止虚假失真信号产生的滤波器。

Antifuse（**抗熔丝**）：一次性可编程器件，它具有两个端子，存储内容不易丢失，在许多FPGA中用为可编程互连开关。

Application-Specific Integrated Circuit（**简称ASIC，专用集成电路**）：为专门用途而设计制造的集成电路。

Arithmetic Logic Unit（**简称ALU，算术逻辑单元**）：一种逻辑电路，可以实现多种算术和逻辑运算。

Assert（置有效）：使数字信号为有效状态

Associative Property of Addition（加法结合律）：或运算的一种运算规律，无论参与或运算的变量如何组合，其结果相同。如：$(A+B)+C=A+(B+C)=A+B+C$。

Associative Property of Multiplication（乘法结合律）：与运算的一种运算规律，无论参与与运算的变量如何组合，其结果相同。如：$(AB)C=A(BC)=ABC$。

Asynchronous（异步）：非同时发生。

Asynchronous Counter（异步计数器）：一种二进制计数器，外部的时钟输入信号只加在最低位触发器上，又称为脉动计数器。

Asynchronous Preloading（异步预置）：无需时钟脉冲而将外部数字送入可编程计数器的能力。由于这种预置能力，使计数器可以实现模数不同的计数。

BCD Adder（BCD 加法器）：是一种二进制加法器，对由二进制编码的十进制数求和

BCD Adjust（BCD 修正）：两个BCD数求和时，当其和值无效或产生进位时，需加上0110进行修正

Binary（二进制）：基于两个数字（0 和 1）的一种计数系统。

Binary-Coded Decimal（简称BCD，二进制编码的十进制）：十进制数的一种编码方式，每一位十进制数用 4 位二进制数编码构成（BCD 码格式）。

Binary-Coded Octal（简称BCO，二进制编码的八进制）：八进制数的一种编码方式，每位八进制数由 3 位二进制数编码构成（BCO 码格式）。

Binary-Coded Hexadecimal（简称BCH，二进制编码的十六进制）：十六进制数的一种编码方式，每位十六进制数由 4 位二进制数编码构成（BCH 码格式）。

Binary Counter（二进制计数器）：一种用于二进制数计数或分频的数字电路。

Bi-Quinary（二－五进制）：二－五进制计数器是一种模为 10 的对称输出计数器。

Bistable（双稳态）：用于说明具有两种稳定状态的电路或器件。

Bit（位）：一个二进制数（0 或 1）。

Boolean Addition（布尔加法）：布尔代数中的或运算。

Boolean Algebra（布尔代数）：利用数学符号描述逻辑操作的一种逻辑形式。

Boolean Multiplication（布尔乘法）：布尔代数中的与运算。

Boot-Up（引导）：将程序装入计算机存储器中以初始化系统的过程。

Broadside（扩展）：并行装入电路，如寄存器。

Buffer（缓冲器）：1. 带有一个数据输入端和一个数据输出端的电路，用于隔离或增加电流，以增加扇出系数；2. 一种存储块，用于数据的暂时存放。

Bus（总线）：连接系统中两个或多个器件的导线或导线集合。

Bus Contention（总线争用）：当允许两个或多个数字设备同时在线时，会发生总线争用现象。总线争用可能会破坏与总线相连的电路，并且通常会产生无效输出。

Bus Cycle（总线周期）：执行一条指令所需要的时间。

Bus Transceiver（总线收发器）：数字系统中的一种电路，允许两个数据总线间进行异步双向通信。

Byte（字节）：8 位数据。

Central Processing Unit（中央处理单元）：微处理器。

CLEAR/RESET State（清零/复位状态）：锁存器或触发器的一种输出状态，此时 $Q=0$，$\bar{Q}=1$。

CMOS Technology（CMOS 技术）：使用单极型晶体管（N 型和 P 型 MOSFET）构成的一种逻辑电路。

Code（代码）：用于表示数字、字母或符号的一种位组合。

Code Converter（代码转换器）：一种译码器，用于探测二进制代码并将其转换成另一种代码形式。

Combinational Logic Circuit（组合逻辑电路）：一种逻辑电路，其输出完全取决于输入状态。

Common Control Block（公共控制模块）：位于 ANSI/IEEE 符号最上端的块，与其余各块是分隔的。该块的输入是 IC 中所有电路的公共输入。

Commutative Property of Addition（加法交换律）：布尔代数中或运算的一种运算规律，即 $A+B=B+A$。

Commutative Property of Multiplication（乘法交换律）：布尔代数中与运算的一种运算规律，即 $AB=BA$。

Complement（补码）：对二进制状态取反，如逻辑 1 的补码是逻辑 0，反之亦然。

Complement Property（互补律）：布尔代数中的一种运算法则，即 $A\cdot\bar{A}=0$，$A+\bar{A}=1$。

Complementary Metal-Oxide Semiconductor（简称 CMOS，互补金属氧化物半导体）：使用 P 沟道和 N 沟道 E-MOSFET 实现逻辑功能的逻辑电路。

Control Bus（控制总线）：一种双向总线，用于指示某一指定操作，如读、写或中断；也用于监控某一器件的状态或确认某一事件。

Current Sinking（灌电流）：当某一逻辑门输出为低电平时，电流流入该逻辑门。

Current Sourcing（拉电流）：当某一逻辑门输出为高电平时，电流流出该逻辑门。

Data（**数据**）：数字系统信息（逻辑0和1）。

Data Bus（**数据总线**）：用于传输数据的双向总线。

Data Lockout（**数据锁存**）：使用边沿触发取代脉冲触发的某些主从触发器的特点。

Decade Counter（**十进制计数器**）：模为10的计数器。

Decode（**译码**）：识别并转换二进制数或代码的过程。

Decoder（**译码器**）：用于译码的逻辑电路。

Decrement（**减1递减**）：将数字逐一递减。

DeMorgan's Theorems（**摩根定律**）：布尔代数的一种运算规律，即 $\overline{A+B}=\bar{A}\bar{B}$，$\overline{AB}=\bar{A}+\bar{B}$。

Demultiplex（**数据分配**）：分配数据。

Demultiplexer（**简称DEMUX，数据分配器**）：用以实现数据分配的电路。

Dependency Notation（**相关性符号**）：在ANSI/IEEE标准符号中使用的一种字母符号，用于指示输入之间、输出之间或输入输出之间的关系，但并不明确说明所有的内部连接。

Destination Register（**目的寄存器**）：数据传送中的接收寄存器。

Differential Nonlinearity（**非线性误差**）：在数据转换中，与理想1 LSB所产生的最大偏移。

Digital-to-Analog Conversion（**数模转换**）：将二进制信号转换为模拟信号的过程。

Digital-to-Analog Converter（**简称DAC，数模转换器**）：实现数模转换的电路。

DIP（**DIP**）：双列直插式封装，是IC的载体。

Direct Memory Access（**简称DMA，直接存储器存取**）：是一种高速存储器存取方法，CPU放弃对数据总线的控制，通过一个外围设备，可实现数据在I/O与存储器间及存储器之间的直接传送。

Distributive Property of Multiplication Over Addition（**分配律**）：一种数学运算律，用于按一定的次序将括号打开，即，$A(B+C)=AB+AC$。

Divide-by-n Counter（**n分频计数器**）：二进制计数器，其最高有效位输出的分频能力等于它的模。

Don't Care Signals（**无关信号**）：逻辑状态既可以为0，也可以为1的信号。

Double Negation Property（**双重否定特性**）：布尔代数的一种运算规律，如果对输入变量两次取反，或取反的次数为偶数，则结果等于原变量。

Drive Gate（**驱动门电路**）：一种逻辑门电路，其输出与另一门电路的输入相连。

D-Type Flip-Flop（**D型触发器**）：是一种触发器，它有一个数据输入端（D），二种工作模式，分别为置位、清零和保持。

Dynamic Input Indicator（**动态输入指示符**）：用于触发器时钟输入端的指示符，表示电路为边沿触发。

Dynamic Operation（**动态操作**）：逻辑状态快速转换的逻辑电路/门操作。

Dynamic RAM（**简称DRAM，动态RAM**）：是一种可随机存取，易失性的存储器，在加电时可保持内部存储内容并进行数据刷新，DRAM使用MOSFET电容作为存储单元。

Edge Detector（**边沿检测器**）：在有效时钟转换（PCT或NCT）时能输出短时的正逻辑尖顶脉冲

Edge Triggered（**边沿触发**）：由脉冲的上升沿或下降沿触发的电路。

8-4-2-1 Code（**8-4-2-1码**）：一种BCD代码.

Electrically Erasable PROM（**简称EEPROM/E²PROM，电可擦除PROM**）：是一种非易失性的静态存储设备，其中的内容可有选择地进行电擦除。

Emitter-Coupled Logic（**发射极耦合逻辑**）：是一种高速的逻辑电路，采用了双极型晶体管技术。

Enable（**使能**）：激活一个逻辑门/电路，允许其工作。

Enable Property（**使能特性**）：布尔代数中的运算特性，即 $A \cdot 1 = A$，$A + 0 = A$。

Enabler（**使能有效值**）：使逻辑门/电路工作时，使能端的逻辑状态。

Encode（**编码**）：生成二进制数字或代码的过程。

Encoder（**编码器**）：用于编码的电路。

End-Around Carry（**循环进位**）：在利用模9或模1的补码相加而实现的不带符号减法运算中，两个补码和的最终进位称为循环进位。

Erasable Programmable ROM（**简称EPROM，可擦除可编程ROM**）：是利用紫外线进行擦除的可再编程ROM，有时也称为UVPROM。

Excess-Three Code（**简称XS3码，余3码**）：是一种自求补的二进制代码，将每一个十进制数加3，然后将其和编码为4位二进制数。

Exclusive-NOR Gate（**简称XNOR门，同或门**）：是一种二输入逻辑电路，只有当所有输入状态相同时输出才为高电平。

Exclusive-OR Gate（**简称XOR门，异或门**）：是一种二输入逻辑电路，只有当两个输入互补时输出才为高电平。

Fan-In（**扇入**）：单位负载。

Fan-Out（扇出）：逻辑门输出能可靠驱动的输入的最大数目。

Fetch Operation（取操作）：微处理器的读操作。

Field-Programmable Gate Array（简称FPGA，现场可编程门阵列）：是一种用户可编程、高集成度集成电路，与PLD比较，它是一种寄存器型器件。

Firmware（固件）：是硬件的组成部分，如已存储了软件的ROM芯片。

Flag（标志位）：触发器的特殊目的值，用于表示微处理器的状态和控制条件。

Flash ADC（闪速ADC）：用于将模拟量转换为数字量的电路，也称为同步ADC。

Flash Memory（闪速存储器）：是一种高集成度、低成本、可实现再编程的存储设备，其内部存储内容不易丢失，存取速度快。闪速存储器实现了EPROM的高集成度和E^2PROM的在电路可编程性。

Flip-Flop（触发器）：是一种双稳时序逻辑电路，可存储一位二进制数，即逻辑0或逻辑1。

Floating Inputs（悬空输入端）：指逻辑电路中未连接或断开的输入端。

Full Adder（全加器）：是一种组合逻辑电路，有3个输入端，分别为A（加数）、B（被加数）和低位进位输入；输出为两个值，即和与进位输出。

Gated Latch（门控锁存器）：是一种同步锁存电路，它有一个控制（使能）输入端，用以确定锁存器状态的翻转时刻。

Generic Array Logic（简称GAL，通用阵列逻辑）：是一种PLD，它能实现组合和时序逻辑功能。这类器件是由Lattice Semiconductor公司将E^2CMOS技术和PLD技术结合而开发的产品。

Gray Code（格雷码）：一种二进制编码，其中的顺序数采用二进制表达式，每一个表达式仅在一位上和它前一个数的表达式不同。

Half-Adder（半加器）：是一种组合逻辑电路，有两个输入端，分别为A（加数）和B（被加数），输出两个值，即和与进位输出。

Hardware（硬件）：指数字系统中的物理组成部件，如集成电路、驱动器等。

Hexadecimal（十六进制）：是一种计数系统，它有16个基数，分别为0，1，2，3，4，5，6，7，8，9，A，B，C，D，E和F。

High-Impedance State（简称Hi-Z，高阻态）：是电路的一种输出状态，即输出与总线分离。

Hold Time（保持时间）：是指触发器的CLK输入端从有效时钟转换到数据输入使电路正常操作之间的时间间隔。

Hybrid Counter（混合计数器）：是一种二进制计数器，既有同步时钟控制，也有异步时钟控制。

Hysteresis（**迟滞**）：施密特触发输入电路中两个阈值电压之间的差值。

IEEE：电气和电子工程师协会

Increment（**加 1 递增**）：将数字加 1 递增。

Inhibit（**禁止**）：使逻辑门/电路无效，禁止其操作

Inhibit Property（**禁止特性**）：布尔代数中的运算特性，即 $A \cdot 0 = 0$、$A + 1 = 1$

Inhibitor（**禁止有效值**）：使逻辑门/电路无效时，禁止端的逻辑状态。

Input/Output Ports（**简称 I/O，输入/输出端**）：微处理器与 I/O 设备通信的接口通道。

Interface（**接口**）：利用外部组件或电路使电路之间建立连接。

Interface Circuit（**接口电路**）：用于调节信号以使其适用于驱动负载的门电路或组件。

Interrupt（**中断**）：CPU 暂停当前的运行程序（必要时可将数据存放在栈中），而执行中断服务程序以完成中断请求

Interrupt Request（**中断请求**）：由外围设备发出的信号，请求 CPU 执行中断服务程序。

Interrupt Service Routine（**中断服务程序**）：一种服务于中断设备的特定程序，中断时程序运行顺利通过中断。

Invalid/Ambiguous State（**无效/不定态**）：指锁存器或触发器的一种不希望出现的输出状态，此时 Q 和 Q 输出状态相同。

Inverter（**反相器**）：一种单输入端逻辑电路，它的输出与输入互补，通常又称为非门。

J-K Flip-Flop（**J-K 触发器**）：此类触发器有两个数据输入端（J 和 K），4 种工作模式即置位、清零、保持和翻转。

J-K Master-Slave Flip-Flop（**J-K 主从触发器**）：一类脉冲触发的触发器，是将两个 J-K 触发器连接起来实现的。

Johnson Counter（**约翰逊计数器**）：是一种移位寄存器计数器，它的输出 $\overline{Q}$ 连回到本身的输入端，又称为环形计数器。

Karnaugh Map（**卡诺图**）：真值表的图形表示方法，可用于布尔表达式的简化。

K-Map Looping（**卡诺圈**）：卡诺图中用以将 2 个、4 个或 8 个相邻最小项圈起的封闭环。

Latch（**锁存器**）：一种双稳电路，可用于存储逻辑 0 或逻辑 1，即使去掉输入数据也可保持信息。

Leading Zero Suppression（**前导零消除**）：当使用多个 7 段码显示器时，用于去掉数字中前导零的一种方法。

Least Significant Bit (LSB)/Digit (LSD)（最低有效位，LSB/LSD）：在二进制或十进制数中，具有最低"权"值的位。

Load（负载）：1. 由门/电路输出驱动的输入；2. 将数据装入电路中。

Load Gate（负载门）：是一种门电路，它的输入与其他门电路的输出相连。

Logic Gate（逻辑门）：用于实现逻辑运算功能的门电路，如与门、或门、与非门、或非门、异或门、同或门、非门等。

Logic Level（逻辑电平）：逻辑门/电路中的低电平（逻辑0）和高电平（逻辑1）。

Logic Probe（逻辑探针）：用于指示集成电路的输入/输出引脚或某根线的数据状态，是低电平、高电平、脉冲信号还是无效信号。

Logic Pulser（逻辑脉冲发生器）：是一种时钟控制设备，用于向数字电路/集成电路中注入逻辑脉冲。

Logical Inversion（逻辑求反）：是由非门实现的逻辑操作，将低电平转换为高电平，反之亦然。

Logical Product（逻辑乘）：由与门实现的逻辑操作。

Logical Sum（逻辑和）：由或门实现的逻辑操作。

Look-Ahead Carry（超前进位）：某些加法器和计数器为了提高进位输出的速度而采用的一种方法。

Machine-Level Language（机器语言）：用于数字电路的二进制位组合。

Magnitude Bits（数值位）：一个二进制数字中除了符号/奇偶位以外的所有位数。

Magnitude Comparator（数值比较器）：一种组合逻辑电路，用于比较两个二进制数的大小。

Mask ROM（简称MROM，掩膜ROM）：一种半导体存储器，使用光掩膜进行编程。

Memory Address（存储地址）：用于选中某个存储器芯片或者芯片内某个指定区域的二进制地址。

Memory Capacity（存储容量）：存储器芯片的存储处理能力。

Memory Cell（存储单元）：用于存储一位二进制数的器件。

Memory Map（存储器分配图）：一种类似表格的图形，用以说明数字系统中的所有存储地址，确定各指定存储区的地址范围，如RAM，ROM，视频RAM等。

Microcomputer（微型计算机）：是由集成电路构成的一种数字系统，由数字逻辑信号控制以实现检索、处理和存储数据。

Microprocessor（微处理器）：是一种集成电路，用以进行算术和逻辑操作，并且生成微机在进行检索、处理和存储数据时所需要的时序和控制信号。

Mnemonic（助记符）：用于给系统中的电路线或输入/输出信号命名的字母。

Modulus（简称 MOD，模）：计数器的最大计数状态。

Monotonic（单调性）：表示 DAC 的一种操作，其输出有一定的倾斜，但符号不会随输入信号的增加而改变。

Most Significant Bit (MSB)/Digit (MSD)（最高有效位，MSB/MSD）：在二进制或十进制数中，具有最高"权"值的位。

Mutiplex（数据选择）：选择数据。

Mutiplexer（简称 MUX，数据选择器）：用以实现选择数据的电路。

NAND Gate（与非门）：一种逻辑电路，只有当其所有输入都为高电平时输出才为低电平。

n–Bit Encoder（n 位编码器）：实现编码的设备，其输入线中一次最多只有一条线载有信号，但输出线中可有 n 条线载有信号。

Negation（取反）：实现"非"操作。

Negation Indicator（取反操作指示符）：用于指示取反操作的符号，如圆圈（标准符号）或斜线（ANSI/IEEE 符号）。

Negative–Going Transition（简称 NGT，负跳变）：信号由高电平向低电平转换。

Nibble（半字节）：4 位数据。

Nines Complement（模 9 补码）：是十进制负数的无符号表示法。使用模 9 补码求和可实现减法运算。

Noise Immunity（抗噪能力）：指数字电路在可靠工作的前提下，对输入量中噪声信号的容忍能力。

Noise Margin（噪声容限）：对抗噪能力的度量参数。

NOR Gate（或非门）：一种逻辑电路，只要其输入量中有高电平，输出一定为低电平。

NOT Gate (Inverter)（非门，反相器）：一种单输入逻辑电路，其输出是输入的补码。

Nyquist Sampling Theorem（奈奎斯特抽样定理）：根据该定理，周期信号的再现要求采样速率大于采样信号最高频率的两倍。

Octal（八进制）：一种基于 8 个数字（0，1，2，3，4，5，6，7）的计数系统。

1–of–n Decoder（n 选 1 译码器）：对于一个给定的输入数字或代码，只有一个输出有效的译码器。

Ones Complement（模 1 补码）：对二进制负数的一种无符号表示法。

Open–Collector Output（集电极开路输出）：不含有推拉式输出晶体管的 TTL 数字电路，如果在电路中加入上拉电阻可实现输出间的线与。

OR Gate（**奇偶性**）：一种逻辑电路，只要其输入中有一个为高电平则电路的输出为高电平。

Overbar（**上划线**）：表示数字变量的取反操作。

Parallel Data Transfer（**并行数据传输**）：数据的不同位同时传送。

Parallel-In/Parallel-Out（**并入/并出**）：数据以并行的方式装入寄存器中，且以并行的方式读出。

Parallel-In/Serial-Out（**并入/串出**）：移位寄存器常采用的存取方式，数据以并行方式送入寄存器中，以串行方式读出。

Parity（**奇偶性**）：相等的状态。

Parity Bit（**奇偶校验位**）：由奇偶发生器生成，是数据流的附加位，用于建立奇偶配置。

Parity Checker（**奇偶检验器**）：是一种接收电路，用于检测所接收的数据和奇偶位，以确保无错误发生。

Parity Error（**奇偶错误**）：由数据流中的某一位引起的错误，如，其状态本应是低电平，却表现为高电平，反之亦然。

Parity Generator（**奇偶发生器**）：用于生成奇偶位的电路，奇偶位将与数据一起发送到接收电路或系统中。

Parity Scheme（**奇偶配置**）：确定传送数据中高电平的位数是奇数还是偶数，奇偶配置一旦确定，奇偶发生器/检验器就会使用已建立的奇偶配置来检测是否存在错误。

Positional-Weighted Numbering System（**定位加权计数系统**）：指系统中每一个数字/字符位置具有指定的权。

Positive-Going Transition（**简称 PGT，正跳变**）：信号由低电平向高电平的转换。

Postponed Output Indicator（**延迟输出指示符**）：在主从触发器的输出 Q 和 $\overline{Q}$ 上所标注的倒 L 形，说明输出延迟。

Primary Memory（**主存储器**）：微机内的半导体存储器，如 RAM 和 ROM。

Priority Encoder（**优先编码器**）：当同时有多个有效输入时，编码器只响应优先级别高的输入。

Product of Sums（**简称 POS，和之积**）：逻辑等式的一种形式，表示对多个或门的输出（逻辑和）再相与（逻辑乘）。

Program（**程序**）：由 CPU 使用从而完成特定任务的指令集合。

Programmable Array Logic（**简称 PAL，可编程阵列逻辑**）：是一类 PLD 器件，其与阵列可编程而或阵列是固定的。PAL 是 Advanced Micro Device 公司的已注册商标。

Programmable Logic Array（**简称 PLA，可编程逻辑阵列**）：是一类 PLD 器件，其与阵列和或阵列都可由用户编程。

Programmable Logic Device（**简称PLD，可编程逻辑器件**）：是指由未授权与/或逻辑阵列构成的集成电路，用户可通过熔断其熔丝连接对其进行编程。

Programmable Logic Element（**简称PLE，可编程逻辑单元**）：是一类PLD器件，由固定的与门阵列和可编程或门阵列组成。

Programmable ROM（**简称PROM，可编程ROM**）：是一种半导体存储器，其内部为可由用户编程的熔丝连接。

Propagation Delay Time（**传输延迟时间**）：是指加入输入信号到有输出响应之间的时间间隔。

Pseudo-Static RAM（**简称PSRAM，伪静态RAM**）：是一类动态RAM，无需外加刷新电路，可实现完全内部刷新操作。

Pull-Up Resistor（**上拉电阻**）：在集电极开路输出电路中与V_{CC}相连的电阻，目的是为了增加输入/输出电压，使其大于$V_{IH(MIN)}/V_{OH(MIN)}$。

Pulse Triggered（**脉冲触发**）：由电平触发的电路，在输入脉冲的高电平持续时间内或低电平持续时间内触发的电路。

Quantization（**量化**）：利用量子力学规则将数值变量的可能取值限制在一些离散集合内。

Radix（**基**）：计数系统的基数，根据基数值可以确定该计数系统中数字/字符的个数。

Radix Division（**基除**）：将十进制数转换为另一种进制数的过程。该过程需要将十进制数重复除以待转换进制的基。

Radix Multiplication（**基乘**）：将二进制、八进制或十六进制数转换为十进制数的过程。该过程需要将待转换数重复乘以原计数系统的基。

Random-Access Memory（**简称RAM，随机存取存储器**）：易失性的读写存储器。

Read Bus Cycle（**读总线周期**）：微处理器由存储器或I/O端口读取数据（即执行取操作）的周期。

Read-Only Memory（**简称ROM，只读存储器**）：固定存储器，当去掉外加电源时其内部存储内容既不会丢失也不会改变。

Redundant Property（**自返律**）：布尔代数的计算规律，即$A \cdot A = A$，$A + A = A$。

Refresh（**刷新**）：为了避免存储数据丢失，DRAM芯片定期重写数据的过程。

Register（**寄存器**）：锁存器或触发器组，用于存储、传递数据或对数据进行移位。

RESET (CLEAR) State（**复位（清零）态**）：锁存器或触发器的一种输出状态，即$Q = 0$，$\bar{Q} = 1$。

Resolution（**分辨率**）：DAC的分辨率是指当其输入的最低有效位增1或减1时所对应输出电压的最小模拟增量，而ADC的分辨率是指当其输出的最低有效位增1时所对应输入电压的增量。

RETAIN State（保持状态）：当锁存器或触发器的输入为无效时，其输出保持原来状态不变。有时也可称为不变态。

Ring Counter（环形计数器）：是一种移位寄存器，其 Q 输出连回到输入端，从而逻辑 1 可以连续移入寄存器。

Ripple Blanking（脉动消隐）：由译码器/驱动器使用的信号，当使用多个译码器驱动多个 7 段显示器时，用其消除前导零。

Ripple Counter（脉动计数器）：异步计数器。

R–$2R$ Ladder（梯型网络）：用于实现数模转换的电阻网络。

Schmitt-Trigger-Input Circuit（施密特触发输入电路）：是一种特殊的输入电路，使用正反馈来加快信号的上升和下降速度。

Secondary Memory（辅助存储器）：大容量计算机存储器，如硬盘、软盘和磁带等。

Security Bit（安全位）：PLD 中用来防止复制或检测存储在器件中的数据。

Sequential Logic Circuit（时序逻辑电路）：一种逻辑电路，其输出除了与当前输入有关外，还与其输出的原态有关。

Serial Data Transfer（串行数据传送）：每次只传递一位数据。

Serial-In/Parallel-Out（串入/并出）：数据以串行方式装入而以并行方式读出的移位寄存器。

Serial-In/Serial-Out（串入/串出）：数据以串行方式装入且以串行方式读出的移位寄存器。

SET State（置位状态）：锁存器或触发器的一种输出状态，即 $Q=1$ 和 $\overline{Q}=0$。

Setup Time（建立时间）：触发器的数据输入到有效时钟转换之间的持续时间。

Shift Register（移位寄存器）：每一个时钟脉冲输入，则寄存器内的数据移动一位。

Short Logic（短逻辑）：用于指明逻辑门输入和输出之间关系的概念集合。从根本上来说，短逻辑是指逻辑门操作的任一规则。

$\overline{\text{Short Logic}}$（$\overline{\text{短逻辑}}$）：是指逻辑门操作的所有规则，是对短逻辑的输入和输出状态取反而得到的。

Sigma（Σ）：求和符号。

Sign Bit（符号位）：是二进制数字，用于表示一个正二进制数（0）或一个负二进制数（1）。

Signs of Grouping（分组符号）：指小括号、方括号和大括号，用于指示数学运算的优先级。表达式中小括号、方括号或大括号内的内容必须首先处理。

Simultaneous ADC（同步 ADC）：即闪速 ADC。

Sink Current（灌电流）：在输入或输出引脚端流入逻辑电路的电流。

Software（软件）：由逻辑 0 和逻辑 1 组成的程序。

Source Current（拉电流）：指流出逻辑电路的电流

Source Register（源寄存器）：在执行传送或转移指令时，被送到目的寄存器的数据先前所在的寄存器。

State Indicator（状态指示符）：在器件的输入或输出端所加的指示符，如圆圈或上划线、或不带圆圈或上划线，用于表示输入 / 输出是低电平有效还是高电平有效。

State Table（状态表）：用于指示锁存器或触发器电路在不同的输入组合下所得到的输出状态。

Static Operation（静态操作）：在稳态输入时逻辑电路 / 门的操作。

Static RAM（简称SRAM，静态 RAM）：是一种随机存取、易失性的存储器，只要加有电源电压就可保持内部的存储数据。

Steering Gates（控制门）：是一对逻辑门，用以控制锁存器或触发器同步变换的时刻。

Store Operation（存储操作）：微处理器的写操作。

Successive–Approximation ADC（逐次逼近型 ADC）：用于实现模数转换的一种电路。

Sum of Products（简称 SOP，积之和）：逻辑等式 / 电路的一种形式，将各与门的输出（逻辑乘）再求或（逻辑相加）。

Sum of Weights（权和）：将数字每一位的权相加求和。

Switch Debouncer（开关去抖器）：加在开关输出后的电路，用以防止由接触抖动而引起的输出状态改变。

Switched Current–Source DAC（开关电流源 DAC）：用以实现数模转换的一种电路。

Synchronous（同步）：同时发生，在同一时钟脉冲控制下同时动作。

Synchronous Counter（同步计数器）：是一种二进制计数器，外部的时钟控制信号同时加在计数器内所有触发器的时钟输入端。

Tens Complement（模 10 补码）：将十进制数的模 9 补码加 1 即为该十进制数的模 10 补码；利用模 10 补码可通过对相应补码求和（忽略循环进位）来实现减法运算。

Terminal Count（计数终值）：指二进制加计数器的最大值（1111...）或减计数器的最小值（0000...）。

Toggle（翻转）：指逻辑状态由 0 向 1 或由 1 向 0 转换。

TOGGLE Mode of Operation（操作的翻转模式）：指触发器的输出在每次有效时钟转换时都变化一次；输出信号频率是输入时钟脉冲频率的一半。

Totem–Pole Output（推拉式输出）：TTL设备的一种输出方式。

Transistor–to–Transistor Logic（简称TTL，晶体管–晶体管逻辑）：使用双极型晶体管实现逻辑功能的逻辑电路

Transparent Latch（透明锁存器）：D型锁存器。

Tristate（三态）：指输出有三种状态的电路，这三种状态指高电平、低电平和高阻态，也称为三态逻辑。这种电路主要用于防止总线争用。

Truncate（截位）：通过截断而缩短，如缩短计数器的计数数目。

Truth Table（真值表）：列出每一种二进制输入组合的表格，根据该表格可以得到逻辑门的功能和不同输入组合下的输出。

TTL Technology（TTL技术）：同晶体管–晶体管逻辑。

Twos Complement（模2补码）：对二进制数的模1补码加1就是该二进制数的模2补码；利用模2补码可通过对相应补码求和（忽略循环进位）来实现减法运算。

Unit Load（单位负载）：衡量逻辑门的负载能力，表示驱动一个负载设备所需要的输入电流数目。

Universal Register（通用寄存器）：输入数据可以串行或并行方式装入，且可以串行或并行方式读出的寄存器。

Unused Inputs（未用输入）：逻辑门/电路中不需要使用的输入端。例如，对于三输入逻辑门，如果只需要使用其中的两个输入，则第三个输入端为未用输入。

UVPROM（UVPROM）：可擦除PROM。

Variable（变量）：数字信号的指示符或助记符，如A或B，等等。

Vinculum（联结）：布尔表达式中，在两个或两个以上变量上所画的线条符号。

Volatile（易失性）：某些存储设备的特性，表示当去掉电源电压后其内部存储内容随之丢失。

Wire–ANDing（线与）：将两个或多个集电极开路逻辑门的输出连接在一起以实现与功能。

Word Size（字长）：在数字系统中能同时处理的数据的位数。

Write Bus Cycle（写总线周期）：微处理器向存储器或I/O端口写入数据，即执行存储操作的周期。